VLSI - Assignment 2

# Adder

## Instructions

## Write the Verilog code for the following and simulate using the modelsim.

1. A half adder circuit using gate level modeling and write the test bench for validating your design
2. A full adder circuit and write the test bench for validating your design
3. A 4-bit adder circuit using half adder and full adder circuit. Test at least 8 conditions for validating your design with the test bench.

## 1 – Half Adder

### Code

**module** HalfAdder**(**Sum**,** Carry**,** A**,** B**);**

**output** Sum**,** Carry**;**

**input** A**,** B**;**

**xor** C1**(**Sum**,** A**,** B**);**

**and** C2**(**Carry**,** A**,** B**);**

**endmodule**

### Test Code

**module** HalfAdder\_test**;**

**reg** A**,** B**;**

**wire** Sum**,** Carry**;**

HalfAdder HA**(**Sum**,** Carry**,** A**,** B**);**

**initial**

**begin**

$monitor**(**$time**,** "Sum=%b, Carry=%b, A=%b, B=%b\n"**,** Sum**,** Carry**,** A**,** B**);**

**#**5 A **=** 1'b0**;** B **=** 1'b0**;**

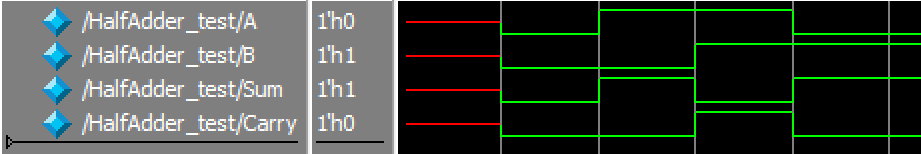
**#**5 A **=** 1'b1**;** B **=** 1'b0**;**

**#**5 A **=** 1'b1**;** B **=** 1'b1**;**

**#**5 A **=** 1'b0**;** B **=** 1'b1**;**

**end**

**endmodule**



*Figure 1: Results Testing HalfAdder*

## 2 – Full Adder

### Code

**module** FullAdder**(**Sum**,** Carry**,** A**,** B**,** C**);**

**output** Sum**,** Carry**;**

**input** A**,** B**,** C**;**

**wire** **[**2**:**0**]** W**;**

**xor** C1**(**Sum**,** A**,** B**,** C**);**

**and** C2**(**W**[**0**],** A**,** B**);**

**and** C3**(**W**[**1**],** A**,** C**);**

**and** C4**(**W**[**2**],** B**,** C**);**

**or** C5**(**Carry**,** W**[**0**],** W**[**1**],** W**[**2**]);**

**endmodule**

### Test Code

**module** FullAdder\_test**;**

**reg** A**,** B**,** C**;**

**wire** Sum**,** Carry**;**

FullAdder FA**(**Sum**,** Carry**,** A**,** B**,** C**);**

**initial**

**begin**

$monitor**(**$time**,** "Sum=%b, Carry=%b, A=%b, B=%b, C=%b\n"**,** Sum**,** Carry**,** A**,** B**,** C**);**

**#**5 A **=** 1'b0**;** B **=** 1'b0**;** C **=** 1'b0**;**

**#**5 A **=** 1'b0**;** B **=** 1'b0**;** C **=** 1'b1**;**

**#**5 A **=** 1'b0**;** B **=** 1'b1**;** C **=** 1'b0**;**

**#**5 A **=** 1'b0**;** B **=** 1'b1**;** C **=** 1'b1**;**

**#**5 A **=** 1'b1**;** B **=** 1'b0**;** C **=** 1'b0**;**

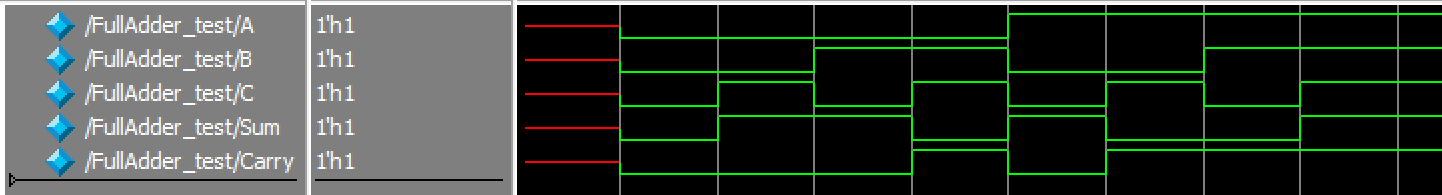
**#**5 A **=** 1'b1**;** B **=** 1'b0**;** C **=** 1'b1**;**

**#**5 A **=** 1'b1**;** B **=** 1'b1**;** C **=** 1'b0**;**

**#**5 A **=** 1'b1**;** B **=** 1'b1**;** C **=** 1'b1**;**

**end**

**endmodule**



*Figure 2: Results Testing FullAdder*

## 3 – 4-Bit Adder

### Code

**module** Adder\_4bit**(**Sum**,** A**,** B**);**

**output** **[**4**:**0**]** Sum**;**

**input** **[**3**:**0**]** A**,** B**;**

**wire** **[**2**:**0**]** C**;**

HalfAdder HA**(**Sum**[**0**],** C**[**0**],** A**[**0**],** B**[**0**]);**

FullAdder FA1**(**Sum**[**1**],** C**[**1**],** A**[**1**],** B**[**1**],** C**[**0**]);**

FullAdder FA2**(**Sum**[**2**],** C**[**2**],** A**[**2**],** B**[**2**],** C**[**1**]);**

FullAdder FA3**(**Sum**[**3**],** Sum**[**4**],** A**[**3**],** B**[**3**],** C**[**2**]);**

**endmodule**

### Test Code

**module** Adder\_4bit\_test**;**

**reg** **[**3**:**0**]** A**,** B**;**

**wire** **[**4**:**0**]** Sum**;**

Adder\_4bit A4bit**(**Sum**,** A**,** B**);**

**initial**

**begin**

$monitor**(**$time**,** "Sum=%b, A=%b, B=%b\n"**,** Sum**,** A**,** B**);**

**#**5 A **=** 4'b0001**;** B **=** 4'b0001**;** //sum = 00010 2

**#**5 A **=** 4'b0101**;** B **=** 4'b1110**;** //sum = 10011 13

**#**5 A **=** 4'b1100**;** B **=** 4'b0110**;** //sum = 10010 12

**#**5 A **=** 4'b1010**;** B **=** 4'b0101**;** //sum = 01111 f

**#**5 A **=** 4'b0101**;** B **=** 4'b0010**;** //sum = 00111 7

**#**5 A **=** 4'b1001**;** B **=** 4'b1011**;** //sum = 10100 14

**#**5 A **=** 4'b0110**;** B **=** 4'b0011**;** //sum = 01001 9

**#**5 A **=** 4'b1111**;** B **=** 4'b1111**;** //sum = 11110 1e

**end**

**endmodule**



*Figure 3: Results 4-bit Adder*