

# Contador Fibonacci con Flip Flops JK

Camila Castillo (6 horas) y Victor Hurtado (6 horas)

*Departamento de Ingeniería Informática*

*Universidad de Santiago de Chile, Santiago, Chile*

camila.castillo.c@usach.cl, victor.hurtado@usach.cl

**Resumen**—El siguiente informe presenta la forma de trabajo que se efectuó al realizar un contador Fibonacci en el simulador electrónico Logisim. Se realizó un diagrama de estados, en base al modelo de máquina de estado infinito de Mealy y mapas de Karnaugh para el diseño, para así lograr generar un circuito que muestre la secuencia de Fibonacci en un display de 7 segmentos. Este documento comienza con un marco conceptual, el cual resume los conceptos importantes para una mejor comprensión del documento. También incluye un breve estado del arte, sobre la literatura actual relacionada. Posteriormente, se describen las herramientas que se utilizaron, como Logisim y Lucidchart para la creación del circuito y el apoyo visual. Los resultados fueron un circuito que muestra la secuencia de Fibonacci de  $f_0$  hasta  $f_6$  en un display de 7 segmentos y con flip flops JK.

**Palabras claves**—Fibonacci, generador, biestables, circuito, contador.

## I. INTRODUCCIÓN

Las máquinas de estado infinito y los mapas de Karnaugh, son herramientas que llevan a generar y detectar secuencias de números. El uso de estas herramientas, de manera adecuada, puede lograr la construcción de circuitos de cualquier tipo. El principal objetivo de este trabajo, es la realización de un circuito en Logisim, el cual será un contador que como salida tendrá la sucesión de Fibonacci desde  $f_0$  a  $f_6$ , donde  $f_0 = 0$ ,  $f_1 = 1$  y  $f_n = f_{n-1} + f_{n-2}$ . Se utilizarán flip flops JK, para la realización del contador.

## II. ANTECEDENTES

La siguiente sección se compone de un marco conceptual que describe los fundamentos y componentes técnicos claves a considerar sobre el tema en cuestión. También, incluye el estado del arte, el cual resume la revisión de literatura correspondiente.

### II-A. Marco conceptual

Para la realización de esta sección se utilizó un documento sobre lógica secuencial [1] y así, describir fundamentos y los componentes claves.

**Fibonacci:** Se trata de una secuencia infinita de números naturales; a partir del 0 y el 1, se van sumando a pares, de manera que cada número es igual a la suma de sus dos anteriores, de manera que: 0, 1, 1, 2, 3, 5, 8...

**Flip Flops:** Es el nombre común que se le da a los dispositivos de dos estados (biestables), que sirven como memoria básica para las operaciones de lógica secuencial. Los Flip-flops son ampliamente usados para el

almacenamiento y transferencia de datos digitales y se usan normalmente en unidades llamadas “registros”, para el almacenamiento de datos numéricos binarios. Además los flip flops pueden ser:

**Asíncronos:** Sólo tienen entradas de control. El mas empleado es el flip flop RS.

**Síncronos:** Además de las entradas de control necesita un entrada sincronismo o de reloj.

**Flip Flop JK:** Es el más versátil de los flip-flops básicos. Tiene el carácter de seguimiento de entrada del flip-flop D sincronizado, pero tiene dos entradas, denominadas tradicionalmente J y K. Si J y K son diferentes, la salida Q toma el valor de J durante la subida del siguiente pulso de sincronismo. Ver figura 1.

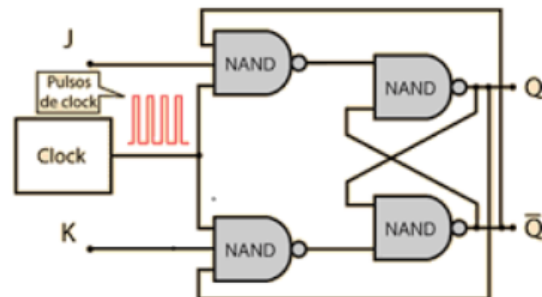


Figura 1: Flip Flop JK

### II-B. Estado del arte

Se ha observado en la literatura diversos trabajos con la secuencia de Fibonacci y distintos flip flops, con diversos enfoques. Por ejemplo, el trabajo de generadores de secuencia de Fibonacci, para la utilización de números pseudo-aleatorios, basados en flip flop tipo D. [2] También se han observado, investigaciones sobre distintos tipos de flip flops y los análisis respectivos de los “clocks”, en términos de energía. [3] Otras investigaciones, presentan generadores de Fibonacci de 8 dígitos en un prototipo de FPGA. [4] Una tesis, también utiliza la secuencia de Fibonacci, de forma binaria para llegar a los mínimos términos que corresponden. [5]

## III. MATERIALES Y MÉTODOS

Como su nombre lo indica, esta sección se descompone en dos subsecciones: materiales y métodos.

### III-A. Materiales

Para el desarrollo de esta actividad, se ocupó la herramienta online Overleaf para la creación del documento en formato Latex, usando las funciones de la página web para crear los formatos adecuados a lo requerido en el informe.

Además, se utilizó el programa Logisim para la creación de los circuitos, y para la simulación de estos mismos.

Se utilizó también la herramienta online Lucidchart para la creación de mapas de Karnaugh, diagrama de estados y apoyo visual necesario. Finalmente se utilizó el documento “Enunciado Laboratorio 5” como guía, encontrado en la plataforma Uvirtual de la Universidad de Santiago de Chile.

### III-B. Métodos

Utilizando lo aprendido sobre Logisim del informe anterior, y todo lo visto en clases. Se procede a diseñar el circuito el cual consiste en un contador Fibonacci con Flip Flops JK.

El contador tendrá como salida la sucesión de Fibonacci desde  $f_0$  a  $f_6$ , donde  $f_0 = 0$ ,  $f_1 = 1$  y  $f_n = f_{n-1} + f_{n-2}$ . Cuando el contador llega a  $f_6$  la cuenta se reinicia desde  $f_0$ . Además, para mostrar la cuenta se utilizó un display de 7 segmentos, el cual se detallará más adelante.

Lo primero que se realizó fue la construcción del diagrama de estados, utilizando la Máquina de estado infinito de Mealy. Ver Figura 2. El diagrama de estados tiene un diseño de generador de secuencias, de tal manera, que cuando el “clock” de los flip flop JK es igual a 1, se pasa al estado siguiente, y cuando es igual a 0, se sigue en el mismo estado. En el diagrama los estados, se simbolizan los estados con las letras A, B, C, D, E, F y G, correspondientemente.

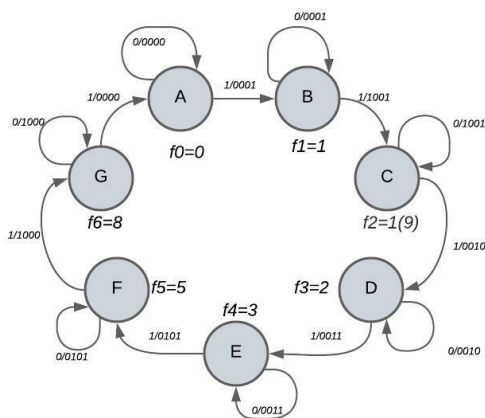


Figura 2: Diagrama de estados (Máquina de Mealy)

Posteriormente, se realiza una tabla con la codificación del diagrama de estados, de tal manera, cada número de la secuencia de Fibonacci, se convertirá a número binario. Serán 4 bits de representación, ya que el número mayor a representar, será el número 8 (1000, en binario). Cada bit, será representado por una letra.

Como la secuencia de Fibonacci, incluye una repetición de número 1, para representar ese estado y que no se presenten ambigüedades, se reemplaza el segundo número 1 de la secuencia, como un 9 (1001, en binario), y así, no ocurren modificaciones en la cantidad de bit de la secuencia. Ver Tabla I.

Tabla I: Codificación Fibonacci

Fibonacci	Secuencia	$Q_n$				$Q_{n+1}$			
		A	B	C	D	A	B	C	D
$f_0$	0	0	0	0	0	0	0	0	1
$f_1$	1	0	0	0	1	1	0	0	1
$f_2$	1 (9)	1	0	0	1	0	0	1	0
$f_3$	2	0	0	1	0	0	0	1	1
$f_4$	3	0	0	1	1	0	1	0	1
$f_5$	5	0	1	0	1	1	0	0	0
$f_6$	8	1	0	0	0	0	0	0	0

Cada uno de los bits, se representan, con una letra A, B, C o D, para el estado actual, y para el estado siguiente. Se compara cada uno de los bit, con la tabla de verdad del Flip Flop JK, donde  $Q_n$ , representa el bit del estado actual y  $Q_{n+1}$  representa el bit del estado siguiente. Ver Tabla II.

Tabla II: Tabla de verdad de Flip flop JK

$Q_n$	$Q_{n+1}$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

A continuación, se contruye la tabla III, donde se observan cada uno de los Flip Flop JK. Se puede ver en la tabla, que FF indica Flip Flop y A, B, C y D, sus correspondientes letras. Se pueden ver las entradas de cada uno de los Flip Flop JK, codificados de acuerdo al procedimiento anterior. Ver tabla III.

Tabla III: Tabla Flip flops A,B,C y D

FF A		FF B		FF C		FF D	
JA	KA	JB	KB	JC	KC	JD	KD
0	X	0	X	0	X	1	X
1	X	0	X	0	X	X	0
X	1	0	X	1	X	X	1
0	X	0	X	X	0	1	X
0	X	1	X	X	1	X	0
1	X	X	1	0	X	X	1
X	1	0	X	0	X	0	X

Por último, se realizan los Mapas de Karnaugh de cada una de las entradas de los Flip Flops JK. Se generan las ecuaciones correspondientes a cada entrada de cada uno de los Flip Flops JK. Ver Figura 3.

JA					
AB CD	00	01	11	10	
00	0	1	0	0	
01	x	1	x	x	
11	x	x	x	x	
10	x	x	x	x	
JA=C'D					
KB					
AB CD	00	01	11	10	
00	0	0	1	0	
01	x	x	x	x	
11	x	x	x	x	
10	0	0	x	x	
KB=1					
JC					
AB CD	00	01	11	10	
00	0	0	x	x	
01	x	0	x	x	
11	x	x	x	x	
10	0	1	x	x	
JC=AD					
KD					
AB CD	00	01	11	10	
00	1	x	x	1	
01	x	x	x	x	
11	x	x	x	x	
10	0	x	x	x	
JD=A'					

Figura 3: Mapas de Karnaugh

Obtenidos las ecuaciones de cada entrada con los Mapas de Karnaugh se procede a realizar el circuito en Logisim. Se utiliza un display de 7 segmentos, realizado por usuario marceloboeira y rescatado de la plataforma GitHub. Ver Figura 4.

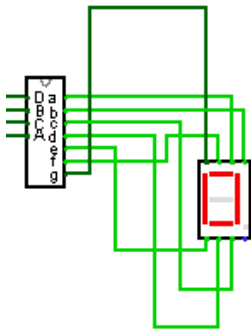
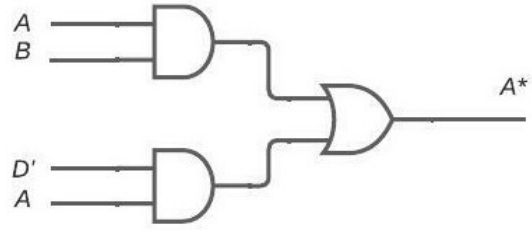


Figura 4: Display de 7 segmentos.

Se construye el circuito, se coloca, una entrada con un 1, ya que una de las entradas de uno de los flip flop, corresponde a 1. Las demás entradas, se construyen mediante operadores lógicos y siguiendo las ecuaciones construidas con los Mapas de Karnaugh.

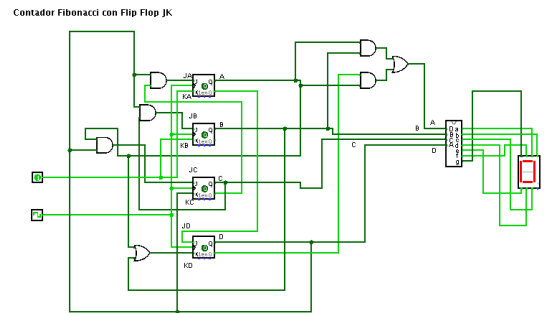
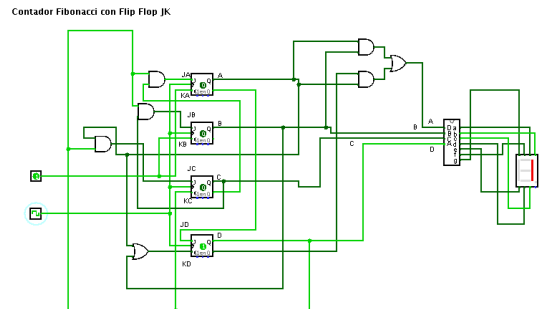
Para la modificación del estado con repetición del número 1, se realiza una modificación simple, para que en vez de mostrarse un 9, se muestre un 1. El circuito que se utiliza, se puede ver en la figura 5.

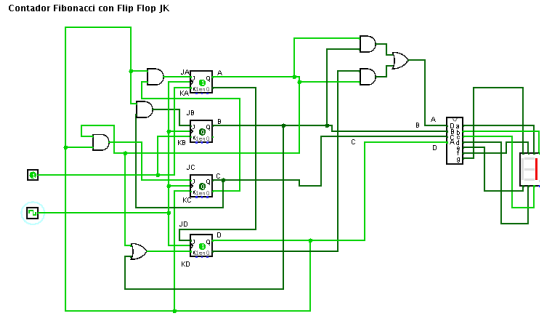
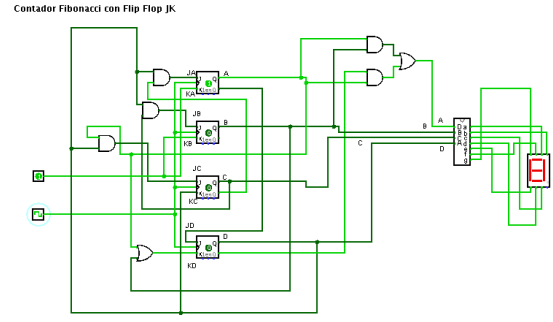
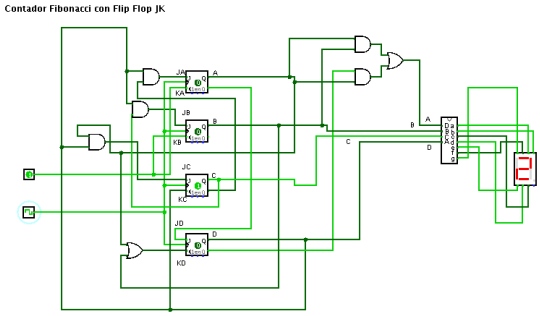
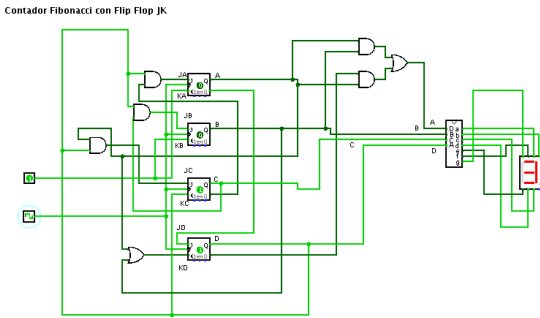
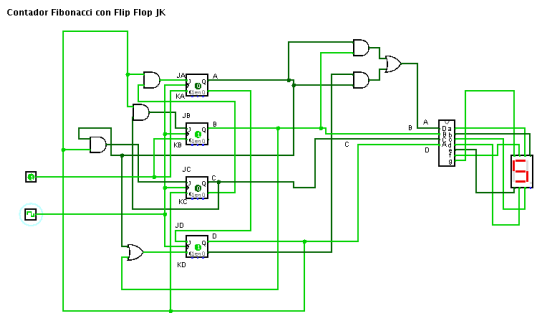
Figura 5: Circuito para modificar el estado  $f_2$  de 9 a 1.

#### IV. RESULTADOS

A continuación, se muestra el circuito realizado con todos sus componentes. Cuando el "clock" es igual 1, el contador cambia al número siguiente de la secuencia de Fibonacci y cuando el "clock" es igual a 0, se mantiene el contador en el mismo número. En el interior de cada uno de los Flip Flops del circuito, se puede observar un bit. El contador muestra, el número que se construye con cada uno de los bits de los flip flops. Se pueden observar, diversas compuertas lógicas, que logran generar el número en cuestión.

En las imágenes siguientes se muestra el circuito mostrando en el contador, la secuencia de fibonacci, desde  $f_0$  a  $f_6$ .

Figura 6: Contador Fibonacci Flip Flops JK en  $f_0$ Figura 7: Contador Fibonacci Flip Flops JK en  $f_1$

Figura 8: Contador Fibonacci Flip Flops JK en  $f_2$ Figura 12: Contador Fibonacci Flip Flops JK en  $f_6$ Figura 9: Contador Fibonacci Flip Flops JK en  $f_3$ Figura 10: Contador Fibonacci Flip Flops JK en  $f_4$ Figura 11: Contador Fibonacci Flip Flops JK en  $f_5$ 

## V. CONCLUSIONES

Con el trabajo realizado, se pudo observar el funcionamiento de un contador Fibonacci implementado con Flip Flops JK. Además, corroborando los resultados obtenidos con el display de 7 segmentos y el diagrama de estados se puede afirmar que se cumplieron los objetivos planteados al inicio.

El experimentar con un simulador, no sólo da la posibilidad de crear una idea de cómo funcionan estos circuitos, sino también ayuda a aprender a manipular estos mismos y así obtener los resultados que se buscan al trabajar con ellos. Cabe destacar, la importancia de la correcta utilización de los Mapas de Karnaugh y las Máquinas de estado infinito, las cuales fueron herramientas que fueron parte principal para diseño del circuito. De todas formas, hubieron diversas dificultades a la hora de realizar la simulación, ya que no se contaba con el total manejo de ciertos operadores al ser la primera vez que se trabajaba con Flip Flops en Logisim. No obstante, se logró llegar al resultado deseado y se espera que en futuras experiencias, la realización de circuitos, pueda ser más eficiente.

## REFERENCIAS

- [1] J. M. M. Martínez and F. S. Valles, "14. lógica secuencial. registros de desplazamiento y contadores," *Automatización y telecontrol de sistemas de riego*, p. 221, 2010.
- [2] Z. Zulfikar, Y. Away, and S. N. Rafiq, "Fpga-based design system for a two-segment fibonacci lfsr random number generator," *International Journal of Electrical and Computer Engineering*, vol. 7, no. 4, p. 1882, 2017.
- [3] D. Markovic, B. Nikolic, and R. Brodersen, "Analysis and design of low-energy flip-flops," in *Proceedings of the 2001 international symposium on Low power electronics and design*, 2001, pp. 52–55.
- [4] H. Wan-Fu, "The design of an eight-digit fibonacci sequence generator," in *International Conference on Automatic Control and Artificial Intelligence (ACAI 2012)*, 2012, pp. 2082–2087.
- [5] J. Shen, "A logic system for fibonacci numbers equivalent to 64-bit binary," Ph.D. dissertation, University of Maryland, College Park, 2018.