

Electrónica Digital 2

Introducción

Ferney Alberto Beltrán Molina



UNIVERSIDAD
NACIONAL
DE COLOMBIA

Agosto 2020

Contacto

Nombre: Ferney Alberto Beltrán Molina, Ing, MSc, PhD(c)
Email: fabeltranm@unal.edu.co
oficina: Centro de Investigación e Innovación CEINTECCI

Contenido

Acerca del curso

Metodología

Proyecto

Laboratorios

Repaso al Diseño Digital

Proceso de diseño

Roadmap

Índice

Acerca del curso

Metodología

Proyecto

Laboratorios

Repaso al Diseño Digital

Proceso de diseño

Roadmap

Contenidos del Curso

Los principales temas tratados en este curso se organizan de la siguiente manera:

- ▶ Semana 01 - 02: Introducción y representación de sistemas electrónicos
- ▶ Semana 03 - 04: Codiseño Hardware-Software
- ▶ Semana 05 - 10: Arquitectura de procesadores
- ▶ Semana 11 - 12: Unidad de E/S
- ▶ Semana 13 - 14: Diseño de sistemas sobre silicio (SoC)
- ▶ Semana 15 - 16: Proyecto Final

Objetivo

El propósito de este curso es:

- ▶ Realizar el flujo completo de diseño de un sistema digital complejo desde su especificación hasta su implementación física.
- ▶ Estudio y utilización de metodologías de diseño modernas basadas en representaciones funcionales, estructurales y físicas.
- ▶ Compresión y análisis de la arquitectura, funcionamiento y programación de un procesador IP core.
- ▶ Diseño y análisis de la arquitectura de un SoC y los buses de datos.
- ▶ Estudio de la Interfaz Hardware-Software.
- ▶ Estimular el proceso de auto-aprendizaje.
- ▶ Sembrar las bases para el desarrollo de aplicaciones comerciales.

Resultados Finales

Al finalizar este curso el alumno será capaz de:

- ▶ Realizar el proceso completo de diseño de un sistema digital complejo basado en el SoC de un procesador IP , desde su especificación hasta la implementación física, utilizando herramientas modernas que faciliten el proceso.

Índice

Acerca del curso

Metodología

Proyecto

Laboratorios

Repaso al Diseño Digital

Proceso de diseño

Roadmap

Metodología

- ▶ El estudiante es responsable de adquirir el conocimiento, y tiene la responsabilidad de preparar los temas que se van a tratar, se dejarán documentos que deben ser analizados por el estudiante; las dudas se discutirán y aclararán en clase.
- ▶ Se diseñará e implementará un dispositivo digital de mediana complejidad, utilizando las herramientas suministradas y los conocimientos adquiridos; las tareas hardware se implementarán en un dispositivo lógico programable (FPGA) y las tareas software en un soft-core (SoC) implementado en el mismo.
- ▶ Se conformarán grupos de trabajo de 3 personas, las cuales se encargarán de generar y publicar en un sitio público github la documentación necesaria para futuras mejoras o correcciones.

Evaluación

- ▶ 100 % entregas del proyecto
 - ▶ 70 % Heteroevaluación
 - ▶ 15 % Coevaluación
 - ▶ 15 % Autoevaluación

Índice

Acerca del curso

Metodología

Proyecto

Laboratorios

Repaso al Diseño Digital

Proceso de diseño

Roadmap

Evaluación Proyecto Avances Del Proyecto

(20 %) **Primera entrega:** semana 5

- ▶ Especificaciones del sistema: Funcionamiento, Diagrama de bloques, Particionamiento de tareas HW y SW.
- ▶ Plan de Trabajos.

(30 %) **Segunda entrega:** semana 12

- ▶ Funcionalidad básica de los periféricos del SoC (HW)
- ▶ Funcionalidad básica de los driver en el SoC
- ▶ Documentación base.

(50 %) **Proyecto finalizado:** Semana 15-16

- ▶ **NO proto-boards o placas Universales**
- ▶ Integración de los periféricos con el SoC
- ▶ Integración del Sistema de Firmware.
- ▶ Documentación final.

Índice

Acerca del curso

Metodología

Proyecto

Laboratorios

Repaso al Diseño Digital

Proceso de diseño

Roadmap

Laboratorios

- ▶ 2 horas semanales
- ▶ Acompaña la teoría
- ▶ Utilización tarjetas Nexys 4 o Altera, Labsland .
- ▶ Cinco prácticas de laboratorio.

Principales Referencias

- ▶ Daniel D. Gajski. **Principles of Digital Design**, Prentice Hall, 1997.
- ▶ John Hennessy and David Patterson, **Computer Organization and Design: The hardware / software Interface** . 4 edición, 2009
- ▶ J. Wakerly **Diseño Digital, Principios y Prácticas** 3a Edición.
- ▶ Michael D. Ciletti, **Advanced Digital Design with the Verilog HDL** , Prentice Hall India, 2003
- ▶ David Harris, Sarah Harris, **Digital Design and Computer Architecture** , Morgan Kauffman, 2004
- ▶ Bob Zeidman, **Designing with FPGAs and CPLDs** , Elsevier, 2002
- ▶ P. Ashenden, **Digital Design an embedded systems approach using Verilog** , Morgan Kauffman, 2008
- ▶ I. Grout, **Digital Systems Design with FPGAs and CPLDS** , Newnes, 2008.

PREGUNTAS

Índice

Acerca del curso

Metodología

Proyecto

Laboratorios

Repaso al Diseño Digital

Proceso de diseño

Roadmap

Proceso de diseño

- ▶ Especificaciones del diseño
- ▶ Bibliotecas de componentes
- ▶ Síntesis del diseño
- ▶ Análisis del diseño
- ▶ Documentación

Dominios descriptivos

- ▶ **Representación funcional o de comportamiento**

Especifica el comportamiento o la función de un diseño sin información de aplicación.

La función realizada sin información sobre cómo se hace.

- ▶ **Representación estructural**

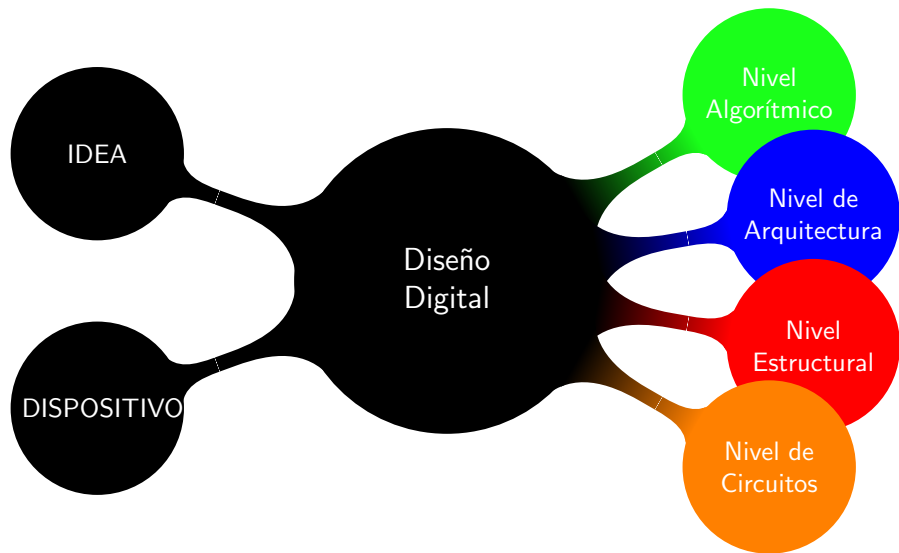
Especifica la implementación de un diseño en términos de componentes y sus interconexiones

Los bloques y las interconexiones (netlist o esquemas)

- ▶ **Representación física**

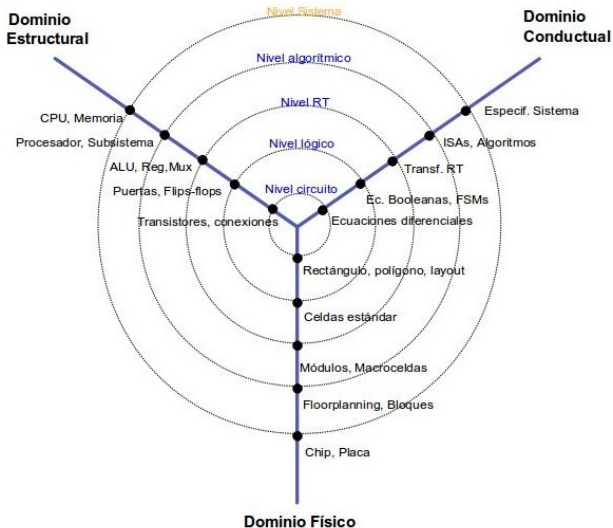
Especifica las características físicas del diseño

Localización y propiedades físicas reales



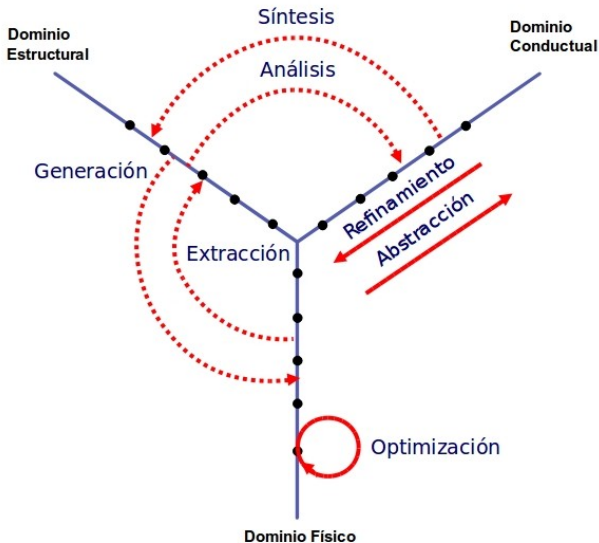
Dominios descriptivos / Nivel de abstracción

Diagrama Y de Gajsky-Khun



Dominios descriptivos / Transiciones

Diagrama Y de Gajsky-Khun



Ejercicio Reloj

Representaciones en el dominio conductual, estructural y físico de un reloj despertador sencillo.

Especificación:

- ▶ **Visualización LCD**
muestra horas, minutos y segundos
- ▶ **5 conmutadores**
 - ▶ S1: ajuste de hora.
 - ▶ S2: ajuste de alarma
 - ▶ S3: avance de los minutos.
 - ▶ S4: avance de las horas
 - ▶ S5: conexión de la alarma

Modo de operación

- ▶ Si S1 está activo se ajusta la hora presionando S3 ó S4 minutos u horas +1 y se muestran en el LCD
- ▶ Si S2 está activo se ajusta la alarma del mismo modo. Durante el ajuste de la alarma, minutos u horas se muestran en el LCD
- ▶ Si S5 está activo la alarma se activa y emite un sonido cuando el reloj coincide con el tiempo ajustado en la alarma

Índice

Acerca del curso

Metodología

Proyecto

Laboratorios

Repaso al Diseño Digital

Proceso de diseño

Roadmap

Especificaciones del diseño

- ▶ Definen el funcionamiento y las interfaces del producto
 - ▶ Diseño esquemático de la arquitectura
 - ▶ Diagrama de bloques de alto nivel descrito mediante lenguaje natural, pseudo-algoritmos o algoritmos
 - ▶ Las especificaciones ejecutables permiten verificar, analizar y sintetizar mediante herramientas CAD

Síntesis del diseño

- ▶ Conversión de una especificación/descripción de comportamiento a una estructura con componentes de la biblioteca
 - ▶ El comportamiento se redefine y se divide en bloques más detallados
 - ▶ Se vuelven a dividir y estructurar, bajando el nivel de abstracción
 - ▶ El último escalón son los componentes de la biblioteca
 - ▶ Los componentes no existentes se diseñan o se adquieren
- ▶ Tipos de síntesis
 - ▶ Distintas síntesis dependiendo de los distintos niveles de abstracción
 - ▶ Síntesis de sistema: especificación \Leftrightarrow procesadores, memorias y ASICs
 - ▶ Síntesis de alto nivel: algoritmos, ISAs \Leftrightarrow registros, ALUs, multiplexores
 - ▶ Síntesis lógica: expresiones booleanas \Leftrightarrow puertas y biestables
 - ▶ Síntesis física: puertas \Leftrightarrow esquemas geométricos, configuraciones eléctricas

Análisis del diseño

- ▶ Evaluación de la bondad del diseño respecto a los requisitos de la especificación o entre las distintas alternativas de materialización
 - ▶ **Costes:** el aumento de área (ASIC, PCB), del número de entradas y salidas (encapsulados), el consumo de potencia (tamaño y peso) incrementa el precio
 - ▶ **Prestacione:** frecuencia de reloj, tiempo de ejecución de las instrucciones, tiempo de ejecución de algoritmos de prueba (benchmarks)
 - ▶ **Testabilidad:** mide el número de fallos detectables y es función del número de patrones de test, entradas con salidas conocidas, y del tiempo

Documentación del diseño

- ▶ Detalla todos los aspectos del proceso de diseño
 - ▶ Se debe realizar durante todo el ciclo de vida del diseño
 - ▶ Esquemática para los consumidores, y centrada en el comportamiento y en los interfaces físicos y temporales
 - ▶ Detallada para el reuso interno en otros productos de la compañía

Índice

Acerca del curso

Metodología

Proyecto

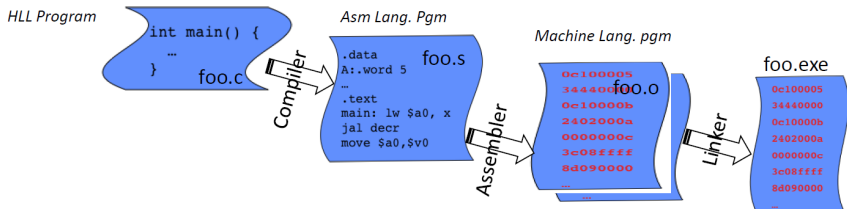
Laboratorios

Repaso al Diseño Digital

Proceso de diseño

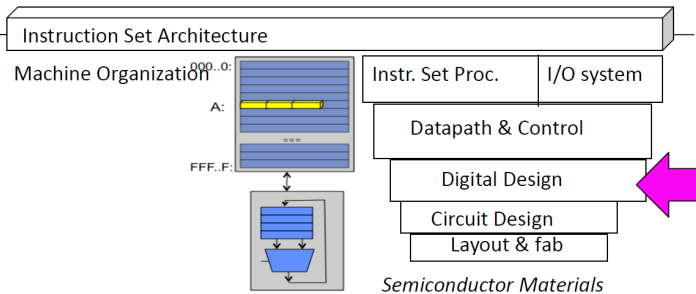
Roadmap

Roadmap

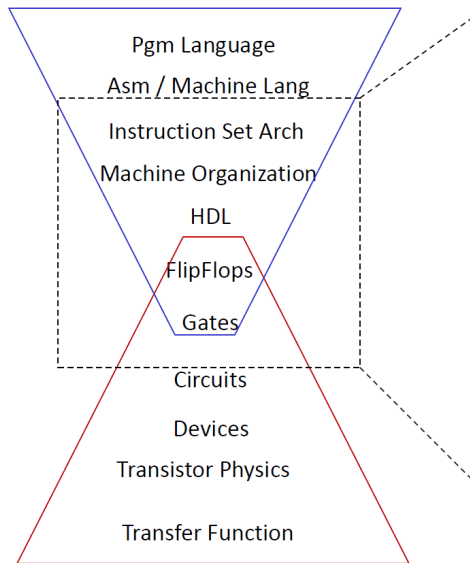


Software

Hardware



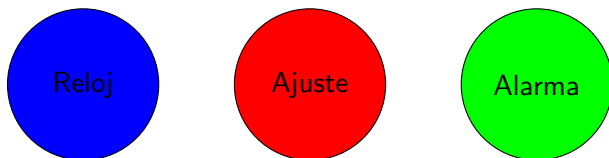
Roadmap



Deep Digital Design Experience
Fundamentals of Boolean Logic
Synchronous Circuits
Finite State Machines
Timing & Clocking
Controller Design
Arithmetic Units
Bus Design
Encoding, Framing
Testing, Debugging
Hardware Architecture
HDL, Design Flow (CAD)

Ejercicio Reloj

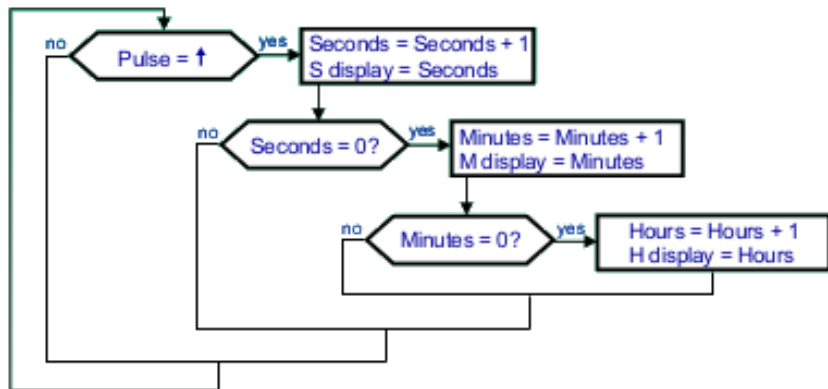
Una posible representación del comportamiento (funcionamiento) del reloj despertador consiste en entenderlo como 3 procesos concurrentes (paralelos)



Reloj (R Funcional)

1 entrada (Pulse)

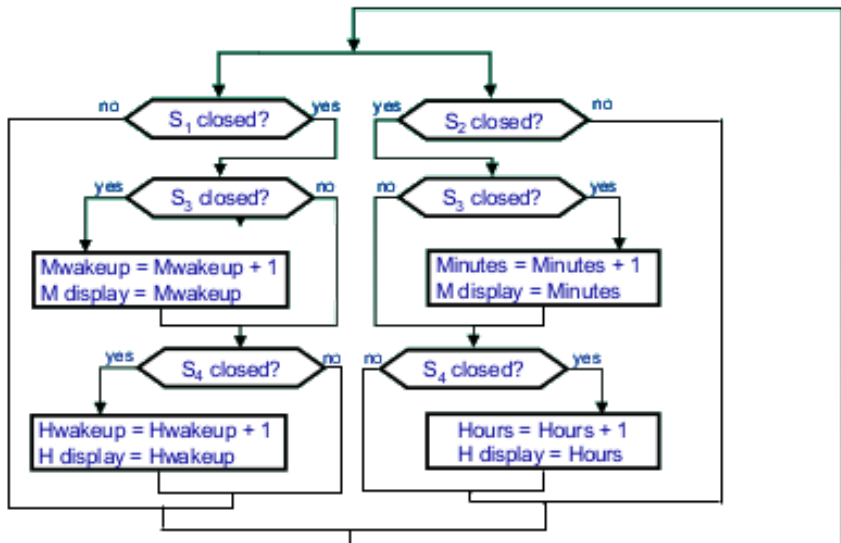
6 variables internas (Seconds, S display, Minutes, M display, Hours, H display)



Clock Process

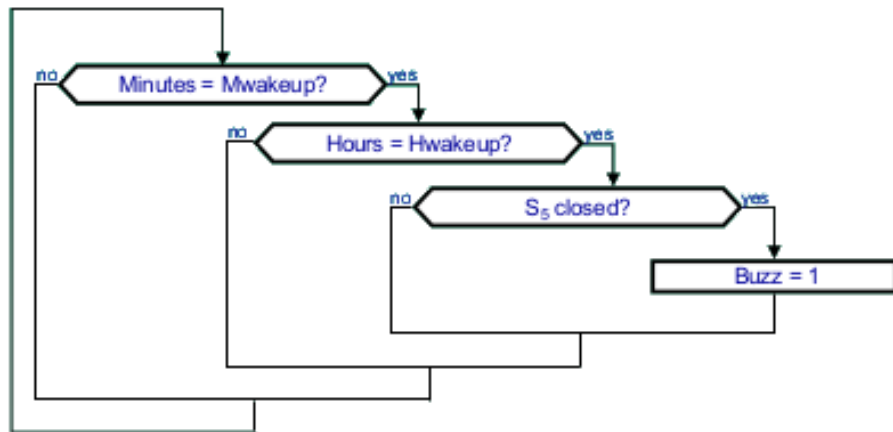
Ajuste (R Funcional - diagrama de flujo)

2 variables internas (Mwakeup, Hwakeup)



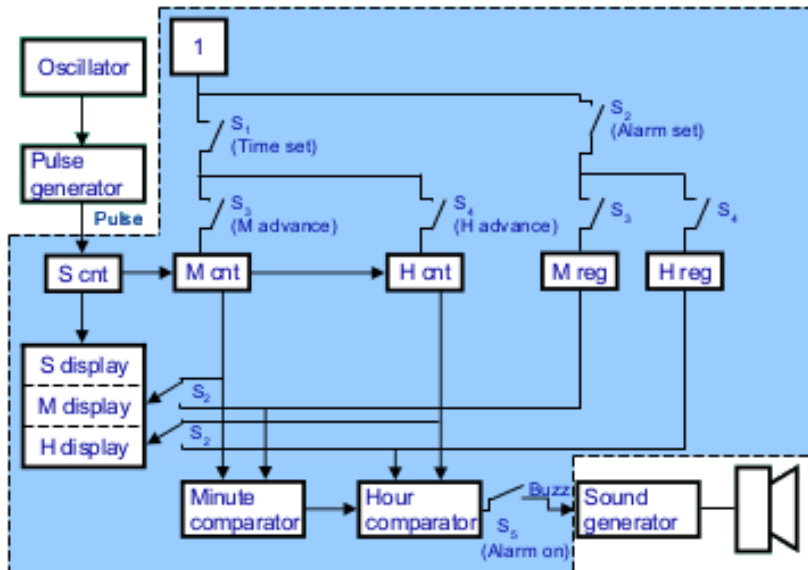
Alarma (R Funciona -diagrama de flujo)

1 salida (Buzz)



Alarm Process

Ejemplo Reloj (R Estructural]



Ejemplo Reloj (R Estructural)

Las representaciones en el dominio funcional no indican la estructura del sistema. Sin embargo, variables y asignaciones pueden implicar un model, **no siempre óptimo**, de la estructura

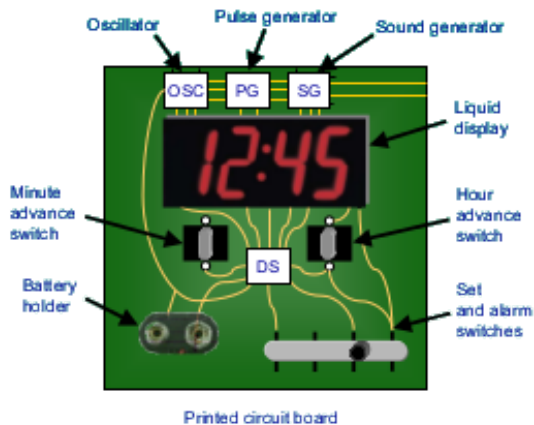
Parte Digital

- ▶ 3 contadores (S, M y H cnt)
- ▶ 2 registros (Mreg, Hreg)
- ▶ 1 LCD (S, M y H display)
- ▶ 2 comparadores (Minute, Hour comparator)
- ▶ 1 valor constante (1 lógico)

Parte Análoga

- ▶ 1 oscilador / 1 altavoz
- ▶ 1 generador de pulsos (ADC)
- ▶ 1 generador de sonidos (DAC)

Ejemplo Reloj (R Fisica)



Front view

PREGUNTAS