|  |  |  |
| --- | --- | --- |
|  | **TP1 : premiers pas avec *logisim-evolution*** |  |

Avant de commencer le TP, veillez à copiez l’ensemble du répertoire **\L3Info\PFO\TP1** dans un répertoire de votre compte étudiant. Vous travaillerez ensuite exclusivement sur ce répertoire.

# 1. Présentation de l’outil *logisim-evolution*

*Logisim-evolution* est un outil open-source qui permet de dessiner, simuler et implanter (sur FPGA) des circuits numériques. Il est destiné à l'enseignement, mais est suffisamment puissant pour permet de concevoir des circuits très complexes (processeurs, etc.).

Vous allez utiliser une version modifiée (pour les besoins de l’ISTIC) de cet outil, qui est installé dans le répertoire **N:\L3info\PFO\**, l’exécutable (archive jar) se nomme **logisim-evolution.jar**. Pour le lancer il suffit par exemple d’ouvrir le fichier .jar avec l’explorateur Windows.

# 2. Prise en main de l’outil logisim

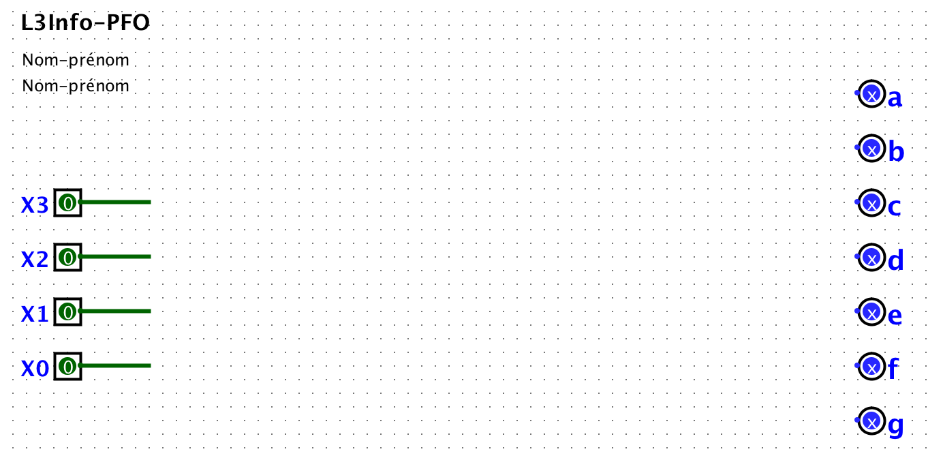
L’outil intègre une documentation assez complète (menu aide), ainsi qu’un tutoriel permettant de se familiariser avec ses principales fonctionnalités. Dans une première étape, vous allez suivre pas à pas le tutoriel (menu aide, puis tutoriel). Une fois le tutoriel effectué, vous pouvez passer à la section suivante.

# 3. Décodeur pour afficheur sept segments

Le premier circuit que vous aurez à réaliser consiste en un décodeur pour afficheur 7 segments, que vous avez déjà étudié en cours et TD. Comme rappelé ci-dessous, ces afficheurs sont commandés par 7 signaux (un pour chaque led).



On souhaite concevoir un décodeur qui prenne en entrée un nombre binaire codé sur 4 bits, et commande l’afficheur de manière à faire apparaître la bonne valeur. La table de vérité de ce composant est donnée en annexe de ce document, et une ébauche de circuit (représenté ci-dessus) est disponible dans le fichier **N:\l3info\PFO\TP1\7seg.circ**. Ouvrez-le et complétez le schéma de manière à obtenir un décodeur complètement fonctionnel



# 4. Test du circuit

Pour valider de manière plus intuitive le bon fonctionnement de votre circuit, vous aller mettre un place un *banc de test virtuel*. Celui-ci, représenté ci-dessous, est défini dans le fichier **test7seg.circ** du répertoire **N:\l3info\PFO\TP1\**. Il utilise les composants **DipSwicth** et **7-Segment Display** prédéfinis de la librairie logisim (tous deux issus de la palette ***entrée/sorties***).



Sélectionner ensuite le menu **Projet → Charger une librairie → Librarie logisim evolution**, puis sélectionner le fichier **7seg.circ**. Vous devriez alors voir apparaître une nouvelle entrée nommée **dec7seg** tout en bas de la palette de composants. Cette entrée vous permettra d’instancier des composants décodeurs 7 segments.



**Travail à réaliser** : complétez le banc de test en y intégrant une instance du composant **dec7seg** mis en œuvre à la question précédente, puis vérifier son bon fonctionnement en simulant les 16 différentes valeurs possibles pour l’entrée X.

# 5. Test sur la carte DE0

Vous allez maintenant implanter votre circuit sur une carte de test utilisant un circuit de logique programmable Cyclone V de la société Intel (ex-Altera). Pour ce TP, la correspondance des entrées /sorties de votre circuit logisim avec celles de la carte de TP est représentée ci-dessous.



Pour implanter votre schéma sur le carte, il faut suivre plusieurs étapes.

1. Dans le menu **FPGAMenu**, sélectionnez la commande FPGA Commander. Une boite de dialogue similaire à celle ci-dessous doit s’ouvrir.
2. Dans la liste de choix **target board**, sélectionner ensuite la cible **TERASIC\_DE0\_CV** (attention à ne pas la confondre avec la cible **TERASIC\_DE0**).
3. Cliquez tout d’abord sur le bouton **Toolpath**, une fois la boite de sélection de répertoire ouverte, choisissez le répertoire **C:\altera\13.0\quartus\bin64**.
4. Cliquez ensuite sur le bouton **Workspace**, et choisissez un répertoire sur votre compte, celui-ci servira à stoker les fichiers temporaires produits par l’outil Quartus.
5. Cliquez alors sur le bouton **Download**, vous verrez apparaître une nouvelle boite de dialogue. Dans cette boite, cliquez sur **Load Map** et sélectionnez le fichier **TP1\_IO.xml** du répertoire **N:\l3Info\PFO\TP1\** puis cliquez sur **Done**.
6. Une fois la sélection validée, le processus de génération du fichier de configuration pour le FPGA est lancé (celui-ci peut être assez long). Si tout s’est bien passé, le message « ***is board connected ?*** » doit apparaître à l’écran. Vérifiez alors que la carte est bien allumée et connectée sur un port USB de la machine hôte, et cliquez sur OK. Au bout de quelques secondes vous devriez voir la carte clignoter, puis s’éteindre : votre circuit est prêt à être testé pour de vrai.

**Annexe**

Table de vérité pour le décodeur 7 segments

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **X[3:0]** | **Affichage** | **a** | **b** | **c** | **d** | **e** | **f** | **g** | **Hexadécimal** |
| **0000** | **0** | 1 | 1 | 1 | 1 | 1 | 1 | 0 | **0x3F** |
| **0001** | **1** | 0 | 1 | 1 | 0 | 0 | 0 | 0 | **0x06** |
| **0010** | **2** | 1 | 1 | 0 | 1 | 1 | 0 | 1 | **0x5B** |
| **0011** | **3** | 1 | 1 | 1 | 1 | 0 | 0 | 1 | **0x4F** |
| **0100** | **4** | 0 | 1 | 1 | 0 | 0 | 1 | 1 | **0x66** |
| **0101** | **5** | 1 | 0 | 1 | 1 | 0 | 1 | 1 | **0x6D** |
| **0110** | **6** | 1 | 0 | 1 | 1 | 1 | 1 | 1 | **0x7D** |
| **0111** | **7** | 1 | 1 | 1 | 0 | 0 | 0 | 0 | **0x07** |
| **1000** | **8** | 1 | 1 | 1 | 1 | 1 | 1 | 1 | **0x7F** |
| **1001** | **9** | 1 | 1 | 1 | 1 | 0 | 1 | 1 | **0x6F** |
| **1010** | **A** | 1 | 1 | 1 | 0 | 1 | 1 | 1 | **0x77** |
| **1011** | **B** | 0 | 0 | 1 | 1 | 1 | 1 | 1 | **0x7C** |
| **1100** | **C** | 1 | 0 | 0 | 1 | 1 | 1 | 0 | **0x39** |
| **1101** | **D** | 0 | 1 | 1 | 1 | 1 | 0 | 1 | **0x5E** |
| **1110** | **E** | 1 | 0 | 0 | 1 | 1 | 1 | 1 | **0x79** |
| **1111** | **F** | 1 | 0 | 0 | 0 | 1 | 1 | 1 | **0x71** |

Complétez les tableaux de Karnaugh ainsi que les équations logiques simplifiées pour les 7 sorties du décodeur.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **a** | | **X[1 :0]** | | | | | **00** | **01** | **11** | **10** | | **X[3 :2]** | **00** |  |  |  |  | | **01** |  |  |  |  | | **11** |  |  |  |  | | **10** |  |  |  |  |   **a =** \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **b** | | **X[1 :0]** | | | | | **00** | **01** | **11** | **10** | | **X[3 :2]** | **00** |  |  |  |  | | **01** |  |  |  |  | | **11** |  |  |  |  | | **10** |  |  |  |  |   **b =** \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ |
| |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **c** | | **X[1 :0]** | | | | | **00** | **01** | **11** | **10** | | **X[3 :2]** | **00** |  |  |  |  | | **01** |  |  |  |  | | **11** |  |  |  |  | | **10** |  |  |  |  |   **c =** \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **d** | | **X[1 :0]** | | | | | **00** | **01** | **11** | **10** | | **X[3 :2]** | **00** |  |  |  |  | | **01** |  |  |  |  | | **11** |  |  |  |  | | **10** |  |  |  |  |   **d =** \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ |
| |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **e** | | **X[1 :0]** | | | | | **00** | **01** | **11** | **10** | | **X[3 :2]** | **00** |  |  |  |  | | **01** |  |  |  |  | | **11** |  |  |  |  | | **10** |  |  |  |  |   **e =** \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **f** | | **X[1 :0]** | | | | | **00** | **01** | **11** | **10** | | **X[3 :2]** | **00** |  |  |  |  | | **01** |  |  |  |  | | **11** |  |  |  |  | | **10** |  |  |  |  |   **f =** \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ |
| |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **g** | | **X[1 :0]** | | | | | **00** | **01** | **11** | **10** | | **X[3 :2]** | **00** |  |  |  |  | | **01** |  |  |  |  | | **11** |  |  |  |  | | **10** |  |  |  |  |   **g =** \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ |  |