

Universidad Estatal a Distancia

Vicerrectoría Académica

Escuela De Ciencias Exactas y Naturales

Carrera de Diplomado en Ingeniería Informática

Asignatura: Organización De Computadores

Código: 00823

Proyecto #2

Estudiante:

Francisco Campos Sandi

114750560

Sede: San Vito

Grupo 08

Tutor: José Gabriel Cordero Soto

II Cuatrimestre 2024

Contenido

INTRODUCCIÓN	4
Marco teórico	5
1.1 Diagrama de estados	5
1.2 Tabla del estado siguiente.....	5
1.2 Mapas de Karnaugh.....	5
1.3 Simplificación Booleana.....	6
1.4 Flip-flops J-K.....	6
1.5 Tabla de Transiciones de los flip-flops:.....	7
1.6 Implementación del contador	7
DESARROLLO.....	8
Diagrama de estados	8
2. Tabla de estado siguiente.....	8
Mapas de Karnaugh.....	10
3.2 Mapas de FFB	11
3.3 Mapas de FFC	12
3.4 Mapas de FFD	13
4. Explicación del contador asincrónico.....	14
5. CIRCUITO EN DIGITAL WORKS	15
Conclusión	16
Referencias.....	17

Índice de ilustraciones

<i>Ilustración 1 Tabla de Transiciones de los flip-flops:</i>	7
<i>Ilustración 2 Tabla de estado siguiente</i>	9
<i>Ilustración 3 Mapa de FFA</i>	10
<i>Ilustración 4 Mapas de FFB</i>	11
<i>Ilustración 5 Mapas de FFC</i>	12
<i>Ilustración 6 Mapas de FFD</i>	13

INTRODUCCIÓN

En el presente documento se desarrolla el tema de contador síncrono y un conteo asíncrono mediante una secuencia dada en la cual debemos de convertir de binario a decimal para poder conocer los valores de cada salida, además de trabajar conceptos ya visto en tareas anteriores como la creación de un circuito en Digital Works, se crea su tabla de estados tanto el actual como el estado siguiente.

En el desarrollo del problema luego de trabajar la tabla de estados, se procede con el procedimiento de ir trabando cada salida de los **JK** un mapa de Karnaugh para cada uno y con el álgebra de Booleana con los valores dados y se simplifica en una ecuación más simple cada salida las cuales son más fácil de trabajar en el circuito.

En el presente trabajo se reconoce la importancia de los conceptos para poder llegar un procedimiento más simple con ayuda de la lógica Booleana y así poder simplificar con los mapas de Karnaugh

Marco teórico

1.1 Diagrama de estados

En el diagrama de estados se puede ver reflejado como una herramienta que se utiliza para observar el comportamiento de un sistema, con el fin de apreciar como un dígito cambia de un estado a otro “Un diagrama de estados muestra la progresión de estados por los que el contador avanza cuando se aplica una señal de reloj” (Floyd,2016, pag.521).

1.2 Tabla del estado siguiente

“[...] enumera cada estado del contador (estado actual) junto con el correspondiente estado siguiente “(Floyd,2016, pag.521). En la tabla del estado siguiente se puede ver reflejado como el estado actual de un dígito pasa a su estado siguiente, teniendo en cuenta todas las combinaciones probables de sus estados. “El estado siguiente es el estado al que el contador pasa desde su estado actual, al aplicar un impulso de reloj” (Floyd, 2016, pag.521).

1.2 Mapas de Karnaugh

Al realizar tablas de verdad el uso de mapas de Karnaugh se utiliza para simplificar y reducir ecuaciones lógicas en donde se requieran usar para poder obtener ecuaciones simples y concisas, en el presente trabajo se realiza la conversión a decimal a binario para conocer cada salida en la tabla de verdad. Según Gómez (2010, p. 60), "Este método consiste en formar diagramas de 2^n cuadros, siendo n el número de variables, cada cuadro representa una de las diferentes combinaciones posibles, y se disponen de tal forma que se puede pasar de un cuadro a otro [...]".

1.3 Simplificación Booleana

En el diseño de circuitos es necesario trabajar con ecuaciones simples que den el mismo resultado y no trabajar con ecuaciones que tienen el mismo valor de verdad, pero más complejas. La simplificación de funciones lógicas mediante el álgebra de Booleana disminuye la complejidad y el riesgo de errores, así logrando diseños, implementación y ejecución eficiente de los circuitos lógicos. Según Gómez (2010, p. 50), "Una expresión Booleana simplificada emplea el menor número posible de puertas en la implementación de una determinada expresión". Además, Floyd (2016, p. 200) menciona que "Con el álgebra de Boole se puede reducir una expresión a su forma más simple o cambiarla a una forma más adecuada para conseguir implementarla de la manera más eficiente".

1.4 Flip-flops J-K

En la sección de los flip-flop JK se constituye de dos entradas, la entrada J y K, además cuenta con sus respectivas salidas Q y Q'. Para lo cual se entiende que con cada pulso de reloj que reciban la salida mediante J y K, esta cambiará ya sea a $Q=1$ o a $Q'=0$.

Además, cuando $J = 1$, $K = 0$, entonces: "Cuando la entrada J está a nivel ALTO y K está a nivel BAJO, la salida pasa a nivel ALTO en el flanco de disparo del impulso de reloj y el flip-flop se encuentra en estado SET" (Floyd, 2016, pag. 396).

Luego, cuando $J = 0$, $K = 1$, entonces: "Cuando J está a nivel BAJO y K está a nivel ALTO, la salida Q pasa al estado BAJO en el flanco de disparo del impulso de reloj y el flip-flop se pone en estado de RESET" (Floyd, 2016, pag. 396).

Así $j = 0$, $k = 0$, entonces: "Cuando tanto J como K se encuentran a nivel BAJO, la salida no cambia y permanece en el estado en que se encuentre.

Cuando tanto J como K están al nivel ALTO, el flip-flop cambia de estado” (Floyd,2016, pag.396).

Cuando $J = 1$, $K = 1$, entonces: “Cambia el estado del flip-flop” “Este es el modo de basculación” (Floyd,2016, pag.396).

1.5 Tabla de Transiciones de los flip-flops:

Para la elaboración de las tablas de los jk se utilizo la del libro del curso, (Floyd, 2016)

TABLA 9.9				
Tabla de transiciones para un flip-flop J-K.				
Transiciones de salida			Entradas del flip-flop	
Q_N		Q_{N+1}	J	K
0	→	0	0	X
0	→	1	1	X
1	→	0	X	1
1	→	1	X	0

Q_N : estado actual
 Q_{N+1} : estado siguiente
X: condición indiferente

Ilustración 1 Tabla de Transiciones de los flip-flops:

1.6 Implementación del contador

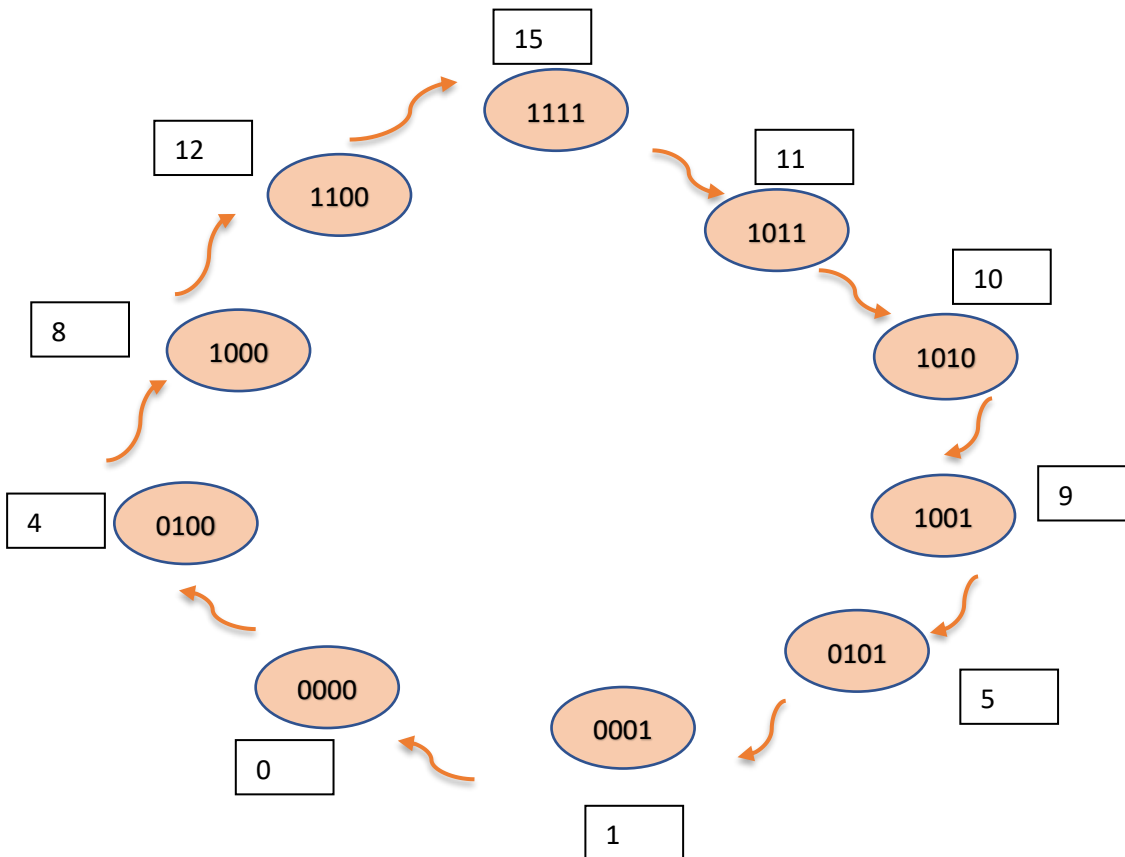
Floyd, T. (20016), da los siguientes procedimientos para poder realizar el contador.

1. Especificar la secuencia del contador y dibujar un diagrama de estados.
2. Obtener la tabla del estado siguiente a partir del diagrama de estados.
3. Desarrollar una tabla de transiciones que muestre las entradas del flip-flop requeridas para cada transición. La tabla de transiciones es siempre la misma para cada tipo de flip-flop.
4. Transferir los estados J y K de la tabla de transiciones al mapa de Karnaugh. Utilizar un mapa de Karnaugh para cada entrada de cada flip-flop.
5. Formar los términos productos a partir de los mapas para generar una expresión lógica, para cada entrada de los flip-flops.
6. Implementar la expresión con lógica combinacional y conectarla a los flip-flops para crear el contador.

DESARROLLO

Diagrama de estados

Se muestra el diagrama de estados con el cual se va a realizar los pasos siguientes.



2. Tabla de estado siguiente

En la presente tabla de estado siguiente se observa el estado actual de los dígitos dados y seguidamente se aprecia el estado siguiente de estos dígitos, el cual se crea basado en el estado actual, enviando la primera línea del estado

actual a ocupar la última línea del estado siguiente, y la segunda línea del estado actual ocuparía la primera línea del estado siguiente y así el resto de las líneas toman su respectivo lugar.

Para crear el estado siguiente de JK se utilizó la tabla de excitación. Para este estado se debe de tomar en cuenta: en el caso de la primera columna (A), el dígito que tiene (A) en el estado actual y el dígito que tiene (A) en el estado siguiente, de acuerdo con ello se consulta en la tabla de excitación, la cual nos dirá cuáles son los valores que se introducen en J y en K de la columna (A) respectivamente.

De	Estado Actual					Estado Siguiente					Estado Siguiente de JK							
	Bn	A	B	C	D		A	B	C	D	A		B		C		D	
											J	K	J	K	J	K	J	K
15	1111	1	1	1	1	11	1	0	1	1	X	0	X	1	X	0	X	0
11	1011	1	0	1	1	10	1	0	1	0	X	0	0	X	X	0	X	1
10	1010	1	0	1	0	9	1	0	0	1	X	0	0	X	X	1	1	X
9	1001	1	0	0	1	5	0	1	0	1	0	X	1	X	0	X	X	0
5	0101	0	1	0	1	1	0	0	0	1	0	X	X	1	0	X	X	0
1	0001	0	0	0	1	0	0	0	0	0	0	X	0	X	0	X	X	1
0	0000	0	0	0	0	4	0	1	0	0	0	X	1	X	0	X	0	X
4	0100	0	1	0	0	8	1	0	0	0	1	X	X	1	0	X	0	X
8	1000	1	0	0	0	12	1	1	0	0	X	0	1	X	0	X	0	X
12	1100	1	1	0	0	15	1	1	1	1	X	0	X	0	1	X	1	X

Tabla de Excitación			
Q _N	Q _{N+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Ilustración 2 Tabla de estado siguiente

Mapas de Karnaugh

De acuerdo a la guía del video de una tutoría se logra guiar para representar el mapa de Karnaugh (Cátedra Desarrollo de Sistemas UNED, 2020)

3.1 Mapas de FFA

Se realiza la agrupación de términos adyacentes en esta ocasión de 4 términos, siguiendo el libro, (Floyd, 2016) se pueden agregar hasta 4 términos, se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, en este primer caso solo se coloca **Q2Q'0** y en la segunda agrupación de K **Q'1Q0'**, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene la ecuaciones .

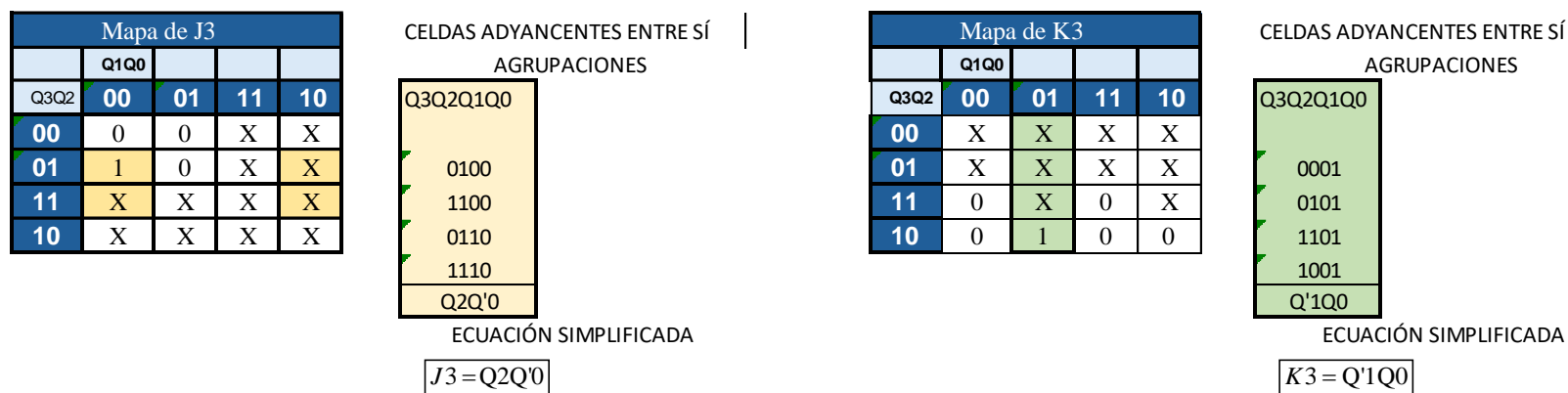


Ilustración 3 Mapa de FFA

3.2 Mapas de FFB

Se realiza la agrupación de términos adyacentes en esta ocasión de 4,8 términos, siguiendo el libro, (Floyd, 2016) se pueden agregar hasta 4,8 términos, se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, en este primer caso solo se coloca $Q'1Q'0$, $Q3Q'1$ y en la segunda agrupación de K $Q'3+Q1$, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene la ecuaciones .

Mapa de J2				
	Q1Q0			
Q3Q2	00	01	11	10
00	1	0	X	X
01	X	X	X	X
11	X	X	X	X
10	1	1	0	0

CELAS ADYACENTES ENTRE SÍ

AGRUPACIONES	
Q3Q2Q1Q0	Q3Q2Q1Q0
0000	1100
0100	1101
1100	1000
1000	1001

ECUACIÓN SIMPLIFICADA

$$J2 = Q'1Q'0 + Q3Q'1$$

Mapa de K2				
	Q1Q0			
Q3Q2	00	01	11	10
00	X	X	X	X
01	1	1	X	X
11	0	X	1	X
10	X	X	X	X

CELAS ADYACENTES ENTRE SÍ

AGRUPACIONES	
Q3Q2Q1Q0	Q3Q2Q1Q0
0000	0011
0100	0111
0001	1111
0101	1011
0011	0010
0111	0110
0010	1110
0110	1010
Q'3	Q1

ECUACIÓN SIMPLIFICADA

$$K2 = Q'3 + Q1$$

Ilustración 4 Mapas de FFB

3.3 Mapas de FFC

Se realiza la agrupación de términos adyacentes en esta ocasión de 4,8 términos, siguiendo el libro, (Floyd, 2016) se pueden agregar hasta 4,8 términos, se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, en este primer caso solo se coloca **Q3Q2** y en la segunda agrupación de K **Q'0**, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene la ecuaciones

Mapa de J1				
	Q1Q0			
Q3Q2	00	01	11	10
00	0	0	X	X
01	0	0	X	X
11	1	X	X	X
10	0	0	X	X

CELAS ADYACENTES ENTRE SÍ
AGRUPACIONES

Q3Q2Q1Q0
1100
1101
1111
1110
Q3Q2

ECUACIÓN SIMPLIFICADA

$$J1 = Q3Q2$$

Mapa de K1				
	Q1Q0			
Q3Q2	00	01	11	10
00	X	X	X	X
01	1	1	X	X
11	0	X	1	X
10	X	X	X	X

CELAS ADYACENTES ENTRE SÍ
AGRUPACIONES

Q3Q2Q1Q0
0000
0100
1100
1000
0010
0110
1110
1010
Q'0

ECUACIÓN SIMPLIFICADA

$$K1 = Q'0$$

Ilustración 5 Mapas de FFC

3.4 Mapas de FFD

Se realiza la agrupación de términos adyacentes en esta ocasión de 4,8 términos, siguiendo el libro, (Floyd, 2016) se pueden agregar hasta 4,8 términos, se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, en este primer caso solo se coloca **Q3Q2**, **Q1** y en la segunda agrupación de K **Q'3Q'2**, **Q'2Q1**, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene la ecuaciones

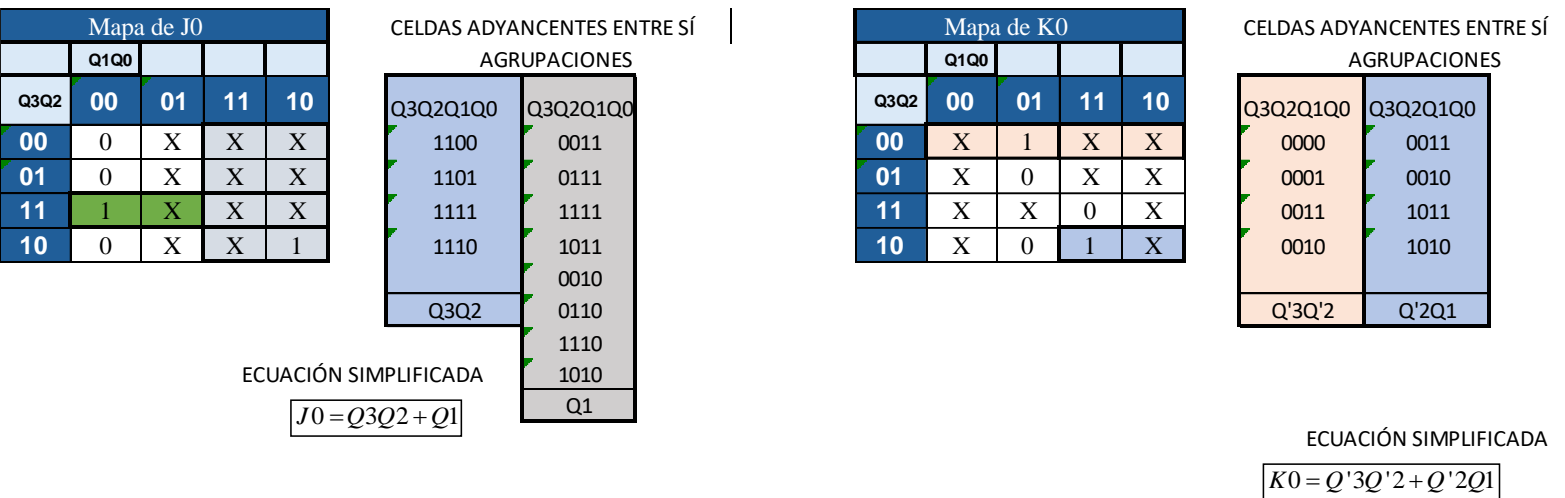


Ilustración 6 Mapas de FFD

4. Explicación del contador asincrónico

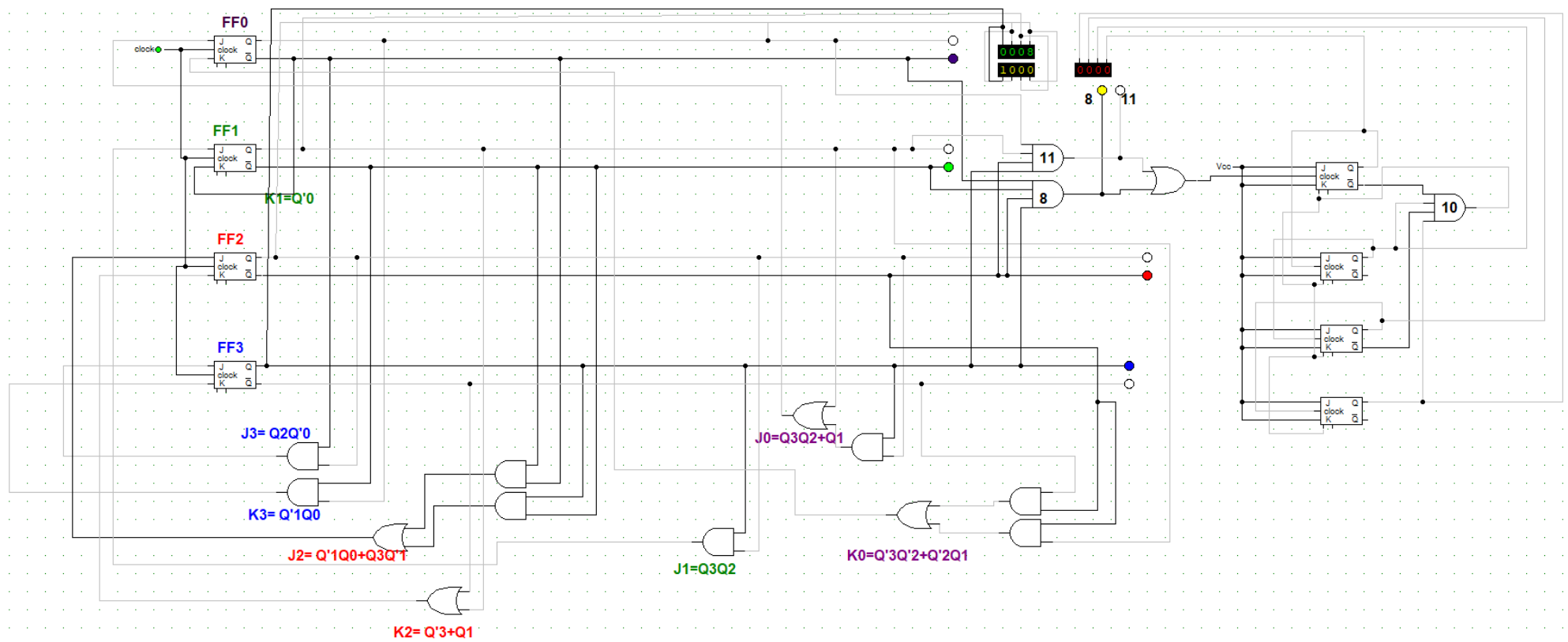
El contador asincrónico no es exactamente preciso, pero si cuenta con una implementación sencilla, es decir que se caracteriza que su salida no cuenta de una señal de reloj, lo que dará como resultado que sus flip-flops cambien de estado en diferentes momentos, pero en su entrada siempre se encontrará conectado únicamente al flip-flop. “Un contador asíncrono es aquel en el que los flip-flops (FF) del contador no cambian de estado exactamente al mismo tiempo, dado que no comparten un impulso de reloj común” (Floyd,2016, pag.500).

El contador asincrónico requiere para su funcionamiento recibir pulsos en J y K los cuales serán transformados y cambiarán constantemente de acuerdo con los pulsos recibidos en Q.

El contador realiza un cambio por cada flanco de bajada, para cada bajada se le asigna un valor de cero y para cada subida se le asigna un valor de uno. Una vez que cumple su ciclo, este vuelve a su estado inicial. “cuenta el número de impulsos de reloj hasta el tercero y, en el cuarto impulso, inicia un nuevo ciclo a partir de su estado original ($Q_0 = 0$, $Q_1 = 0$). El inicio de un nuevo ciclo (recycle, término que se aplica comúnmente al funcionamiento de los contadores) se refiere a la transición del contador de su estado final a su estado original” (Floyd,2016, pag.501)

Por otro lado, se debe de mencionar que, cuando el contador llegue al valor de 9(1001 en binario) es cuando se actúa el contador asíncrono, dado que este envía el impulso al contador síncrono cuando llegue al valor de **9**, el contador asíncrono va ir sumando 1 en cada vuelta que pase por **8 o 11**.

5. CIRCUITO EN DIGITAL WORKS



Conclusión

En el presente trabajo se ha logrado desarrollar una solución a un problema dado el cual se dan las condiciones de diseñar el contador síncrono y otro asíncrono que cumpla con la secuencia dada, así luego poder simplificar una ecuación lógica por medio de los mapas de mapa de Karnaugh y el uso del álgebra de Booleana con la finalidad de poder diseñar los seis mapas para luego montar en un solo circuito.

En la elaboración de este trabajo se logra elaborar el desarrollar de conceptos previamente estudiados, un problema de aplicación de los conceptos ya trabajados en las tareas anteriores, lo cual facilitó más enriquecedor dado que se trabaja un problema propuesto y que debe de dar la salida de la secuencia para poder verificar todas las partes de la tarea, tanto como las simplificaciones y la realización del circuito.

Además, se trabajan conceptos ya realizados en la tarea anterior que es el uso de los flip-flop jk, lo cuales se debe conocer sus ecuaciones para poder dar con la secuencia que facilitaron, al realizar bien los mapas se logra obtener la secuencia luego de la primera vuelta, dado que el circuito inicia sin energía y arranca 0000.

Referencias

- Bustamante, A. (2009). Lógica y Argumentación: De los argumentos deductivos a las álgebras de Boole. México: Pearson Educación. T1-Bustamante-cap03-logica-simbolica.pdf (uned.ac.cr)
- Cátedra Desarrollo de Sistemas UNED (Director). (2020, julio 9). Tutoría 1 (Énfasis en mapas de Karnaugh) [Video recording].
<https://www.youtube.com/watch?v=OgSIQbbsGmU>
- Floyd, T. L. (2016). FUNDAMENTOS DE SISTEMAS DIGITALES, 11th Edition.
[[VitalSource Bookshelf version]]. Retrieved from vbk://9788490353004
- Gómez, E. (2010). MATERIAL COMPLEMENTARIO. ORGANIZACIÓN DE COMPUTADORAS. San José. UNED.
- Mano, M. M. (1994). Arquitectura de computadoras,(3ª ed.). Pearson Educación.
- Tutoría III-20240713.mp4. (s. f.). Google Docs. Recuperado 14 de julio de 2024, de
https://drive.google.com/file/d/1RW_RMKdEQ4JoyRBZhK2ncq8V-xTUJZJm/view?usp=embed_facebook