

Universidad Estatal a Distancia

Vicerrectoría Académica

Escuela De Ciencias Exactas y Naturales

Carrera de Diplomado en Ingeniería Informática

Asignatura: Organización De Computadores

Código: 00823

Tarea #2

Estudiante:

Francisco Campos Sandi

114750560

Sede: San Vito

Grupo 08

Tutor: José Gabriel Cordero Soto

II Cuatrimestre 2024

Contenido

INTRODUCCIÓN.....	4
Marco teórico.....	5
1.1 Tablas de verdad.....	5
1.2 Mapas de Karnaugh.....	6
1.3 Simplificación Booleana.....	6
1.4 Flip-flops J-K.....	7
DESARROLLO.....	8
2. Tabla de verdad ecuación original.....	8
3. Mapas de Karnaugh.....	9
3.2 Mapa de la salida S2.....	10
3.3 Mapa de la salida S3.....	11
3.4 Mapa de la salida S4.....	12
3.5 Mapa de la salida S5.....	13
3.6 Mapa de la salida S6.....	14
4. Explicación del contador asincrónico.....	15
5. CIRCUITO EN DIGITAL WORKS DE LA ECUACIÓN SIMPLIFICADA.....	16
Conclusión.....	17
Referencias.....	18

Índice de tablas

<i>Tabla 1. Tabla de verdad</i>	<i>8</i>
<i>Tabla 2. Mapa de Karnaugh de S1.....</i>	<i>9</i>
<i>Tabla 3 Mapa de Karnaugh de S2.....</i>	<i>10</i>
<i>Tabla 4 Mapa de Karnaugh de S3.....</i>	<i>11</i>
<i>Tabla 5 Mapa de Karnaugh de S4.....</i>	<i>12</i>
<i>Tabla 6 Mapa de Karnaugh de S5.....</i>	<i>13</i>
<i>Tabla 6 Mapa de Karnaugh de S6.....</i>	<i>134</i>

INTRODUCCIÓN

En el presente documento se desarrolla el tema de simplificación de ecuaciones de un problema dado el cual trata de diseñar un conteo asíncrono mediante una secuencia dada en la cual debemos de convertir de decimal a binario para poder conocer los valores de cada salida, además de trabajar conceptos ya visto en tareas anteriores como la creación de un circuito en Digital Works , se crea su tabla de verdad con todos elementos que componen la ecuación original y su respectiva salida y la identificación de sus términos.

En el desarrollo del problema luego de trabajar la tabla de verdad, se procede con el procedimiento de ir trabando cada salida un mapa de Karnaugh y con el álgebra de Booleana con los valores dados y se simplifica en una ecuación más simple cada salida las cuales son más fácil de trabajar en el circuito.

En el presente trabajo se reconoce la importancia de los conceptos para poder llegar un procedimiento más simple con ayuda de la lógica Booleana y así poder simplificar con los mapas de Karnaugh.

Marco teórico

1.1 Tablas de verdad

En la lógica formal, la tabla de verdad es una herramienta fundamental que usamos para determinar si una proposición es verdadera o falsa. En este método es muy sencillo y da un resultado que es lo que se necesita. En otras palabras, lo que hace es crear una lista todas las posibles combinaciones de valores de verdad (verdadero o falso) para las variables que están involucradas en la proposición, luego evaluamos cada combinación para ver cuál es el resultado final de la fórmula completa. En esta ocasión tenemos 6 salidas las cuales podemos usar para los demás temas en cuestión. Por eso, las tablas de verdad esenciales en el estudio de la lógica.

Según Bustamante (2009, p. 133), "Se construye listando las 2^n interpretaciones posibles, donde n es el número de átomos en la fórmula. Luego se procede a establecer los valores de verdad de sus fórmulas, hasta obtener la evaluación de la fórmula completa". La tabla de verdad inicialmente se emplea para poder ir colocando los 1 o 0 de acuerdo a las indicaciones que dan para la enumeración del contador que inicia en 60 y va retrocediendo cada 5 , para poder obtener las salidas las cuales serán trabajadas en el mapa de Karnaugh para obtener las ecuaciones simplificadas.

1.2 Mapas de Karnaugh

Al realizar tablas de verdad el uso de mapas de Karnaugh se utiliza para simplificar y reducir ecuaciones lógicas en donde se requieran usar para poder obtener ecuaciones simples y concisas, en el presente trabajo se realiza la conversión a decimal a binario para conocer cada salida en la tabla de verdad. Según Gómez (2010, p. 60), "Este método consiste en formar diagramas de 2^n cuadros, siendo n el número de variables, cada cuadro representa una de las diferentes combinaciones posibles, y se disponen de tal forma que se puede pasar de un cuadro a otro [...]".

1.3 Simplificación Booleana

En el diseño de circuitos es necesario trabajar con ecuaciones simples que den el mismo resultado y no trabajar con ecuaciones que tiene el mismo valor de verdad pero más complejas. La simplificación de funciones lógicas mediante el álgebra de Booleana disminuye la complejidad y el riesgo de errores, así logrando diseños, implementación y ejecución eficiente de los circuitos lógicos. Según Gómez (2010, p. 50), "Una expresión Booleana simplificada emplea el menor número posible de puertas en la implementación de una determinada expresión". Además, Floyd (2016, p. 200) menciona que "Con el álgebra de Boole se puede reducir una expresión a su forma más simple o cambiarla a una forma más adecuada para conseguir implementarla de la manera más eficiente".

1.4 Flip-flops J-K

En la sección de los flip-flop JK se constituye de dos entradas, la entrada J y K, además cuenta con sus respectivas salidas Q y Q'. Para lo cual se entiende que con cada pulso de reloj que reciban la salida mediante J y K, esta cambiará ya sea a $Q=1$ o a $Q'=0$.

Además, cuando $J = 1$, $K = 0$, entonces: "Cuando la entrada J está a nivel ALTO y K está a nivel BAJO, la salida pasa a nivel ALTO en el flanco de disparo del impulso de reloj y el flip-flop se encuentra en estado SET" (Floyd,2016,pag.396).

Luego, cuando $J = 0$, $K = 1$, entonces: "Cuando J está a nivel BAJO y K está a nivel ALTO, la salida Q pasa al estado BAJO en el flanco de disparo del impulso de reloj y el flip-flop se pone en estado de RESET" (Floyd,2016,pag.396).

Así $j = 0$, $k = 0$, entonces: "Cuando tanto J como K se encuentran a nivel BAJO, la salida no cambia y permanece en el estado en que se encuentre. Cuando tanto J como K están al nivel ALTO, el flip-flop cambia de estado" (Floyd,2016,pag.396).

Cuando $J = 1$, $K = 1$, entonces: "Cambia el estado del flip-flop" "Este es el modo de basculación" (Floyd,2016,pag.396).

DESARROLLO

2. Tabla de verdad ecuación original

En la siguiente tabla de verdad se puede observar, la tabla de verdad completa con sus respectivas salidas, dado que se necesita convertir los decimales a binario, con ayuda de Excel se hicieron las conversiones con la fórmula =+DEC.A.BIN(Q8) para facilitar los procedimientos, se coloca cada conversión en las salidas de 1 al 6, para luego agregarlos al mapa de Karnaugh y con su respectiva función de salida.

	A	B	C	D	TÉRMINO	S1	S2	S3	S4	S5	S6
0	0	0	0	0	A'B'C'D'	1	1	1	1	0	0
1	0	0	0	1	A'B'C'D	1	1	0	1	1	1
2	0	0	1	0	A'B'CD'	1	1	0	0	1	0
3	0	0	1	1	A'B'CD	1	0	1	1	0	1
4	0	1	0	0	A'BC'D'	1	0	1	0	0	0
5	0	1	0	1	A'BC'D	1	0	0	0	1	1
6	0	1	1	0	A'BCD'	0	1	1	1	1	0
7	0	1	1	1	A'BCD	0	1	1	0	0	1
8	1	0	0	0	AB'C'D'	0	1	0	1	0	0
9	1	0	0	1	AB'C'D	0	0	1	1	1	1
10	1	0	1	0	AB'CD'	0	0	1	0	1	0
11	1	0	1	1	AB'CD	0	0	0	1	0	1
12	1	1	0	0	ABC'D'	X	X	X	X	X	X
13	1	1	0	1	ABC'D	X	X	X	X	X	X
14	1	1	1	0	ABCD'	X	X	X	X	X	X
15	1	1	1	1	ABCD	X	X	X	X	X	X

BINARIO	DECIMAL
111100	60
110111	55
110010	50
101101	45
101000	40
100011	35
011110	30
011001	25
010100	20
001111	15
001010	10
000101	5

Tabla 1. Tabla de verdad de multiplicación del 5 de forma DESCENDENTE

3. Mapas de Karnaugh

De acuerdo a la guía del video de una tutoría se logra guiar para representar el mapa de Karnaugh (Cátedra Desarrollo de Sistemas UNED, 2020)

3.1 Mapa de la salida S1

Se realiza la agrupación de términos adyacentes en esta ocasión de 8 términos, siguiendo el libro, (Floyd, 2016) se pueden agregar hasta 4 términos, se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, en este primer caso solo se coloca **A'B'** y en la segunda agrupación **A'C'**, debido que los ABCD son un "AND" lógico y no pueden cambiar el valor sea de 0 o de 1, y se

S1	AGRUPACIONES							
A'B'CD'	A'B'CD	A'B'CD'	A'B'CD	A'BC'D'	A'BC'D			
0000	0001	0010	0011	0100	0101			
AB/CD	00	01	11	10	CELAS ADYACENTES ENTRE SÍ			
	0000	0001	0011	0010	AGRUPACIONES			
	A'B'CD'	A'B'CD	A'B'CD	A'B'CD'	ABCD			
	1	1	1	1	ABCD			
00	0100	0101	0111	0110	0000			
	A'BC'D'	A'BC'D	A'BC'D	A'BC'D'	0001			
	1	1	0	0	0011			
	0100	0101	0111	0110	0100			
01	A'BC'D'	A'BC'D	A'BC'D	A'BC'D'	0010			
	1	1	0	0	A'B'			
	1100	1101	1111	1110	A'C			
	ABC'D'	ABC'D	ABCD	ABCD'	0101			
11	X	X	X	X	EQUACIÓN SIMPLIFICADA			
	1000	1001	1011	1010	S1 = A'B' + A'C'			
	AB'CD'	AB'CD	AB'CD	AB'CD'				
	0	0	0	0				
10								

obtiene la ecuación: $S1 = A'B' + A'C'$

Tabla 2. Mapa de Karnaugh de S1.

3.2 Mapa de la salida S2

Se realiza la agrupación de términos adyacentes en esta ocasión de 8 términos, siguiendo el libro, (Floyd, 2016) se pueden agregar hasta 2, 4 términos, se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, se utilizan los términos indiferentes para las agrupaciones, en este primer caso solo se coloca **A'B'C'**, en la segunda agrupación **BC**, en la tercera agrupación **A'CD'** y en la cuarta agrupación **A'C'D'** debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene la ecuación: $S2 = A'B'C' + BC + A'CD' + AC'D'$

S2	AGRUPACIONES							
A'B'C'D'	A'B'CD	A'B'CD'	A'BCD'	A'BCD	AB'C'D'			
0000	0001	0010	0110	0111	1000			
AB/CD	00	01	11	10	CELAS ADYACENTES ENTRE SÍ			
00	0000 A'B'CD'	0001 A'B'CD	0011 A'B'CD	0010 A'B'CD'	AGRUPACIONES			
	1	1	0	1	ABCD	ABCD	ABCD	ABCD
01	0100 A'BC'D'	0101 A'BC'D	0111 A'BCD	0110 A'BCD'	0000 0001	0011 0111 0111 0110	0010 0110	1100 1000
	0	0	1	1	A'B'C	BC	A'CD'	AC'D'
11	1100 ABC'D'	1101 ABC'D	1111 ABCD	1110 ABCD'	ECUACIÓN SIMPLIFICADA			
	X	X	X	X	$S2 = A'B'C' + BC + A'CD' + AC'D'$			
10	1000 AB'C'D'	1001 AB'C'D	1011 AB'CD	1010 AB'CD'				
	1	0	0	0				

Tabla 3 Mapa de Karnaugh de S2

3.3 Mapa de la salida S3

Se realiza la agrupación de términos adyacentes en esta ocasión de 8 términos, siguiendo el libro, (Floyd, 2016) se pueden agregar hasta 2, 4 términos, se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, se utilizan los términos indiferentes para las agrupaciones, en este primer caso solo se coloca **A'C'D'**, en la segunda agrupación **A'CD**, en la tercera agrupación **AC'D**, en la cuarta agrupación **ACD'** y en la quinta agrupación **BC** debido que los ABCD son un "AND" lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene la ecuación:

$$S3 = A'C'D' + A'CD + AC'D + ACD' + BC$$

S3	AGRUPACIONES									
A'B'C'D'	A'B'CD	A'BC'D'	A'BCD'	A'BCD	AB'C'D	AB'CD'				
0000	0011	0100	0110	0111	1001	1010				
AB/CD	00 0000 A'B'CD'	01 0001 A'BC'D	11 0011 A'BCD'	10 0010 A'BCD	CELAS ADYACENTES ENTRE SÍ					
00	1	0	1	0	AGRUPACIONES					
01	0100 A'BC'D'	0101 A'BC'D	0111 A'BCD'	0110 A'BCD	ABCD 0000 0100	ABCD 0011 0111	ABCD 1101 1001	ABCD 1110 1010	ABCD 0111 0110 1111 1110	ABCD
11	1	0	1	1	A'C'D'	A'CD	AC'D	ACD'	BC	
10	1100 ABC'D'	1101 ABC'D	1111 ABCD	1110 ABC'D'	EQUACIÓN SIMPLIFICADA					
	X	X	X	X	$S3 = A'C'D' + A'CD + AC'D + ACD' + BC$					
	1000 AB'C'D'	1001 AB'C'D	1011 AB'CD	1010 AB'CD'						
	0	1	0	1						

Tabla 4 Mapa de Karnaugh de S3

3.4 Mapa de la salida S4

Se realiza la agrupación de términos adyacentes en esta ocasión de 8 términos, siguiendo el libro, (Floyd, 2016) se pueden agregar hasta 2, 4 términos, se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, se utilizan los términos indiferentes para las agrupaciones, en este primer caso solo se coloca **B'D**, en la segunda agrupación **B'C'**, en la tercera agrupación **BCD'**, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene la ecuación: $S4 = B'D + B'C' + BCD'$

S4	AGRUPACIONES						
A'B'CD	A'B'CD	A'BCD'	AB'C'D'	AB'CD	AB'CD	A'B'C'D'	
0001	0011	0110	1000	1001	1011	0000	
AB/CD	00 0000	01 0001	11 0011	10 0010	CELAS ADYACENTES ENTRE SÍ		
00	A'B'CD'	A'B'CD	A'B'CD	A'B'CD'	AGRUPACIONES		
	1	1	1	0	ABCD	ABCD	ABCD
					0001	0000	0110
					0011	0001	1110
01	0100 A'BC'D'	0101 A'BC'D	0111 A'BCD	0110 A'BCD'	1001	1000	
	0	0	0	1	1011	1001	
					B'D	B'C	BCD'
11	1100 ABC'D'	1101 ABC'D	1111 ABCD	1110 ABCD'	ECUACIÓN SIMPLIFICADA		
	X	X	X	X	$S4 = B'D + B'C' + BCD'$		
10	1000 AB'C'D'	1001 AB'C'D	1011 AB'CD	1010 AB'CD'			
	1	1	1	0			

Tabla 5 Mapa de Karnaugh de S4

3.5 Mapa de la salida S5

Se realiza la agrupación de términos adyacentes en esta ocasión de 8 términos, siguiendo el libro, (Floyd, 2016) se pueden agregar hasta 4 términos, se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, se utilizan los términos indiferentes para las agrupaciones, en este primer caso solo se coloca **C'D** y en la segunda agrupación **CD'**, debido que los ABCD son un "AND" lógico y no pueden cambiar el valor sea de 0 o de 1, y se

S5	AGRUPACIONES							
A'B'CD	A'B'CD'	A'BCD	A'BCD'	AB'CD	AB'CD'			
0001	0010	0101	0110	1001	1010			
AB/CD	00 0000 A'B'CD'	01 0001 A'B'CD	11 0011 A'B'CD	10 0010 A'B'CD'	CELAS ADYACENTES ENTRE SÍ AGRUPACIONES			
00	0	1	0	1	ABCD	ABCD		
					0001	0010		
					0101	0110		
01	0100 A'BCD'	0101 A'BCD	0111 A'BCD	0110 A'BCD'	1101	1110		
	0	1	0	1	1001	1010		
					CD	CD'		
					ECUACIÓN SIMPLIFICADA			
11	1100 ABC'D'	1101 ABCD	1111 ABCD	1110 ABCD'	$S5 = C'D + CD'$			
	X	X	X	X				
10	1000 AB'CD'	1001 AB'CD	1011 AB'CD	1010 AB'CD'				
	0	1	0	1				

obtiene la ecuación: $S5 = C'D + CD'$

Tabla 6 Mapa de Karnaugh de S5

3.6 Mapa de la salida S6

Se realiza la agrupación de términos adyacentes en esta ocasión de 8 términos, siguiendo el libro, (Floyd, 2016) se pueden agregar hasta 8 términos, se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, se utilizan los términos indiferentes para las agrupaciones, en este primer caso solo se coloca **D**, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene la ecuación: $S6 = D$

S5	AGRUPACIONES							
A'B'CD	A'B'CD	A'BCD	A'BCD	AB'CD	AB'CD			
0001	0011	0101	0111	1001	1011			
AB/CD	00 0000 A'B'CD'	01 0001 A'B'CD	11 0011 A'B'CD	10 0010 A'B'CD'	CELDAS ADYACENTES ENTRE SÍ AGRUPACIONES ABCD 0001 0011 0101 0111 1101 1111 1001 1011 D			
00	0	1	1	0				
01	0100 A'BC'D'	0101 A'BC'D	0111 A'BCD	0110 A'BCD'				
	0	1	1	0				
11	1100 ABC'D'	1101 ABC'D	1111 ABCD	1110 ABCD'				
	X	X	X	X	ECUACIÓN SIMPLIFICADA $S6 = D$			
10	1000 AB'C'D'	1001 AB'C'D	1011 AB'CD	1010 AB'CD'				
	0	1	1	0				

Tabla 7 Mapa de Karnaugh de S6

4.Explicación del contador asincrónico

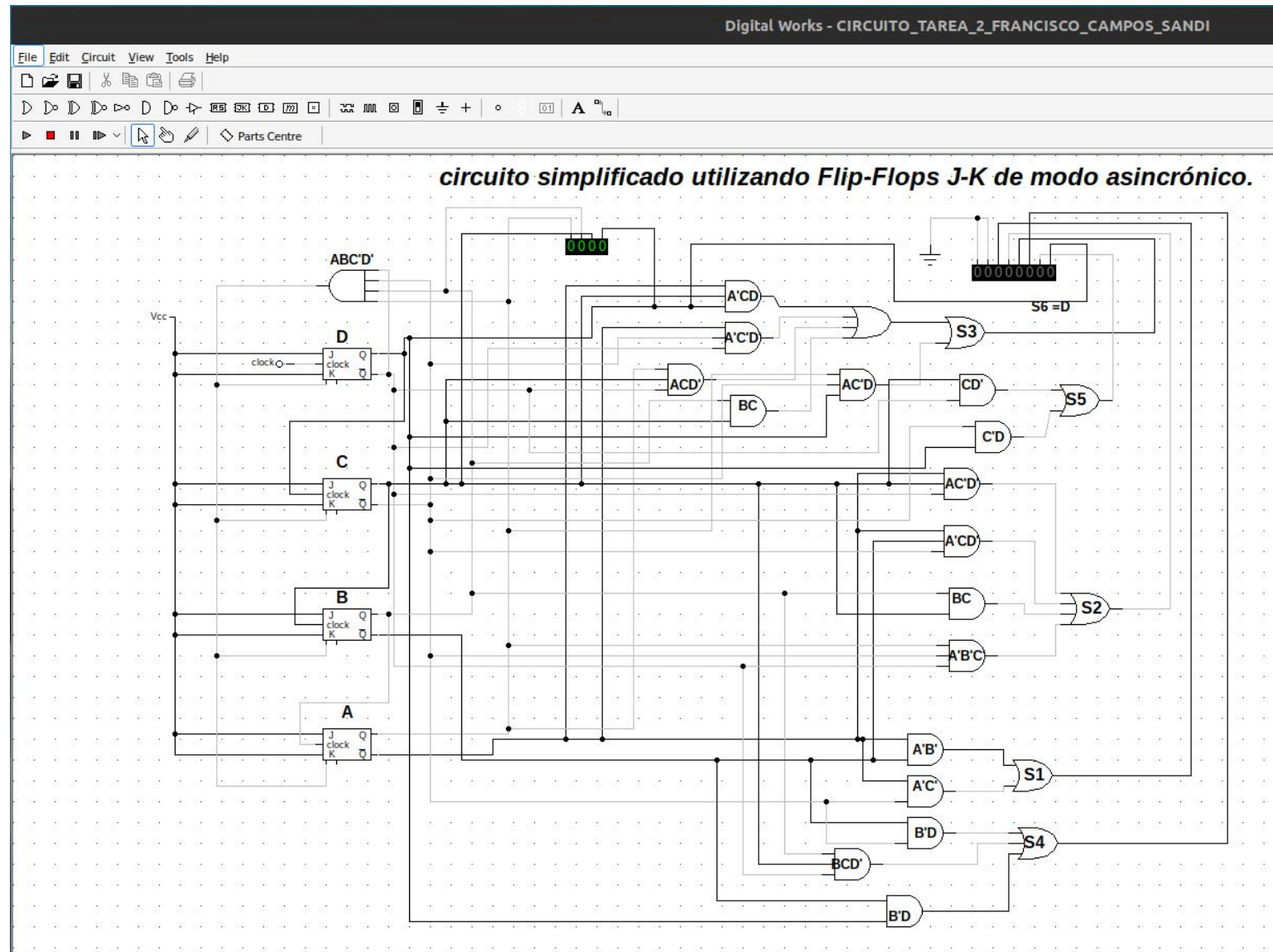
El contador asincrónico no es exactamente preciso pero si cuenta con una implementación sencilla, es decir que se caracteriza que su salida no cuenta de una señal de reloj, lo que dará como resultado que sus flip-flops cambien de estado en diferentes momentos, pero en su entrada siempre se encontrará conectado únicamente al flip-flop. “Un contador asíncrono es aquel en el que los flip-flops (FF) del contador no cambian de estado exactamente al mismo tiempo, dado que no comparten un impulso de reloj común” (Floyd,2016,pag.500).

Cuando se quiere conocer el modulo de un contador entonces se debe de determinar cuál es el número máximo de estados de el mismo, esto se representa como (2^n) siendo (n) quien representará a los biestables, esto viene dando el resultado del número de estados máximos con los que se puede contar. Ahora bien, este proyecto se trabaja sobre los biestables JK todo esto lo cual es representado desde su estado inicial hasta que llega a repetirse.

El contador asincrónico requiere para su funcionamiento recibir pulsos en J y K los cuales serán transformados y cambiarán constantemente de acuerdo con los pulsos recibidos en Q.

El contador realiza un cambio por cada flanco de bajada, para cada bajada se le asigna un valor de cero y para cada subida se le asigna un valor de uno. Una vez que cumple su ciclo, este vuelve a su estado inicial. “cuenta el número de impulsos de reloj hasta el tercero y, en el cuarto impulso, inicia un nuevo ciclo a partir de su estado original ($Q_0 = 0$, $Q_1 = 0$). El inicio de un nuevo ciclo (recycle, término que se aplica comúnmente al funcionamiento de los contadores) se refiere a la transición del contador de su estado final a su estado original” (Floyd,2016,pag.501).

5.CIRCUITO EN DIGITAL WORKS DE LA ECUACIÓN SIMPLIFICADA



Conclusión

En el presente trabajo se ha logrado desarrollar una solución a un problema dado el cual se dan las condiciones de diseñar el contador asíncrono que cumpla con la secuencia dado en la tarea 2 así luego poder simplificar una ecuación lógica por medio de los mapas de mapa de Karnaugh y el uso del álgebra de Booleana con la finalidad de poder diseñar los seis mapas para luego montar en un solo circuito.

En la elaboración de este trabajo se logra elaborar el desarrollar de conceptos previamente estudiados, un problema de aplicación de los conceptos ya trabajados en las tareas anteriores, lo cual facilitó más enriquecedor dado que se trabaja un problema propuesto y que debe de dar la salida de la secuencia para poder verificar todas las partes de la tarea, tanto como las simplificaciones y la realización del circuito.

En la tarea se logra superar desafíos prácticos en los cuales con conceptos más abstractos se aplican, el poder escoger las celdas adyacentes y saber simplificar con el álgebra Booleana, da un enfoque practico para conocer el mundo de la electrónica que va de la mano con la informática.

Referencias

Bustamante, A. (2009). Lógica y Argumentación: De los argumentos deductivos a las álgebras de Boole. México: Pearson Educación.
T1-Bustamante-cap03-logica-simbolica.pdf (uned.ac.cr)

Cátedra Desarrollo de Sistemas UNED (Director). (2020, julio 9).
Tutoría 1 (Énfasis en mapas de Karnaugh).
<https://www.youtube.com/watch?v=OgSIQbbsGmU>

Floyd, T. L. (2016). FUNDAMENTOS DE SISTEMAS DIGITALES, 11th Edition. [[VitalSource Bookshelf version]]. Retrieved from
vbk://9788490353004

Gómez, E. (2010). MATERIAL COMPLEMENTARIO. ORGANIZACIÓN DE COMPUTADORAS. San José. UNED.

Mano, M. M. (1994). Arquitectura de computadoras,(3ª ed.). Pearson Educación.