

Universidad Estatal a Distancia

Vicerrectoría Académica

Escuela De Ciencias Exactas y Naturales

Carrera de Diplomado en Ingeniería Informática

Asignatura: Organización De Computadores

Código: 00823

Proyecto #2

Estudiante:

Francisco Campos Sandi

114750560

Sede: San Vito

Grupo 08

Tutor: José Gabriel Cordero Soto

II Cuatrimestre 2024

Contenido

INTRODUCCIÓN	4
Marco teórico	5
1.1 Diagrama de estados	5
1.2 Tabla del estado siguiente	5
1.2 Mapas de Karnaugh	5
1.3 Simplificación Booleana	6
1.4 Flip-flops J-K	6
1.5 Tabla de Transiciones de los flip-flops:	7
1.6 Implementación del contador	7
1.7 Definición de un display de 7 segmentos	8
DESARROLLO	9
Diagrama de estados	9
2. Tabla de estado siguiente	10
Mapas de Karnaugh	11
3.2 Mapas de FFB	12
3.3 Mapas de FFC	13
3.4 Mapas de FFD	14
3.5 Mapas de FFE	15
3.6 Mapas de FFF	16
4. Explicación del contador asincrónico	17
5. CIRCUITO EN DIGITAL WORKS	18
Conclusión	19
Referencias	20

Índice de ilustraciones

<i>Ilustración 1 Tabla de Transiciones de los flip-flops:</i>	<i>7</i>
<i>Ilustración 2 Tabla de estado siguiente</i>	<i>10</i>
<i>Ilustración 3 Mapas de FFA</i>	<i>11</i>
<i>Ilustración 4 Mapas de FFB.....</i>	<i>12</i>
<i>Ilustración 5 Mapas de FFC.....</i>	<i>13</i>
<i>Ilustración 6 Mapas de FFD</i>	<i>14</i>
<i>Ilustración 7 Mapas de FFE.....</i>	<i>15</i>
<i>Ilustración 8 Mapas de FFF</i>	<i>16</i>

INTRODUCCIÓN

En el presente documento se desarrolla el tema de contador síncrono y un conteo asíncrono mediante una secuencia dada en la cual debemos de convertir de binario a decimal para poder conocer los valores de cada salida, además de trabajar conceptos ya visto en tareas anteriores como la creación de un circuito en Digital Works, se crea su tabla de estados tanto el actual como el estado siguiente.

En el desarrollo del problema luego de trabajar la tabla de estados, se procede con el procedimiento de ir trabando cada salida de los **JK** un mapa de Karnaugh para cada uno y con el álgebra de Booleana con los valores dados y se simplifica en una ecuación más simple cada salida las cuales son más fácil de trabajar en el circuito.

En el presente trabajo se reconoce la importancia de los conceptos para poder llegar un procedimiento más simple con ayuda de la lógica Booleana y así poder simplificar con los mapas de Karnaugh

Marco teórico

1.1 Diagrama de estados

En el diagrama de estados se puede ver reflejado como una herramienta que se utiliza para observar el comportamiento de un sistema, con el fin de apreciar como un dígito cambia de un estado a otro “Un diagrama de estados muestra la progresión de estados por los que el contador avanza cuando se aplica una señal de reloj” (Floyd, 2016, pag.521).

1.2 Tabla del estado siguiente

“[...] enumera cada estado del contador (estado actual) junto con el correspondiente estado siguiente “(Floyd, 2016, pag.521). En la tabla del estado siguiente se puede ver reflejado como el estado actual de un dígito pasa a su estado siguiente, teniendo en cuenta todas las combinaciones probables de sus estados. “El estado siguiente es el estado al que el contador pasa desde su estado actual, al aplicar un impulso de reloj” (Floyd, 2016, pag.521).

1.2 Mapas de Karnaugh

Al realizar tablas de verdad el uso de mapas de Karnaugh se utiliza para simplificar y reducir ecuaciones lógicas en donde se requieran usar para poder obtener ecuaciones simples y concisas, en el presente trabajo se realiza la conversión a decimal a binario para conocer cada salida en la tabla de verdad. Según Gómez (2010, p. 60), "Este método consiste en formar diagramas de 2^n cuadros, siendo n el número de variables, cada cuadro representa una de las diferentes combinaciones posibles, y se disponen de tal forma que se puede pasar de un cuadro a otro [...]".

1.3 Simplificación Booleana

En el diseño de circuitos es necesario trabajar con ecuaciones simples que den el mismo resultado y no trabajar con ecuaciones que tienen el mismo valor de verdad, pero más complejas. La simplificación de funciones lógicas mediante el álgebra de Booleana disminuye la complejidad y el riesgo de errores, así logrando diseños, implementación y ejecución eficiente de los circuitos lógicos. Según Gómez (2010, p. 50), "Una expresión Booleana simplificada emplea el menor número posible de puertas en la implementación de una determinada expresión". Además, Floyd (2016, p. 200) menciona que "Con el álgebra de Boole se puede reducir una expresión a su forma más simple o cambiarla a una forma más adecuada para conseguir implementarla de la manera más eficiente".

1.4 Flip-flops J-K

En la sección de los flip-flop JK se constituye de dos entradas, la entrada J y K, además cuenta con sus respectivas salidas Q y Q'. Para lo cual se entiende que con cada pulso de reloj que reciban la salida mediante J y K, esta cambiará ya sea a $Q=1$ o a $Q'=0$.

Además, cuando $J = 1$, $K = 0$, entonces: "Cuando la entrada J está a nivel ALTO y K está a nivel BAJO, la salida pasa a nivel ALTO en el flanco de disparo del impulso de reloj y el flip-flop se encuentra en estado SET" (Floyd, 2016, pag. 396).

Luego, cuando $J = 0$, $K = 1$, entonces: "Cuando J está a nivel BAJO y K está a nivel ALTO, la salida Q pasa al estado BAJO en el flanco de disparo del impulso de reloj y el flip-flop se pone en estado de RESET" (Floyd, 2016, pag. 396).

Así $j = 0$, $k = 0$, entonces: "Cuando tanto J como K se encuentran a nivel BAJO, la salida no cambia y permanece en el estado en que se encuentre.

Cuando tanto J como K están al nivel ALTO, el flip-flop cambia de estado” (Floyd,2016, pag.396).

Cuando $J = 1$, $K = 1$, entonces: “Cambia el estado del flip-flop” “Este es el modo de basculación” (Floyd,2016, pag.396).

1.5 Tabla de Transiciones de los flip-flops:

Para la elaboración de las tablas de los jk se utilizó la del libro del curso, (Floyd, 2016)

TABLA 9.9				
Tabla de transiciones para un flip-flop J-K.				
Transiciones de salida			Entradas del flip-flop	
Q_N		Q_{N+1}	J	K
0	→	0	0	X
0	→	1	1	X
1	→	0	X	1
1	→	1	X	0

Q_N : estado actual
 Q_{N+1} : estado siguiente
X: condición indiferente

Ilustración 1 Tabla de Transiciones de los flip-flops:

1.6 Implementación del contador

Floyd, T. (20016), da los siguientes procedimientos para poder realizar el contador.

1. Especificar la secuencia del contador y dibujar un diagrama de estados.
2. Obtener la tabla del estado siguiente a partir del diagrama de estados.
3. Desarrollar una tabla de transiciones que muestre las entradas del flip-flop requeridas para cada transición. La tabla de transiciones es siempre la misma para cada tipo de flip-flop.
4. Transferir los estados J y K de la tabla de transiciones al mapa de Karnaugh. Utilizar un mapa de Karnaugh para cada entrada de cada flip-flop.
5. Formar los términos productos a partir de los mapas para generar una expresión lógica, para cada entrada de los flip-flops.
6. Implementar la expresión con lógica combinacional y conectarla a los flip-flops para crear el contador.

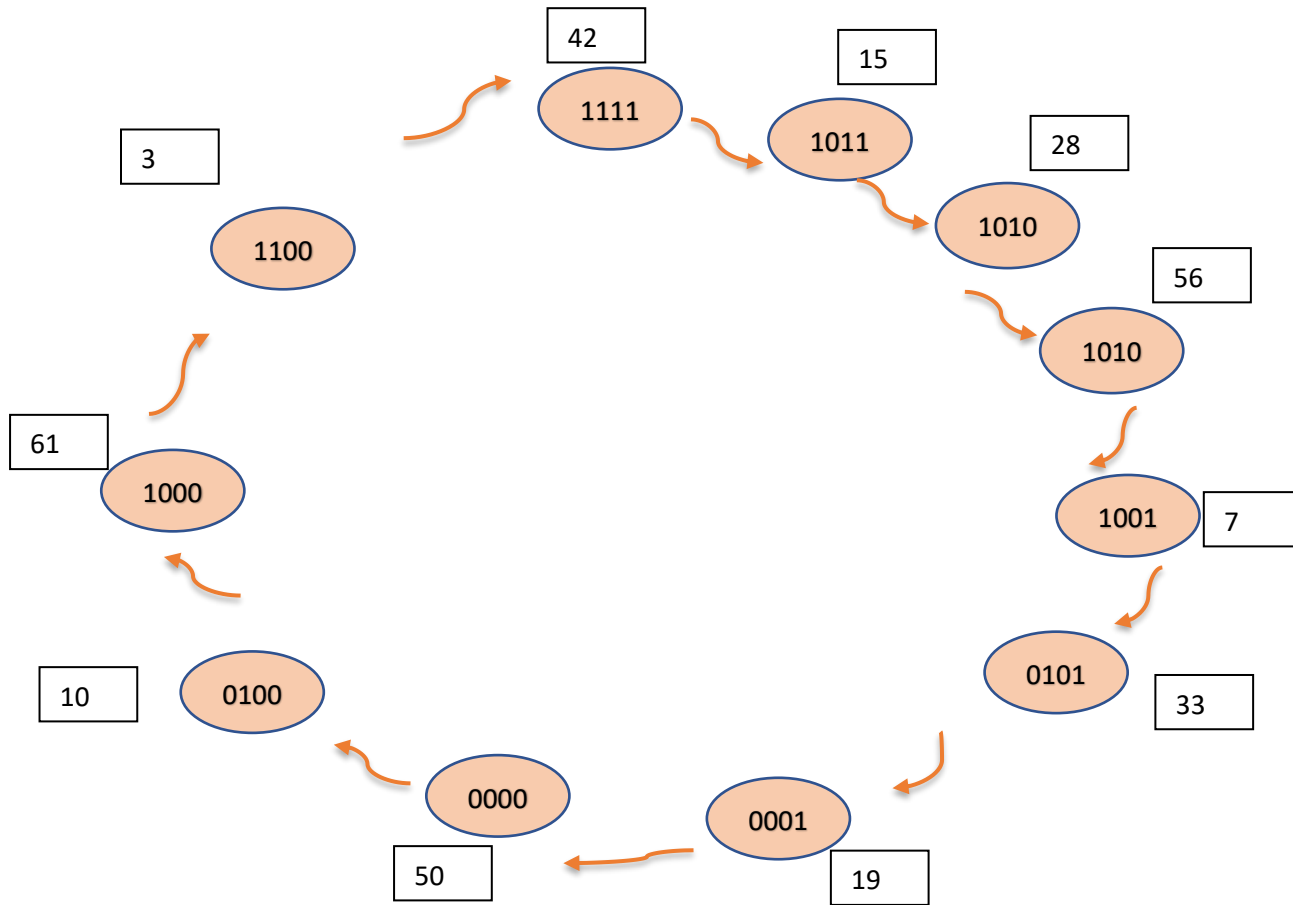
1.7 Definición de un display de 7 segmentos

El display de siete segmentos es un aparato utilizado para presentar información de forma visual. Esta pesquisa es específicamente un dígito decimal del 0 (cero) al 9 (nueve), por lo que se deriva que el código BCD está involucrado. Cada segmento tiene la forma de una pequeña línea incandescente. Estos dispositivos también son conocidos con el nombre de lámpara siete segmentos o visualizador (Reptil.mx, 2022)

DESARROLLO

Diagrama de estados

Se muestra el diagrama de estados con el cual se va a realizar los pasos siguientes.



2. Tabla de estado siguiente

En la presente tabla de estado siguiente se observa el estado actual de los dígitos dados y seguidamente se aprecia el estado siguiente de estos dígitos, el cual se crea basado en el estado actual, enviando la primera línea del estado actual a ocupar la última línea del estado siguiente, y la segunda línea del estado actual ocuparía la primera línea del estado siguiente y así el resto de las líneas toman su respectivo lugar.

Para crear el estado siguiente de JK se utilizó la tabla de excitación. Para este estado se debe de tomar en cuenta: en el caso de la primera columna (A), el dígito que tiene (A) en el estado actual y el dígito que tiene (A) en el estado siguiente, de acuerdo con ello se consulta en la tabla de excitación, la cual nos dirá cuáles son los valores que se introducen en J y en K de la columna (A) respectivamente.

Estado Actual						Estado Siguiete					Estado Siguiete de JK							
De	Bn	A	B	C	D		A	B	C	D	A		B		C		D	
											J	K	J	K	J	K	J	K
15	1111	1	1	1	1	11	1	0	1	1	X	0	X	1	X	0	X	0
11	1011	1	0	1	1	10	1	0	1	0	X	0	0	X	X	0	X	1
10	1010	1	0	1	0	9	1	0	0	1	X	0	0	X	X	1	1	X
9	1001	1	0	0	1	5	0	1	0	1	0	X	1	X	0	X	X	0
5	0101	0	1	0	1	1	0	0	0	1	0	X	X	1	0	X	X	0
1	0001	0	0	0	1	0	0	0	0	0	0	X	0	X	0	X	X	1
0	0000	0	0	0	0	4	0	1	0	0	0	X	1	X	0	X	0	X
4	0100	0	1	0	0	8	1	0	0	0	1	X	X	1	0	X	0	X
8	1000	1	0	0	0	12	1	1	0	0	X	0	1	X	0	X	0	X
12	1100	1	1	0	0	15	1	1	1	1	X	0	X	0	1	X	1	X

Tabla de Excitación			
Q _N	Q _{N+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Ilustración 2 Tabla de estado siguiente

Mapas de Karnaugh

De acuerdo a la guía del video de una tutoría se logra guiar para representar el mapa de Karnaugh (Cátedra Desarrollo de Sistemas UNED, 2020)

3.1 Mapas de FFA

Se realiza la agrupación de términos adyacentes en esta ocasión de 32 Y 64 términos, siguiendo el libro, (Floyd, 2016) se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, en este primer caso solo se coloca para $J5 = Q'3 + Q'0$ y en la segunda agrupación de $K5 = 1$, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene las ecuaciones.

FFA															
J5															
B = 0								B = 1							
A = 0				A = 1				A = 0				A = 1			
CD	EF	00	01	11	10	CD	EF	00	01	11	10	CD	EF	00	01
00		X	X	1	X	00		X	X	1	X	00		X	X
01		X	X	1	X	01		X	X	1	X	01		X	X
11		X	X	1	X	11		X	X	1	X	11		X	X
10		X	X	1	1	10		X	X	1	1	10		X	X

K5															
B = 0								B = 1							
A = 0				A = 1				A = 0				A = 1			
CD	EF	00	01	11	10	CD	EF	00	01	11	10	CD	EF	00	01
00		X	X	1	X	00		X	X	1	X	00		X	X
01		X	X	1	X	01		X	X	1	X	01		X	X
11		X	X	0	X	11		X	X	0	X	11		X	X
10		X	X	1	1	10		X	X	1	1	10		X	X

CELAS ADYACENTES ENTRE SÍ

AGrupaciones J5				AGrupaciones K5			
N°	ABCDEF	N°	ABCDEF	N°	ABCDEF	N°	ABCDEF
0	000000	0	000000	0	000000	32	100000
2	000010	1	000001	1	000001	33	100001
4	000100	2	000010	2	000010	34	100010
6	000110	3	000011	3	000011	35	100011
8	001000	4	000100	4	000100	36	100100
10	001010	5	000101	5	000101	37	100101
12	001100	6	000110	6	000110	38	100110
14	001110	7	000111	7	000111	39	100111
16	010000	16	010000	8	001000	40	101000
18	010010	17	010001	9	001001	41	101001
20	010100	18	010010	10	001010	42	101010
22	010110	19	010011	11	001011	43	101011
24	011000	20	010100	12	001100	44	101100
26	011010	21	010101	13	001101	45	101101
28	011100	22	010110	14	001110	46	101110
30	011110	23	010111	15	001111	47	101111
32	100000	32	100000	16	010000	48	110000
34	100010	33	100001	17	010001	49	110001
36	100100	34	100010	18	010010	50	110010
38	100110	35	100011	19	010011	51	110011
40	101000	36	100100	20	010100	52	110100
42	101010	37	100101	21	010101	53	110101
44	101100	38	100110	22	010110	54	110110
46	101110	39	100111	23	010111	55	110111
48	110000	48	110000	24	011000	56	111000
50	110010	49	110001	25	011001	57	111001
52	110100	50	110010	26	011010	58	111010
54	110110	51	110011	27	011011	59	111011
56	111000	52	110100	28	011100	60	111100
58	111010	53	110101	29	011101	61	111101
60	111100	54	110110	30	011110	62	111110
62	111110	55	110111	31	011111	63	111111
Q'0		Q'3				1	

Ilustración 3 Mapas de FFA

3.2 Mapas de FFB

Se realiza la agrupación de términos adyacentes en esta ocasión de 32 Y 64 términos, siguiendo el libro, (Floyd, 2016) se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, en este primer caso solo se coloca para $J4 = Q'5Q3+Q'1$ y en la segunda agrupación de $K5 = Q5$, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene las ecuaciones

FFB											
J4											
B = 0						B = 1					
A = 0	EF	00	01	11	10	EF	00	01	11	10	
	CD	00	X	X	0	X	0	X	X	X	X
	01	X	X	0	X	1	X	X	X	X	X
	11	X	X	1	X	11	X	X	X	X	X
	10	X	X	X	1	10	X	X	X	X	X
A = 1	EF	00	01	11	10	EF	00	01	11	10	
	CD	00	X	1	X	X	0	X	X	X	X
	01	X	X	X	X	1	X	X	X	X	X
	11	X	X	X	X	11	X	X	X	X	X
	10	X	X	X	1	10	X	X	X	X	X

K4											
B = 0						B = 1					
A = 0	EF	00	01	11	10	EF	00	01	11	10	
	CD	00	X	X	X	X	0	X	X	0	X
	01	X	X	X	X	1	X	X	X	X	X
	11	X	X	X	X	11	0	X	X	X	X
	10	X	X	X	X	10	X	X	X	X	X
A = 1	EF	00	01	11	10	EF	00	01	11	10	
	CD	00	X	X	X	X	0	X	X	X	1
	01	X	X	X	X	1	X	X	X	X	X
	11	X	X	X	X	11	X	1	X	X	X
	10	X	X	X	X	10	1	X	X	X	X

CELAS ADYACENTES ENTRE SÍ

AGRUPACIONES J4

N°	ABCDEF	N°	ABCDEF
0	000000	8	001000
1	000001	9	001001
4	000100	10	001010
5	000101	11	001011
8	001000	12	001100
9	001001	13	001101
12	001100	14	001110
13	001101	15	001111
16	010000	24	011000
17	010001	25	011001
20	010100	26	011010
21	010101	27	011011
24	011000	28	011100
25	011001	29	011101
28	011100	30	011110
29	011101	31	011111
32	100000		
33	100001		
36	100100		
37	100101		
40	101000		
41	101001		
44	101100		
45	101101		
48	110000		
49	110001		
52	110100		
53	110101		
56	111000		
57	111001		
60	111100		
61	111101		
	Q'1		Q'5Q3

AGRUPACIONES K4	
N°	ABCDEF
32	100000
33	100001
34	100010
35	100011
36	100100
37	100101
38	100110
39	100111
40	101000
41	101001
42	101010
43	101011
44	101100
45	101101
46	101110
47	101111
48	110000
49	110001
50	110010
51	110011
52	110100
53	110101
54	110110
55	110111
56	111000
57	111001
58	111010
59	111011
60	111100
61	111101
62	111110
63	111111
	Q5

Ilustración 4 Mapas de FFB

3.3 Mapas de FFC

Se realiza la agrupación de términos adyacentes en esta ocasión de 32 Y 64 términos, siguiendo el libro, (Floyd, 2016) se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, en este primer caso solo se coloca para J3 = $Q'5Q'4Q'2+Q'0$ y en la segunda agrupación de K5 = $Q5Q4$, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene las ecuaciones

FFC														
J3														
B = 0						B = 1								
A = 0	CD	EF	00	01	11	10	CD	EF	00	01	11	10		
			00	x	x	1			x	0	x	x	0	x
			01	x	x	0			x	1	x	x	x	x
			11	x	x	x			x	11	x	x	x	x
			10	x	x	x			x	10	x	x	x	x
A = 1	CD	EF	00	01	11	10	CD	EF	00	01	11	10		
			0	x	0	x			x	0	x	x	x	1
			1	x	x	x			x	1	x	x	x	x
			11	x	x	x			x	11	x	x	x	x
			10	x	x	x			x	10	x	x	x	x

K3												
B = 0							B = 1					
A = 0	CD	EF	00	01	11	10	CD	EF	00	01	11	10
		00	X	X	X	X		0	X	X	X	X
		01	X	X	X	X		1	X	X	X	X
		11	X	X	X	X		11	X	X	X	X
		10	X	X	X	X		10	X	X	X	X
A = 1	CD	EF	00	01	11	10	CD	EF	00	01	11	10
		0	X	X	X	X		0	X	X	X	X
		1	X	X	X	X		1	X	X	X	X
		11	X	X	X	X		11	X	1	X	X
		10	X	X	X	X		10	1	X	X	X

CELAS ADYACENTES ENTRE SÍ

AGRUPACIONES J3

N°	ABCDEF
0	000000
2	000010
4	000100
6	000110
8	001000
10	001010
12	001100
14	001110
16	010000
18	010010
20	010100
22	010110
24	011000
26	011010
28	011100
30	011110
32	100000
34	100010
36	100100
38	100110
40	101000
42	101010
44	101100
46	101110
48	110000
50	110010
52	110100
54	110110
56	111000
58	111010
60	111100
62	111110
	Q'0

AGRUPACIONES K3

N°	ABCDEF
48	110000
49	110001
50	110010
51	110011
52	110100
53	110101
54	110110
55	110111
56	111000
57	111001
58	111010
59	111011
60	111100
61	111101
62	111110
63	111111
	Q5Q4

Ilustración 5 Mapas de FFC

3.4 Mapas de FFD

Se realiza la agrupación de términos adyacentes en esta ocasión de 32 Y 64 términos, siguiendo el libro, (Floyd, 2016) se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, en este primer caso solo se coloca para $J2 = Q3$ y en la segunda agrupación de $K2 = Q'3 + Q'1$, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene las ecuaciones

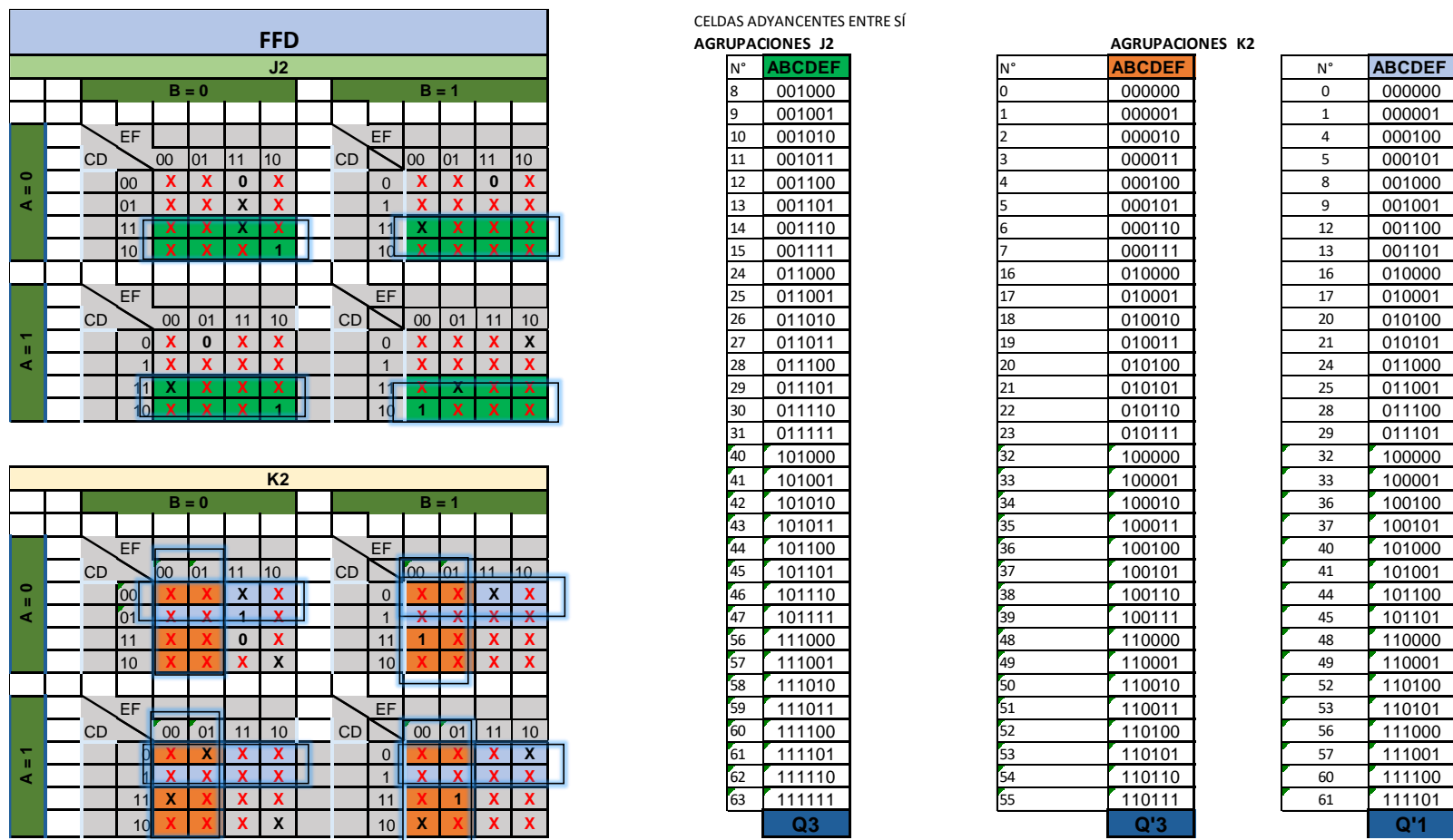


Ilustración 6 Mapas de FFD

3.5 Mapas de FFE

Se realiza la agrupación de términos adyacentes en esta ocasión de 32 Y 64 términos, siguiendo el libro, (Floyd, 2016) se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, en este primer caso solo se coloca para $J1 = Q5$ y en la segunda agrupación de $K1 = Q2+Q'5Q'0$, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene las ecuaciones

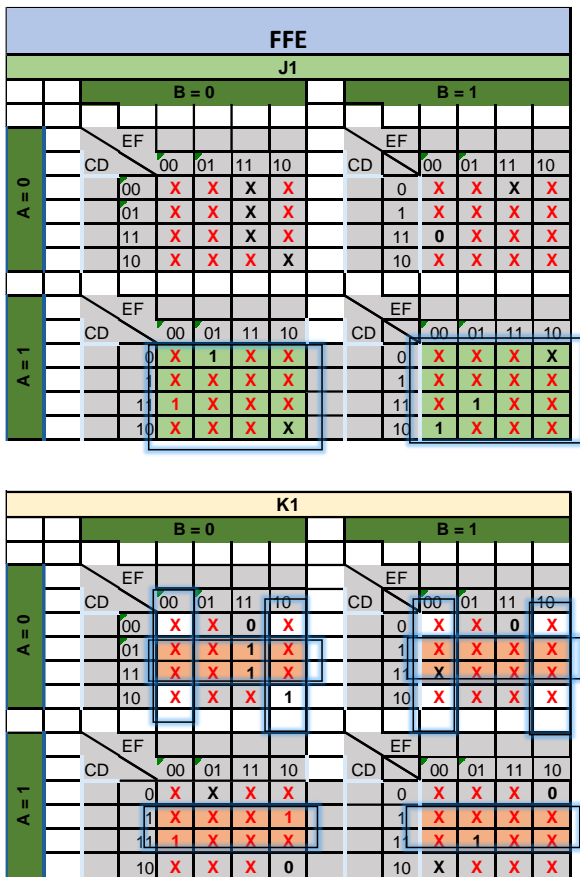


Ilustración 7 Mapas de FFE

CELAS ADYACENTES ENTRE SÍ

AGRUPACIONES J1

N°	ABCDEF
32	100000
33	100001
34	100010
35	100011
36	100100
37	100101
38	100110
39	100111
40	101000
41	101001
42	101010
43	101011
44	101100
45	101101
46	101110
47	101111
48	110000
49	110001
50	110010
51	110011
52	110100
53	110101
54	110110
55	110111
56	111000
57	111001
58	111010
59	111011
60	111100
61	111101
62	111110
63	111111
Q5	

AGRUPACIONES K1

N°	ABCDEF
4	000100
5	000101
6	000110
7	000111
12	001100
13	001101
14	001110
15	001111
20	010100
21	010101
22	010110
23	010111
28	011100
29	011101
30	011110
31	011111
36	100100
37	100101
38	100110
39	100111
44	101100
45	101101
46	101110
47	101111
52	110100
53	110101
54	110110
55	110111
60	111100
61	111101
62	111110
63	111111
Q2	

N°	ABCDEF
0	000000
2	000010
4	000100
6	000110
8	001000
10	001010
12	001100
14	001110
16	010000
18	010010
20	010100
22	010110
24	011000
26	011010
28	011100
30	011110
Q'5Q'0	

3.6 Mapas de FFF

Se realiza la agrupación de términos adyacentes en esta ocasión de 32 Y 64 términos, siguiendo el libro, (Floyd, 2016) se colocan las celdas adyacentes para realizar su simplificación con álgebra Booleana, en este primer caso solo se coloca para $J0 = Q3Q'2$ y en la segunda agrupación de $K0 = Q2+Q'5Q'0$, debido que los ABCD son un “AND” lógico y no pueden cambiar el valor sea de 0 o de 1, y se obtiene las ecuaciones

FFF													
J0													
B = 0							B = 1						
A = 0	CD	00	01	11	10		CD	00	01	11	10		
	EF						EF						
		00	X	X	X	X		0	X	X	X	X	X
		01	X	X	X	X		1	X	X	X	X	X
		11	X	X	X	X		11	0	X	X	X	X
A = 1	CD						CD						
	EF						EF						
		0	X	X	X	X		0	X	X	X	X	0
		1	X	X	X	1		1	X	X	X	X	X
		11	1	X	X	X		11	X	X	X	X	X

CELAS ADYACENTES ENTRE SÍ

AGRUPACIONES J0

N°	ABCDEF
8	001000
9	001001
10	001010
11	001011
24	011000
25	011001
26	011010
27	011011
40	101000
41	101001
42	101010
43	101011
56	111000
57	111001
58	111010
59	111011
CD'	

AGRUPACIONES K0

N°	ABCDEF
0	000000
1	000001
2	000010
3	000011
8	001000
9	001001
10	001010
11	001011
16	010000
17	010001
18	010010
19	010011
24	011000
25	011001
26	011010
27	011011
A'D	

K0													
B = 0							B = 1						
A = 0	CD	00	01	11	10		CD	00	01	11	10		
	EF						EF						
		00	X	X	1	X		0	X	X	1	X	X
		01	X	X	0	X		1	X	X	X	X	X
		1	X	X	1	X		11	X	X	X	X	X
A = 1	CD						CD						
	EF						EF						
		0	X	0	X	X		0	X	X	X	X	X
		1	X	X	X	1		1	X	X	X	X	X
		11	1	X	X	X		11	X	0	X	X	X

N°	ABCDEF
0	000000
2	000010
4	000100
6	000110
8	001000
10	001010
12	001100
14	001110
16	010000
18	010010
20	010100
22	010110
24	011000
26	011010
28	011100
30	011110
32	100000
34	100010
36	100100
38	100110
40	101000
42	101010
44	101100
46	101110
48	110000
50	110010
52	110100
54	110110
56	111000
58	111010
60	111100
62	111110
F'	

Ilustración 8 Mapas de FFF

4. Explicación del contador asincrónico

El contador asincrónico no es exactamente preciso, pero si cuenta con una implementación sencilla, es decir que se caracteriza que su salida no cuenta de una señal de reloj, lo que dará como resultado que sus flip-flops cambien de estado en diferentes momentos, pero en su entrada siempre se encontrará conectado únicamente al flip-flop. “Un contador asíncrono es aquel en el que los flip-flops (FF) del contador no cambian de estado exactamente al mismo tiempo, dado que no comparten un impulso de reloj común” (Floyd,2016, pag.500).

El contador asincrónico requiere para su funcionamiento recibir pulsos en J y K los cuales serán transformados y cambiarán constantemente de acuerdo con los pulsos recibidos en Q.

El contador realiza un cambio por cada flanco de bajada, para cada bajada se le asigna un valor de cero y para cada subida se le asigna un valor de uno. Una vez que cumple su ciclo, este vuelve a su estado inicial. “cuenta el número de impulsos de reloj hasta el tercero y, en el cuarto impulso, inicia un nuevo ciclo a partir de su estado original ($Q_0 = 0$, $Q_1 = 0$). El inicio de un nuevo ciclo (recycle, término que se aplica comúnmente al funcionamiento de los contadores) se refiere a la transición del contador de su estado final a su estado original” (Floyd,2016, pag.501)

Por otro lado, se debe de mencionar que, cuando el contador llegue al valor de 63 (111111 en binario) es cuando se activa el contador asíncrono, dado que este envía el impulso al contador síncrono para que sume, así cuando llegue al valor de 6, el contador síncrono va ir sumando 1 en cada vuelta, además que indique sea un número impar o se reinicie la secuencia con ayuda del clock que da el impulso para que no se quede pegado cuando hay varios impares seguidos en la secuencia .

5. CIRCUITO EN DIGITAL WORKS

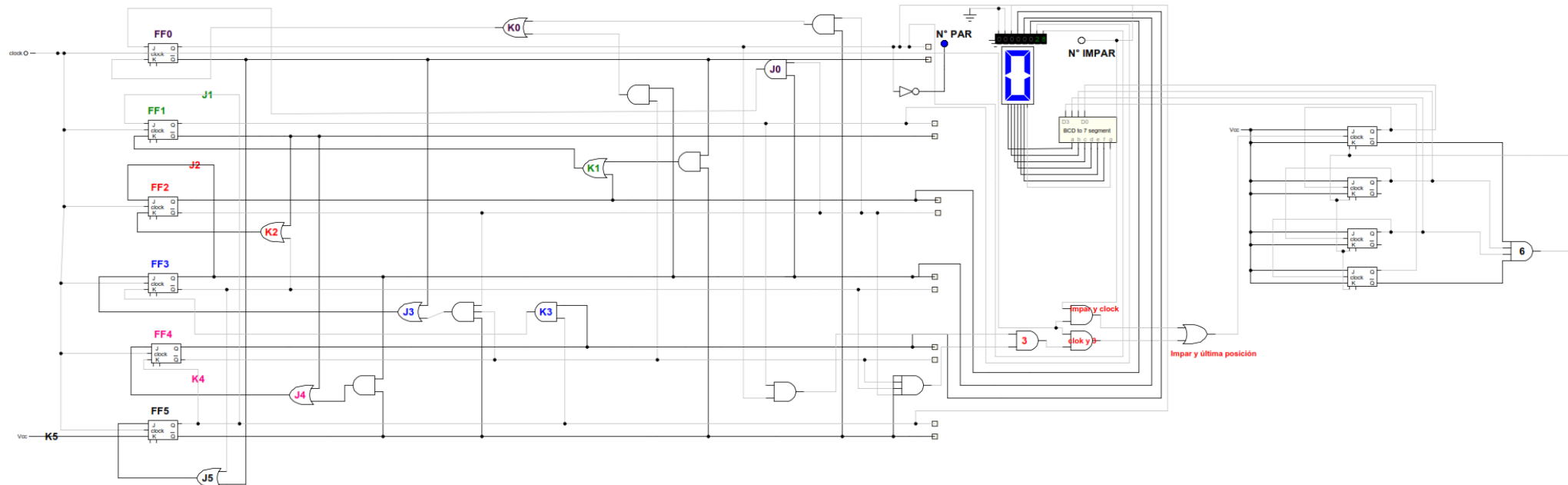


Ilustración 9 Circuito digital

Conclusión

En el presente trabajo se ha logrado desarrollar una solución a un problema dado el cual se dan las condiciones de diseñar el contador síncrono y otro asíncrono que cumpla con la secuencia dada, así luego poder simplificar una ecuación lógica por medio de los mapas de mapa de Karnaugh y el uso del álgebra de Booleana con la finalidad de poder diseñar los seis mapas para luego montar en un solo circuito.

En la elaboración de este trabajo se logra elaborar el desarrollar de conceptos previamente estudiados, un problema de aplicación de los conceptos ya trabajados en las tareas anteriores, lo cual facilitó más enriquecedor dado que se trabaja un problema propuesto y que debe de dar la salida de la secuencia para poder verificar todas las partes de la tarea, tanto como las simplificaciones y la realización del circuito.

Además, se trabajan conceptos ya realizados en la tarea anterior que es el uso de los flip-flop jk, lo cuales se debe conocer sus ecuaciones para poder dar con la secuencia que facilitaron, al realizar bien los mapas se logra obtener la secuencia luego de la primera vuelta, dado que el circuito inicia sin energía y arranca 0000.

Referencias

- Bustamante, A. (2009). Lógica y Argumentación: De los argumentos deductivos a las álgebras de Boole. México: Pearson Educación. T1-Bustamante-cap03-logica-simbolica.pdf (uned.ac.cr)
- Cátedra Desarrollo de Sistemas UNED (Director). (2020, julio 9). Tutoría 1 (Énfasis en mapas de Karnaugh) [Video recording].
<https://www.youtube.com/watch?v=OgSIQbbsGmU>
- Floyd, T. L. (2016). FUNDAMENTOS DE SISTEMAS DIGITALES, 11th Edition. [[VitalSource Bookshelf version]]. Retrieved from vbk://9788490353004
- Gómez, E. (2010). MATERIAL COMPLEMENTARIO. ORGANIZACIÓN DE COMPUTADORAS. San José. UNED.
- Mano, M. M. (1994). Arquitectura de computadoras, (3ª ed.). Pearson Educación.
- Tutoría III-20240713.mp4. (s. f.). Google Docs. Recuperado 14 de julio de 2024, de https://drive.google.com/file/d/1RW_RMKdEQ4JoyRBZhK2ncq8V-xTUJZJm/view?usp=embed_facebook
- Reptil.mx. (2022, enero 12). Display de 7 segmentos. Industrias GSL.
<https://industriasgsl.com/blogs/automatizacion/display-de-7-segmentos>