



Hazırlayan: Celal Can Sağnak - 210260302

Proje Adı: 32-Bit Aritmetik Mantık Birimi (ALU)

Tasarım Dili: VHDL (VHSIC Hardware Description Language)

Tarih: Aralık 2025

1. Özет

Bu rapor, profesyonel seviyede tasarlanmış 32-bit genişliğinde bir Aritmetik Mantık Birimi'nin (ALU) teknik detaylarını sunmaktadır. Tasarlanan ALU, 16 farklı aritmetik ve mantıksal işlemi desteklemekte olup, kapsamlı durum bayrakları üretmektedir. Senkron tasarım prensiplerine uygun olarak geliştirilmiştir.

2. Tasarım Özellikleri

2.1 Genel Spesifikasyonlar

Parametre	Değer
Veri Genişliği	32-bit
Operasyon Sayısı	16
Opcode Genişliği	4-bit
Shift Miktarı Genişliği	5-bit
Tasarım Tipi	Senkron (Clock-driven)
Reset Tipi	Aktif-düşük asenkron reset
Standart	IEEE 1076-2008 (VHDL-2008)

2.2 Port Tanımlamaları

ALU Entity	
INPUT	OUTPUT
clk [1-bit]	result [32-bit]
rst_n [1-bit]	result_hi [32-bit]
enable [1-bit]	flag_zero [1-bit]
operand_a [32-bit]	flag_carry [1-bit]
operand_b [32-bit]	flag_overflow[1-bit]
opcode [4-bit]	flag_negative[1-bit]
shift_amt [5-bit]	flag_parity [1-bit]
	valid_out [1-bit]

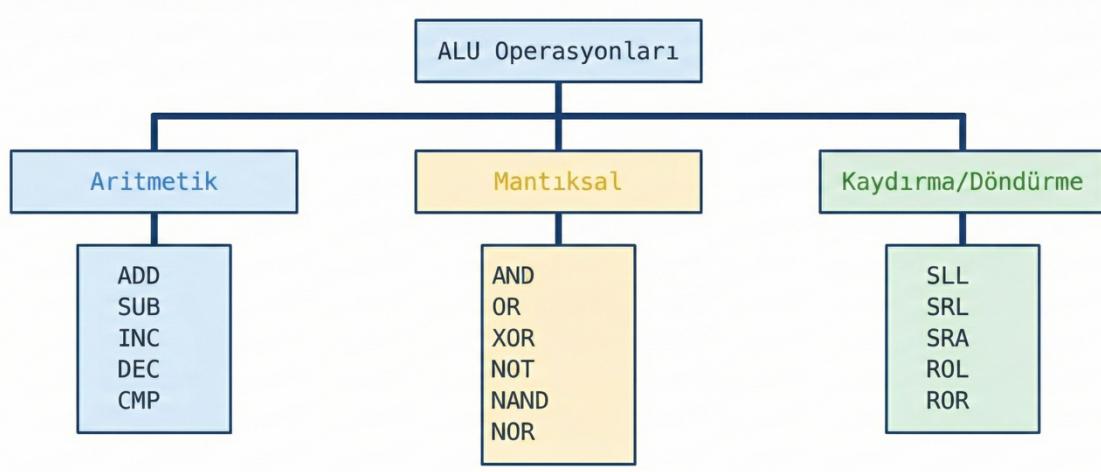


3. Desteklenen Operasyonlar

3.1 Operasyon Tablosu

Opcode	Mnemonik	İşlem	Matematiksel İfade
0000	ADD	Toplama	$\text{Result} = A + B$
0001	SUB	Çıkarma	$\text{Result} = A - B$
0010	AND	Bitwise AND	$\text{Result} = A \wedge B$
0011	OR	Bitwise OR	$\text{Result} = A \vee B$
0100	XOR	Bitwise XOR	$\text{Result} = A \oplus B$
0101	NOT	Bitwise NOT	$\text{Result} = \neg A$
0110	NAND	Bitwise NAND	$\text{Result} = \neg(A \wedge B)$
0111	NOR	Bitwise NOR	$\text{Result} = \neg(A \vee B)$
1000	SLL	Shift Left Logical	$\text{Result} = A \ll n$
1001	SRL	Shift Right Logical	$\text{Result} = A \gg n$
1010	SRA	Shift Right Arithmetic	$\text{Result} = A \ggg n$
1011	ROL	Rotate Left	$\text{Result} = A \circleftarrow n$
1100	ROR	Rotate Right	$\text{Result} = A \circrightarrow n$
1101	INC	Increment	$\text{Result} = A + 1$
1110	DEC	Decrement	$\text{Result} = A - 1$
1111	CMP	Compare	$\text{Flags} = A - B$

3.2 Operasyon Kategorileri





4. Durum Bayrakları

4.1 Bayrak Açıklamaları

Bayrak	Açıklama	Tetikleme Koşulu
Zero (Z)	Sonuç sıfır mı?	Result = 0x00000000
Carry (C)	Taşma oluştu mu?	Unsigned overflow
Overflow (V)	İşaretli taşıma	Signed overflow
Negative (N)	Sonuç negatif mi?	Result[31] = '1'
Parity (P)	Çift parite	XOR of all bits

4.2 Overflow Algılama Mantığı

İşaretli sayılarda overflow tespiti için kullanılan formül:

ADD için:

$$\text{Overflow} = (A[31] \wedge B[31] \wedge \neg R[31]) \vee (\neg A[31] \wedge \neg B[31] \wedge R[31])$$

SUB için:

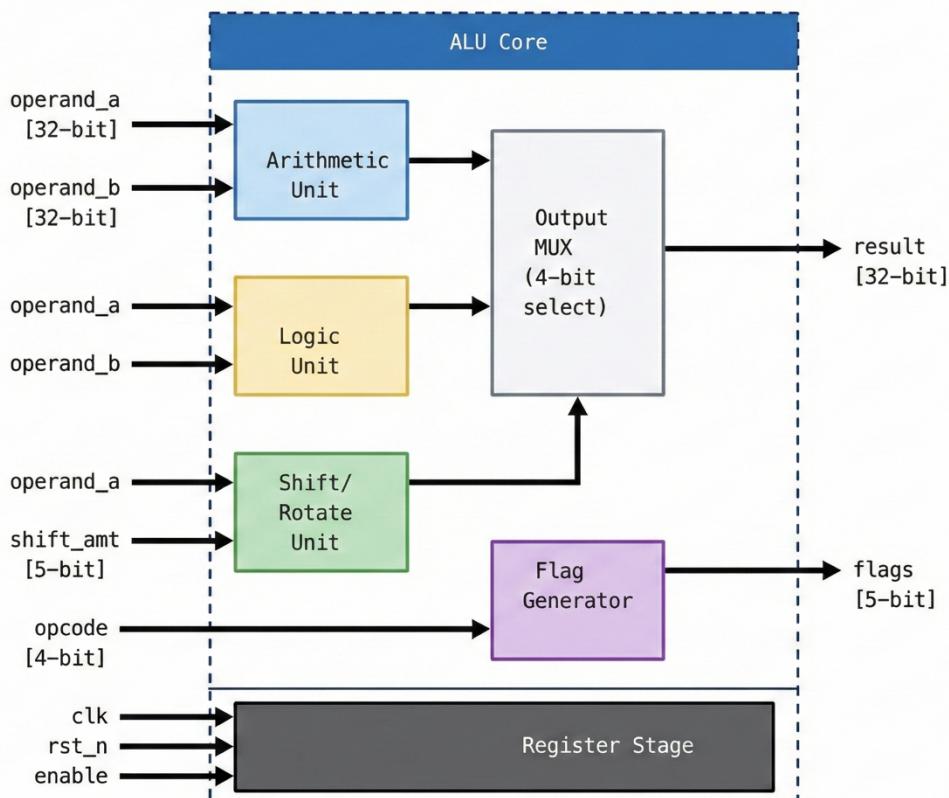
$$\text{Overflow} = (A[31] \wedge \neg B[31] \wedge \neg R[31]) \vee (\neg A[31] \wedge B[31] \wedge R[31])$$

Bu formüller, iki pozitif sayının toplamının negatif veya iki negatif sayının toplamının pozitif olması durumlarını tespit eder.

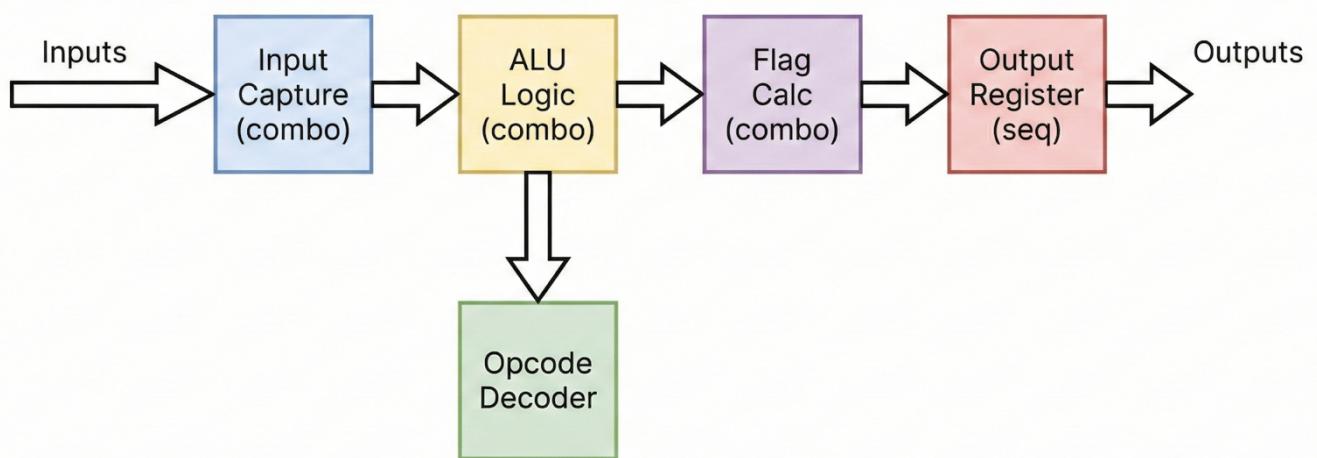


5. Mmari Tasarım

5.1 Blok Diyagramı



5.2 Veri Akışı





6. Proje Dosya Yapısı

VHDL /

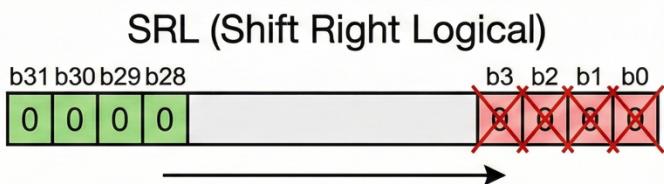
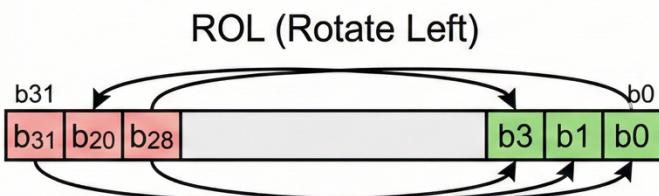
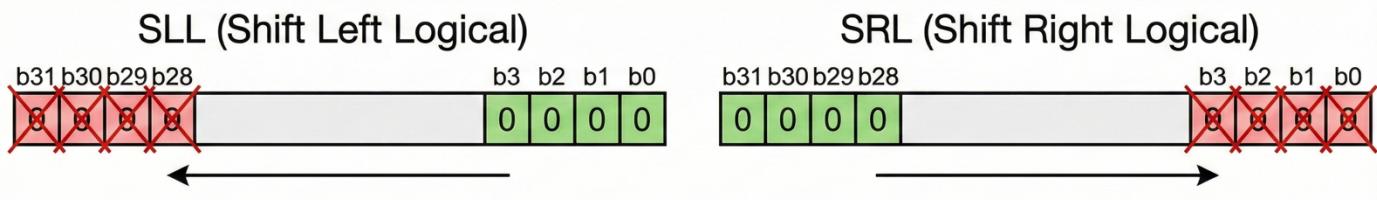
```
└── alu_pkg.vhd  
└── alu.vhd  
└── alu_tb.vhd  
└── README.md
```

```
# Paket: Tipler, sabitler,fonksiyonlar  
# Ana ALU entity ve architecture  
# Kapsamlı testbench  
# Bu dokümantasyon
```

6.1 Dosya Açıklamaları

Dosya	Satır Sayısı	Açıklama
alu_pkg.vhd	~200	Sabitler, tip tanımlamaları, barrel shifter fonksiyonları
alu.vhd	~220	Ana ALU modülü, tüm işlemler
alu_tb.vhd	~400	Self-checking testbench

7. Shift ve Rotate Operasyonları





8. Test Stratejisi

8.1 Test Senaryoları

Testbench aşağıdaki kategorilerde testler içermektedir:

1. Fonksiyonel Testler

- Her operasyon için temel doğrulama
- Beklenen sonuç ile karşılaştırma

2. Boundary Value Testleri

- Minimum değerler (0x00000000)
- Maximum değerler (0xFFFFFFFF)
- Sınır geçişleri

3. Flag Testleri

- Zero flag doğrulaması
- Carry flag doğrulaması
- Overflow flag doğrulaması
- Negative flag doğrulaması

4. Edge Case Testleri

- ADD overflow
- SUB underflow
- Signed overflow
- Self-XOR (identity property)

8.2 Self-Checking Mechanism

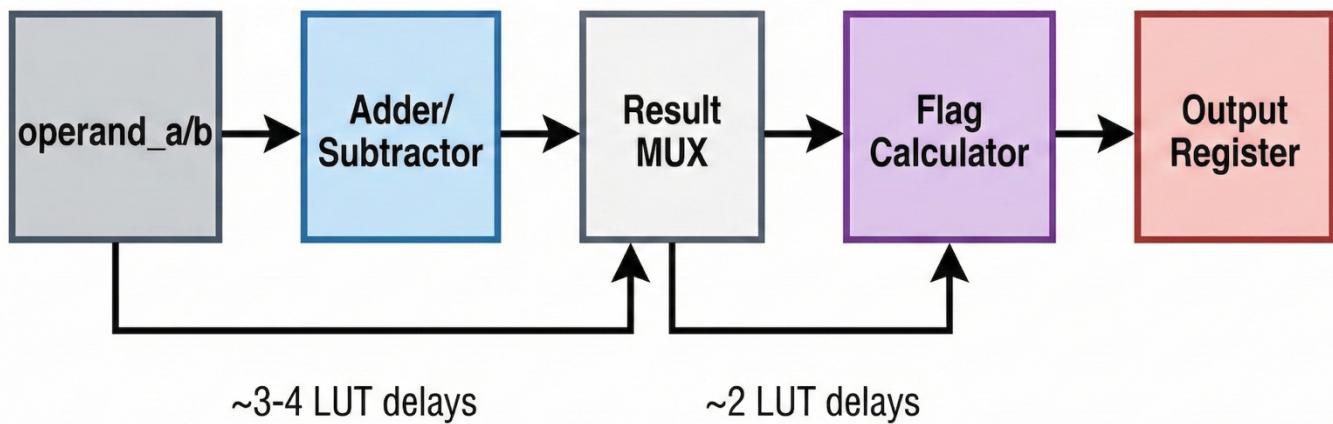
```
procedure check_result(  
    signal passed      : inout integer;  
    signal failed      : inout integer;  
    constant test_name : string;  
    constant expected   : std_logic_vector;  
    constant actual     : std_logic_vector  
) ;
```

Testbench sonunda toplam PASS/FAIL sayısı raporlanır.



9. Zamanlama Analizi

9.1 Kritik Yol



Toplam: ~5-6 LUT seviyesi

9.2 Tahmini Performans

FPGA Ailesi	Tahmini Fmax	Notlar
Artix-7	~150-200 MHz	Typical speed grade
Kintex-7	~200-250 MHz	Better speed grade
Spartan-6	~100-150 MHz	Older technology

9.3 Kaynak Kullanımı Tahmini

Kaynak	Tahmini Kullanım	Notlar
LUTs	~150-200	Logic implementation
FFs	~70-80	Output registers, flags
Carry Chain	32-bit	For adder/subtractor



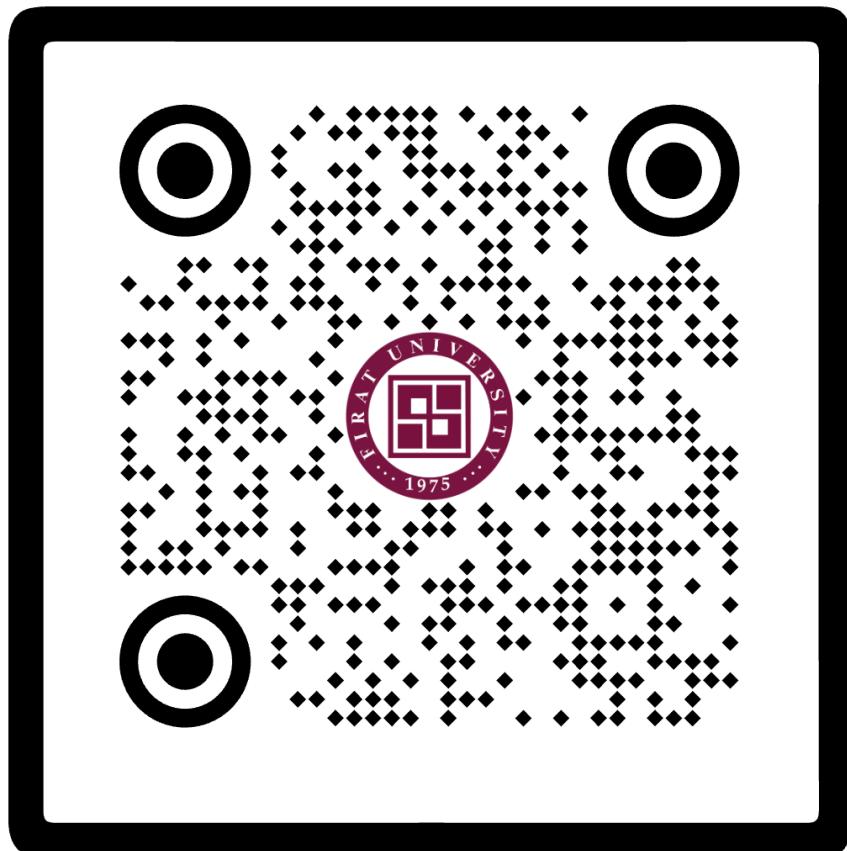
10. Sonuç

Bu raporda sunulan 32-bit ALU tasarımları, modern işlemci ve dijital sistem tasarımlarında kullanılabilecek profesyonel kalitede bir modüldür. Tasarım özellikleri:

- 16 farklı operasyon desteği
- Kapsamlı flag üretimi
- Modüler ve genişletilebilir yapı
- Self-checking testbench ile doğrulama
- Endüstri standartı VHDL-2008 uyumluluğu

Referanslar

- IEEE Standard VHDL Language Reference Manual (IEEE Std 1076-2008)
- Pong P. Chu, "RTL Hardware Design Using VHDL"
- Volnei A. Pedroni, "Circuit Design and Simulation with VHDL"
- David Money Harris, "Digital Design and Computer Architecture"



Kaynak Kodlar