

**TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN**

**& TRUYỀN THÔNG VIỆT - HÀN**

**KHOA KỸ THUẬT MÁY TÍNH VÀ ĐIỆN TỬ**



**BÀI TẬP LỚN**

**ĐỀ TÀI:**

**THIẾT KẾ MẠCH OPAMP**

Sinh viên thực hiện: **Huỳnh Đặng Phương Âu 21CE067**

**Vũ Gia Bảo 21CE068**

**Lã Thành Cảnh 21CE070**

**Doãn Cao Danh 21CE074**

**Phạm Quang Vinh 21CE127**

Giảng viên hướng dẫn: **Ths. Nguyễn Thị Huyền Trang**

***Đà Nẵng, 20 tháng 5 năm 2025***

**TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN**

**& TRUYỀN THÔNG VIỆT - HÀN**

**KHOA KỸ THUẬT MÁY TÍNH VÀ ĐIỆN TỬ**



**BÀI TẬP LỚN**

**ĐỀ TÀI:**

**THIẾT KẾ MẠCH OPAMP**

Sinh viên thực hiện: **Huỳnh Đặng Phương Âu 21CE067**

**Vũ Gia Bảo 21CE068**

**Lã Thành Cảnh 21CE070**

**Doãn Cao Danh 21CE074**

**Phạm Quang Vinh 21CE127**

Giảng viên hướng dẫn: **Ths. Nguyễn Thị Huyền Trang**

***Đà Nẵng, 20 tháng 5 năm 2025***

**NHẬN XÉT**

(Của giảng viên hướng dẫn)

……………………………………………………………………………

……………………………………………………………………………

……………………………………………………………………………

……………………………………………………………………………

……………………………………………………………………………

……………………………………………………………………………

……………………………………………………………………………

……………………………………………………………………………

……………………………………………………………………………

……………………………………………………………………………

Đà Nẵng, ngày …. tháng …. năm 2025

Giảng viên hướng dẫn

Ths. Nguyễn Thị Huyền Trang

**LỜI CẢM ƠN**

Chúng em xin gửi lời cảm ơn sâu sắc đến Cô Nguyễn Thị Huyền Trang đã hỗ trợ và chỉ dẫn chúng em trong quá trình nghiên cứu và triển khai đề tài

Những lời khuyên và hướng dẫn từ cô không chỉ là nguồn động viên mà còn là nguồn cảm hứng lớn giúp chúng em vượt qua những thách thức và đạt được thành công trong đề tài này.

Chúng em cũng muốn bày tỏ lòng biết ơn đến bạn bè, gia đình và những người thân yêu đã luôn ở bên cạnh và động viên chúng em trong suốt thời gian qua. Một lần nữa, chúng em xin chân thành cảm ơn sự hỗ trợ và sự khích lệ từ cô đã giúp chúng em hoàn thành đề tài này một cách thành công. Tuy nhiên với vốn kiến thức và kinh nghiệm chưa nhiều nên trong quá trình thực hiện đồ án sẽ có một số sai sót. Chúng em rất mong nhận được những nhận xét, đánh giá từ phía các thầy cô để bài báo cáo của chúng em được hoàn thiện một cách tốt nhất

Em xin trân trọng cảm ơn!

**MỤC LỤC**

[CHƯƠNG 1: GIỚI THIỆU 1](#_Toc199561397)

[1. 1 Giới thiệu về Analog IC 1](#_Toc199561398)

[1. 2 Cấu trúc và hoạt động của NMOS 2](#_Toc199561399)

[1. 3 Cấu trúc và hoạt động của PMOS 4](#_Toc199561400)

[1. 4 Công nghệ CMOS 5](#_Toc199561401)

[1. 5 Mạch Op-Amp 6](#_Toc199561402)

[CHƯƠNG 2: PHÂN TÍCH VÀ THIẾT KẾ 11](#_Toc199561403)

[2. 1 LAB 1: Tổng quan về Electric VLSI 11](#_Toc199561404)

[2. 2 LAB2: MOS TRANSISTOR CHARACTERIZATION 13](#_Toc199561405)

[2. 3 FINAL LAB: Thiết kế mạch Op-Amp sử dụng công nghệ CMOS 15](#_Toc199561406)

[CHƯƠNG 3: MÔ PHỎNG VÀ KẾT LUẬN 19](#_Toc199561407)

[3. 1 KẾT QUẢ MÔ PHỎNG 19](#_Toc199561408)

**DANH MỤC HÌNH ẢNH**

[Hình 1‑1 Dạng sóng ADC 1](#_Toc199561368)

[Hình 1‑2 Bộ điều chỉnh điện áp và dòng điện 1](#_Toc199561369)

[Hình 1‑3 Tín hiệu analog và digital 2](#_Toc199561370)

[Hình 1‑4 Tín hiệu digital 2](#_Toc199561371)

[Hình 1‑5 Schematic NMOS 3](#_Toc199561372)

[Hình 1‑6 Layout NMOS 3](#_Toc199561373)

[Hình 1‑7 Schematic PMOS 4](#_Toc199561374)

[Hình 1‑8 Layout PMOS 5](#_Toc199561375)

[Hình 1‑9 Schematic CMOS 6](#_Toc199561376)

[Hình 1‑10 Layout CMOS 6](#_Toc199561377)

[Hình 1‑5 Symbol Bộ khuếch đại thuật toán 7](#_Toc199561378)

[Hình 1‑6 Cấu tạo Op-Amp 8](#_Toc199561379)

[Hình 1‑7 Đặc tính truyền đạt 9](#_Toc199561380)

[Hình 1‑8 Đặc tính truyền đạt 10](#_Toc199561381)

[Hình 2‑1 Schematic 12](#_Toc199561382)

[Hình 2‑2 Layout 12](#_Toc199561383)

[Hình 2‑3 Waveform 12](#_Toc199561384)

[Hình 2‑4 Schematic 13](#_Toc199561385)

[Hình 2‑5 Thí Nghiệm 1 14](#_Toc199561386)

[Hình 2‑6 Thí Nghiệm 2 14](#_Toc199561387)

[Hình 2‑7 Thí Nghiệm 3 14](#_Toc199561388)

[Hình 2‑8 Schematic trên LT spice 16](#_Toc199561389)

[Hình 2‑9 Schematic Khối cấp dòng phân cực (Bias circuit) trên Electric VLSI 16](#_Toc199561390)

[Hình 2‑10 Layout Khối cấp dòng phân cực (Bias circuit) trên Electric VLSI 17](#_Toc199561391)

[Hình 2‑11 Schematic OpAmp 17](#_Toc199561392)

[Hình 2‑12 Layout OpAmp 18](#_Toc199561393)

[Hình 3‑1 Sơ đồ dạng sóng 19](#_Toc199561394)

[Hình 3‑3 AC Simulation 20](#_Toc199561395)

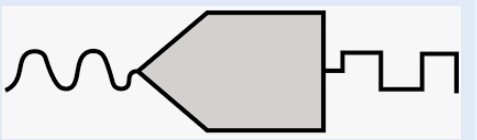
[Hình 3‑3 AC Simulation 2 20](#_Toc199561396)

# GIỚI THIỆU

## Giới thiệu về Analog IC

### Tín hiệu analog là gì?

Tín hiệu tương tự là dạng sóng liên tục trong đó thuộc tính dao động như điện áp hoặc áp suất tương ứng với một biến phụ thuộc thời gian khác. Nói cách khác, một biến là tương tự của biến kia. Tín hiệu truyền từ giá trị này sang giá trị khác và đi qua tất cả các giá trị trung gian, từ 0 đến biên độ đầy đủ

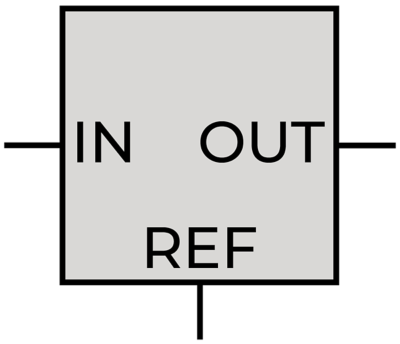


Hình ‑ Dạng sóng ADC

### Analog IC là gì?

IC (Integrated Circuit) analog là mạch tích hợp xử lý tín hiệu liên tục (analog) – tức tín hiệu có vô số mức biên độ trong một dải điện áp hoặc dòng điện, trái ngược với IC số (digital) chỉ xử lý hai mức logic 0 / 1. Không giống như IC kỹ thuật số xử lý tín hiệu bật/tắt, IC analog hoạt động với toàn bộ phạm vi giá trị của tín hiệu. IC tương tự chịu trách nhiệm về các chức năng như khuếch đại, lọc, trộn, điều chế và giải điều chế. Chúng được sử dụng rộng rãi trong các ứng dụng đòi hỏi phải xử lý tín hiệu chính xác và hiệu quả

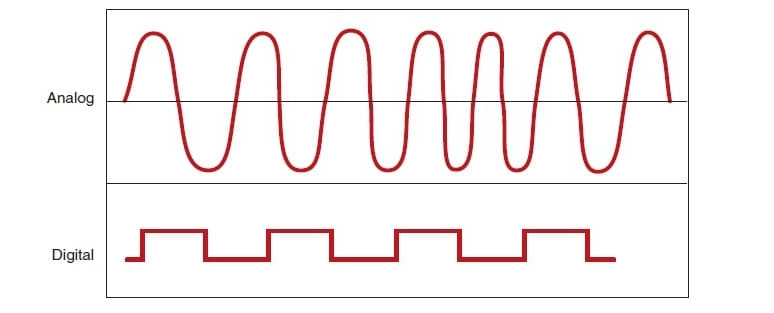
### Ví dụ và ứng dụng của Analog IC



Hình ‑ Bộ điều chỉnh điện áp và dòng điện

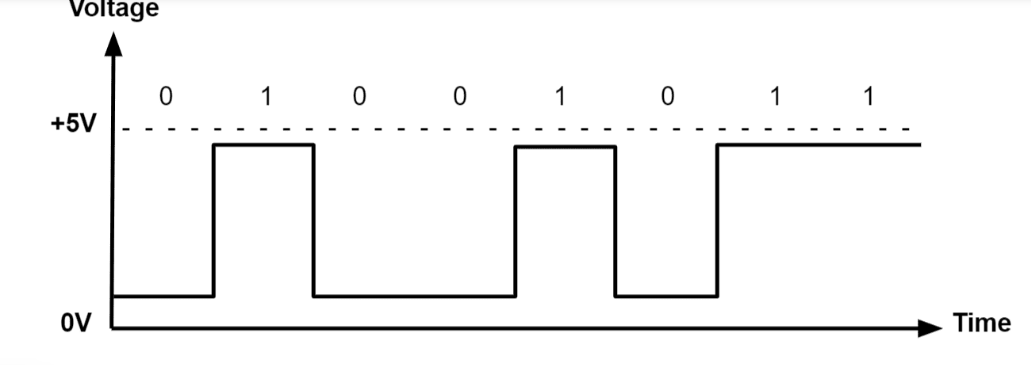
### So sánh Analog và Digital

Tín hiệu analog hay tín hiệu tương tự là bất kỳ tín hiệu liên tục nào có tính năng thay đổi thời gian (biến) của tín hiệu là đại diện cho một số lượng thay đổi thời gian khác, nghĩa là tương tự với tín hiệu thay đổi thời gian khác.



Hình ‑ Tín hiệu analog và digital

Tín hiệu Digital hay còn được gọi với cái tên khác là tín hiệu số. Chúng chỉ bao gồm hai mức cao và thấp (trong máy tính là 0 và 1), điều đó có nghĩa là không liên tục. Trong điện tử và máy tính, điện thế cao đại diện cho mức 1 còn điện thế thấp là mức 0, thông thường là 5V và 0V. Nhưng trong bộ vi xử lý hiện nay, mức cao chỉ khoảng 1V, mức thấp là 0V để tiết kiệm điện.



Hình ‑ Tín hiệu digital

## Cấu trúc và hoạt động của NMOS

**Cấu trúc vật lý:**

Transistor NMOS (viết tắt của N-channel MOSFET) là loại linh kiện bán dẫn hoạt động với hạt tải điện là electron. NMOS thường được chế tạo trên nền bán dẫn loại P (P-substrate). Cấu trúc gồm 4 cực chính:

* Gate (cổng): làm bằng kim loại hoặc polysilicon, nằm trên lớp oxide cách điện (SiO₂).
* Source (nguồn): vùng pha tạp loại N+.
* Drain (máng): vùng pha tạp loại N+.
* Body (nền): là lớp bán dẫn P, thường nối với mass (0V).

Khi chưa cấp điện áp điều khiển, giữa Drain và Source không có kênh dẫn vì nằm trên nền P. Lúc này, transistor không dẫn điện.

**Nguyên lý hoạt động:**

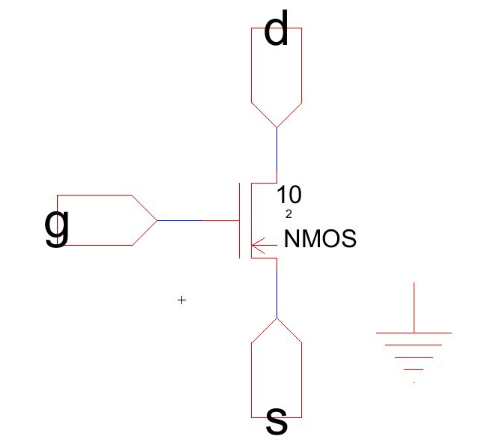
Khi Vgs < Vth (Vgs là điện áp giữa Gate và Source, Vth là điện áp ngưỡng), không có kênh dẫn → transistor tắt.

Khi Vgs ≥ Vth, điện trường tại Gate hút các electron đến sát lớp oxide, tạo thành một kênh dẫn loại N → transistor bật.

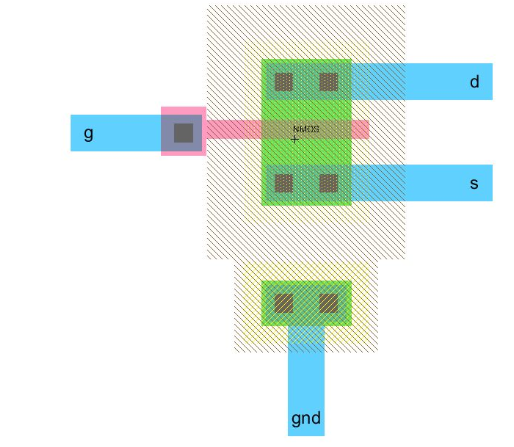
Nếu có điện áp Vds (giữa Drain và Source), dòng điện sẽ chạy từ Drain → Source.

**Các vùng hoạt động:**

* Vùng ngắt (Cut-off): Vgs < Vth → transistor không dẫn.
* Vùng tuyến tính (Triode): Vgs > Vth và Vds < Vgs - Vth → transistor dẫn như điện trở điều khiển bằng điện áp.
* Vùng bão hòa (Saturation): Vgs > Vth và Vds ≥ Vgs - Vth → dòng điện đạt giá trị bão hòa, phù hợp dùng trong khuếch đại.



Hình ‑ Schematic NMOS



Hình ‑ Layout NMOS

## Cấu trúc và hoạt động của PMOS

**Cấu trúc vật lý:**

Transistor PMOS (P-channel MOSFET) có cấu trúc và hoạt động ngược với NMOS. PMOS được chế tạo trong giếng N (N-well), với hai vùng pha tạp loại P+ làm Source và Drain.

* Gate: nằm trên lớp oxide cách điện.
* Source và Drain: pha tạp P+.
* Body (nền): là vùng N, thường nối với nguồn dương (Vdd).

**Nguyên lý hoạt động:**

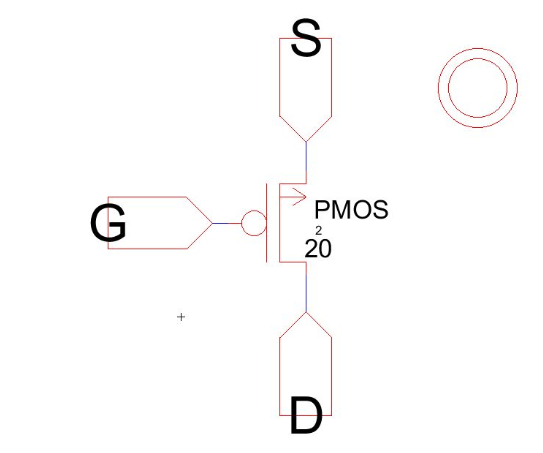
Khi Vsg < |Vth| (Vsg là điện áp giữa Source và Gate), không có kênh → transistor tắt.

Khi Vsg ≥ |Vth|, các lỗ trống tích tụ bên dưới cổng, hình thành kênh dẫn loại P → transistor dẫn.

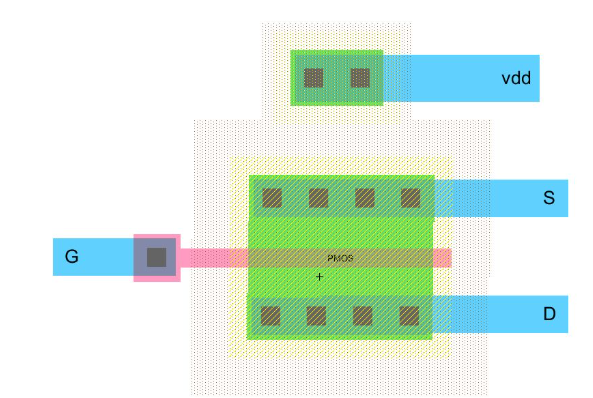
Dòng điện chạy từ Source → Drain, tức là từ mức cao xuống mức thấp.

**Các vùng hoạt động:**

* Vùng ngắt (Cut-off): Vsg < |Vth| → transistor không dẫn.
* Vùng tuyến tính (Triode): Vsg > |Vth| và Vsd < Vsg - |Vth| → dẫn như điện trở.
* Vùng bão hòa (Saturation): Vsg > |Vth| và Vsd ≥ Vsg - |Vth| → dòng bão hòa, dùng trong khuếch đại.



Hình ‑ Schematic PMOS



Hình ‑ Layout PMOS

## Công nghệ CMOS

CMOS là viết tắt của Complementary Metal-Oxide-Semiconductor. Đây là công nghệ chế tạo vi mạch tích hợp sử dụng cả NMOS và PMOS trên cùng một chip để hoạt động bổ sung lẫn nhau.

**Cấu trúc cơ bản:**

* PMOS được chế tạo trong N-well, NMOS trên P-substrate.
* Hai transistor được nối chung cổng (Gate), nhưng khác nguồn:
* NMOS: Source nối mass (0V).
* PMOS: Source nối nguồn dương (Vdd).

**Nguyên lý hoạt động (ví dụ cổng đảo CMOS):**

Khi đầu vào ở mức thấp (0V):

NMOS tắt, PMOS dẫn → đầu ra được kéo lên mức cao (Vdd).

Khi đầu vào ở mức cao (Vdd):

NMOS dẫn, PMOS tắt → đầu ra bị kéo xuống mass (0V).

Tạo ra một cổng NOT với đầu ra đảo so với đầu vào.

**Ưu điểm công nghệ CMOS**:

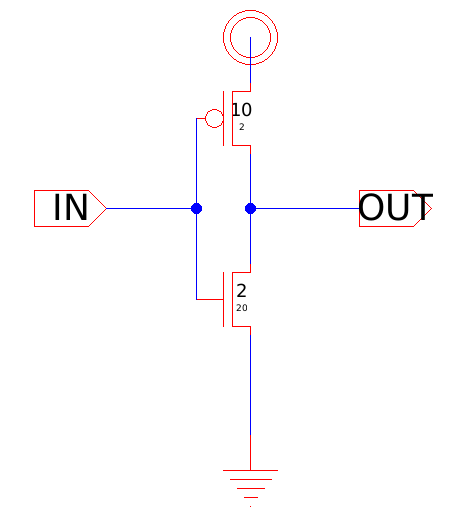
Tiêu thụ công suất rất thấp khi không chuyển trạng thái

Mức điện áp đầu ra đạt cực đại (gần 0 hoặc gần Vdd).

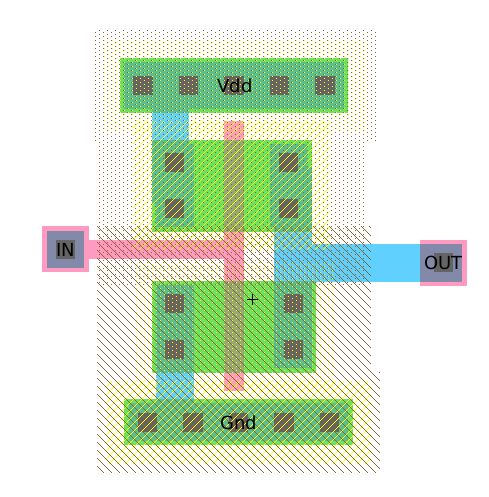
Tốc độ nhanh, phù hợp cho cả mạch số và mạch tương tự.

Tích hợp cao, ít tỏa nhiệt, độ tin cậy tốt.

Ứng dụng CMOS: vi xử lý, vi điều khiển, bộ nhớ, cảm biến, mạch khuếch đại, v.v.



Hình ‑ Schematic CMOS

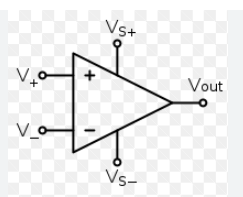


Hình ‑ Layout CMOS

## Mạch Op-Amp

Mạch khuếch đại thuật toán thường được gọi tắt là op-amp là một mạch khuếch đại “DC-coupled” (tín hiệu đầu vào bao gồm cả tín hiệu BIAS) với hệ số khuếch đại rất cao, có đầu vào vi sai, và thông thường có đầu ra đơn. Trong những ứng dụng thông thường, đầu ra được điều khiển bằng một mạch hồi tiếp âm sao cho có thể xác định độ lợi đầu ra, tổng trở đầu vào và tổng trở đầu ra.

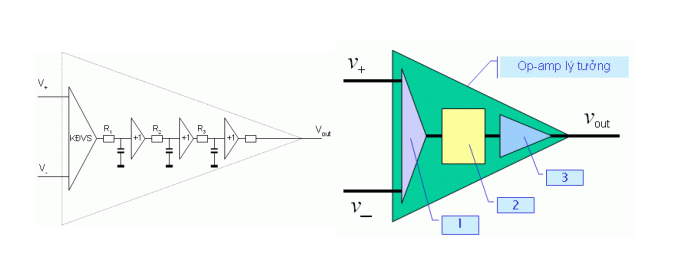
Bộ khuếch đại hoạt động (op-amp): Op-amp được sử dụng để khuếch đại tín hiệu đầu vào lên mức cao hơn theo yêu cầu của tải. Op-amps cũng có thể lọc các tín hiệu không mong muốn. Ứng dụng phổ biến nhất của IC op-amp là bộ khuếch đại âm thanh.



Hình ‑ Symbol Bộ khuếch đại thuật toán

Đây là một vi mạch tương tự rất thông dụng do trong Op-Amps được tích hợp một số ưu điểm sau:

* Hai ngõ vào đảo và không đảo cho phép Op-Amps khuếch đại được nguồn tín hiệu có tính đối xứng (các nguồn phát tín hiệu biến thiên chậm như nhiệt độ, ánh sáng, độ ẩm, mực chất lỏng, phản ứng hoá-điện, dòng điện sinh học … thường là nguồn có tính đối xứng)
* Ngõ ra chỉ khuếch đại sự sai lệch giữa hai tín hiệu ngõ vào nên Op-Amps có độ miễn nhiễu rất cao vì khi tín hiệu nhiễu đến hai ngõ vào cùng lúc sẽ không thể xuất hiện ở ngõ ra. Cũng vì lý do này Op-Amps có khả năng khuếch đại tín hiệu có tần số rất thấp, xem như tín hiệu một chiều.
* Hệ số khuếch đại của Op-Amps rất lớn do đó cho phép Op-Amps khuếch đại cả những tín hiệu với biên độ chỉ vài chục mico Volt.
* Do các mạch khuếch đại vi sai trong Op-Amps được chế tạo trên cùng một phiến do đó độ ổn định nhiệt rất cao.
* Điện áp phân cực ngõ vào và ngõ ra bằng không khi không có tín hiệu, do đó dễ dàng trong việc chuẩn hoá khi lắp ghép giữa các khối (module hoá).
* Tổng trở ngõ vào của Op-Amps rất lớn, cho phép mạch khuếch đại những nguồn tín hiệu có công suất bé.
* Tổng trở ngõ ra thấp, cho phép Op-Amps cung cấp dòng tốt cho phụ tải.
* Băng thông rất rộng, cho phép Op-Amps làm việc tốt với nhiều dạng nguồn tín hiệu khác nhau



Hình ‑ Cấu tạo Op-Amp

Cấu tạo Op-Amp sẽ có 3 khối:

* Khối 1: Đây là tầng khuếch đại vi sai (Differential Amplifier), nhiệm vụ khuếch đại độ sai lệch tín hiệu giữa hai ngõ vào v+ và v–. Nó hội đủ các ưu điểm của mạch khuếch đại vi sai như: độ miễn nhiễu cao; khuếch đại được tín hiệu biến thiên chậm; tổng trở ngõ vào lớn
* Khối 2: Tầng khuếch đại trung gian, bao gồm nhiều tầng khuếch đại vi sai mắc nối tiếp nhau tạo nên một mạch khuếch đại có hệ số khuếch đại rất lớn, nhằm tăng độ nhay cho Op-Amps. Trong tẩng này còn có tầng dịch mức DC để đặt mức phân cực DC ở ngõ ra.
* Khối 3: Đây là tầng khuếch đại đệm, tần này nhằm tăng dòng cung cấp ra tải, giảm tổng trở ngõ ra giúp Op-Amps phối hợp dễ dàng với nhiều dạng tải khác nhau.

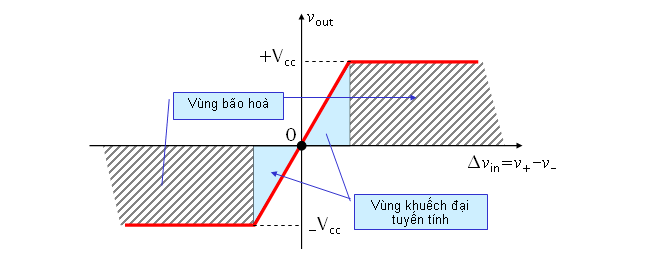
Op-Amps thực tế vẫn có một số khác biệt so với Op-Amps lý tưởng. Nhưng để dễ dàng trong việc tính toán trên Op-Amps người ta thường tính trên Op-Amps lý tưởng, sau đó dùng các biện pháp bổ chính (bù) giúp Op-Amps thực tế tiệm cận với Op-Amps lý tưởng. Do đó để thuận tiện cho việc trình bày nội dung trong chương này có thể hiểu Op-Amps nói chung là Op-Amps lý tưởng sau đó sẽ thực hiện việc bổ chính sau.

### Nguyên lý hoạt động

Dựa vào ký hiệu của Op-Amps ta có đáp ứng tín hiệu ngõ ra Vo theo các cách đưa tín hiệu ngõ vào như sau:

* Đưa tín hiệu vào ngõ vào đảo, ngõ vào không đảo nối mass: Vout = Av0.V+
* Đưa tín hiệu vào ngõ vào không đảo, ngõ vào đảo nối mass: Vout = Av0.V–
* Đưa tín hiệu vào đổng thời trên hai ngõ vào (tín hiệu vào vi sai so với mass): Vout = Av0.(V+-V–) = Av0.(ΔVin)

Để việc khảo sát mang tính tổng quan, xét trường hợp tín hiệu vào vi sai so với mass (lúc này chỉ cần cho một trong hai ngõ vào nối mass ta sẽ có hai trường hợp kia). Op-Amps có đặc tính truyền đạt như hình sau.



Hình ‑ Đặc tính truyền đạt

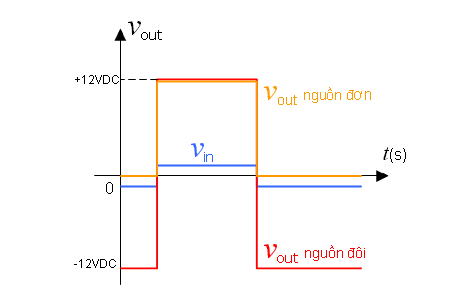
Trên đặc tính thể hiện rõ 3 vùng:

* Vùng khuếch đại tuyến tính: trong vùng này điện áp ngõ ra Vo tỉ lệ với tín hiệu ngõ vào theo quan hệ tuyến tính. Nếu sử dụng mạch khuếch đại điện áp vòng hở (Open Loop) thì vùng này chỉ nằm trong một khoảng rất bé.
* Vùng bão hoà dương: bất chấp tín hiệu ngõ vào ngõ ra luôn ở +Vcc.
* Vùng bão hoà âm: bất chấp tín hiệu ngõ vào ngõ ra luôn ở -Vcc.

Trong thực tế, người ta rất ít khi sử dụng Op-Amps làm việc ở trạng thái vòng hở vì tuy hệ số khuếch đại áp Av0 rất lớn nhưng tầm điện áp ngõ vào mà Op-Amps khuếch đại tuyến tính là quá bé (khoảng vài chục đến vài trăm microVolt). Chỉ cần một tín hiệu nhiễu nhỏ hay bị trôi theo nhiệt độ cũng đủ làm điện áp ngõ ra ở ±Vcc. Do đó mạch khuếch đại vòng hở thường chỉ dùng trong các mạch tạo xung, dao động. Muốn làm việc ở chế độ khuếch đại tuyến tính người ta phải thực hiện việc phản hồi âm nhằm giảm hệ số khuếch đại vòng hở Av0 xuống một mức thích hợp. Lúc này vùng làm việc tuyến tính của Op-Amps sẽ rộng ra, Op-Amps làm việc trong chế độ này gọi là trạng thái vòng kín (Close Loop).

### Nguồn cung cấp

Op-Amps không phải lúc nào cũng đòi hỏi phải cung cấp một nguồn ổn áp đối xứng ±15VDC, nó có thể làm việc với một nguồn không đối xứng có giá trị thấp hơn (ví dụ như +12VDC và -3VDC) hay thậm chí với một nguồn đơn +12VDC. Tuy nhiên việc thay đổi về cấu trúc nguồn cung cấp cũng làm thay đổi một số tính chất ảnh hưởng đến tính đối xứng của nguồn như Op-amps sẽ không lấy điện áp tham chiếu (reference) là mass mà chọn như hình sau:



Hình ‑ Đặc tính truyền đạt

Mặc dù nguồn đơn có ưu điểm là đơn giản trong việc cung cấp nguồn cho op-amps nhưng trên thực tế rất nhiều mạch op-amps được sử dụng nguồn đôi đối xứng.

# PHÂN TÍCH VÀ THIẾT KẾ

## LAB 1: Tổng quan về Electric VLSI

1. Mục tiêu

Nắm vững cách vẽ schematic và layout trong Electric VLSI.

Biết tạo thư viện, cell và sử dụng linh kiện cơ bản.

Biết viết và chèn mã mô phỏng SPICE.

Kết nối linh kiện, kiểm tra lỗi bằng DRC, ERC, LVS.

Mô phỏng mạch trên Electric VLSI và LTspice.

2. Nội dung và yêu cầu thực hiện

Thiết lập ban đầu

Tạo thư viện mới và cell mới (schematic/layout).

Thiết kế schematic

Thêm linh kiện: NMOS, PMOS, VDD, GND.

Kết nối dây dẫn đúng, đặt tên input/output (Vin, Vout).

Kiểm tra sơ đồ mạch

Chạy DRC kiểm tra kết nối, sửa lỗi nếu có.

Chuẩn bị mô phỏng

Thêm Spice Code: nguồn cấp, nguồn vào, model NMOS/PMOS.

Viết đoạn mã SPICE gồm: .model, .control, tran, plot, .end.

Sử dụng LTspice

Điều chỉnh SPICE code cho LTspice (bỏ .control, giữ model).

Chạy mô phỏng → xem kết quả bằng Add Trace.

Thiết kế layout

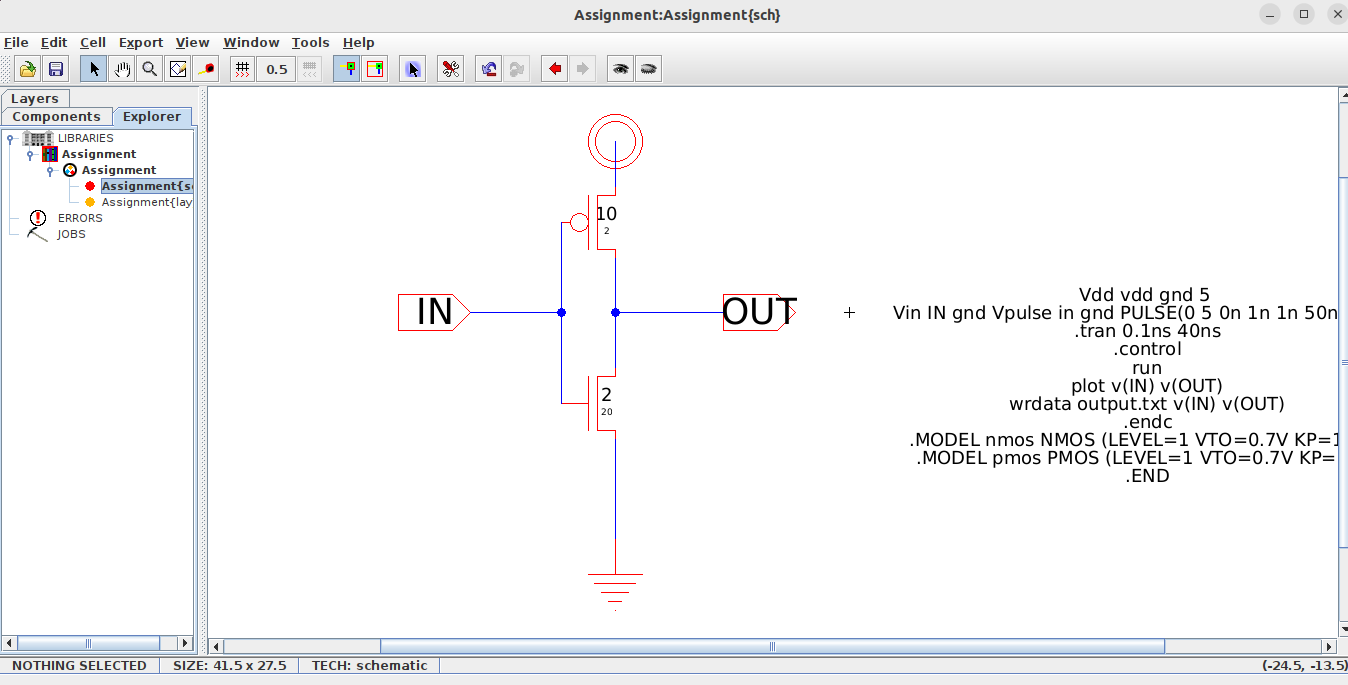
Chia vùng layout: PMOS (trên), NMOS (dưới), dây nguồn.

Đặt N-well cho PMOS, P-well cho NMOS.

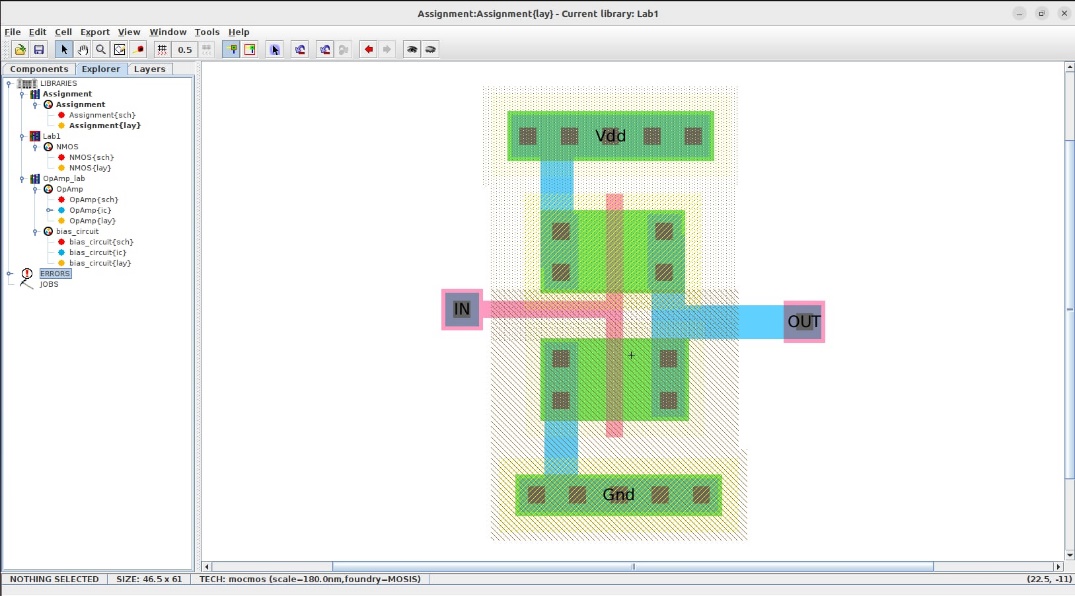
Kết nối bằng metal, tránh lỗi hình học.

Kiểm tra và xác minh

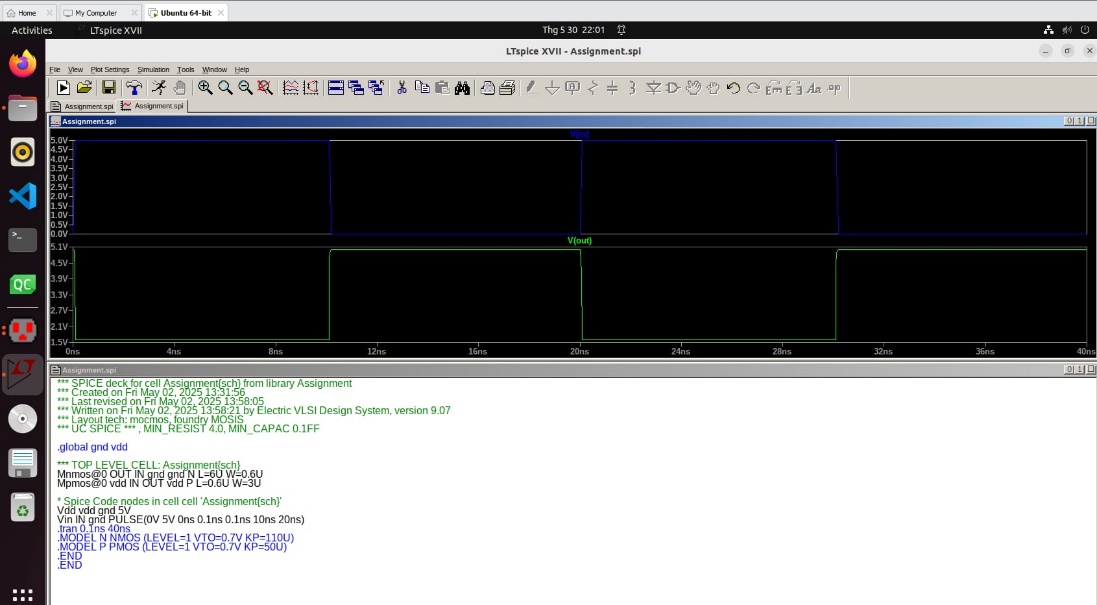
Chạy DRC, ERC, LVS để xác minh layout đúng.



Hình 2‑ Schematic



Hình 2‑ Layout



Hình 2‑ Waveform

## LAB2: MOS TRANSISTOR CHARACTERIZATION

**Mục tiêu chính:**

Phân tích và vẽ đặc tuyến **I–V** của transistor NMOS và PMOS.

Nghiên cứu ảnh hưởng của **VGS** và **kích thước** đến đặc tuyến.

Đo và trích xuất các tham số: **λ, γ, kP, VTh0**.

Thiết kế **layout NMOS, PMOS**, kiểm tra **DRC, LVS**.

**Tóm tắt các thí nghiệm:**

**Thí nghiệm 1: Vẽ đặc tuyến I–V**

Vẽ và mô phỏng ID–VGS và ID–VDS cho NMOS và PMOS.

Dùng Electric để thiết kế schematic → chèn Spice Code → mô phỏng với LTSpice.

**Thí nghiệm 2: Ảnh hưởng VGS và kích thước**

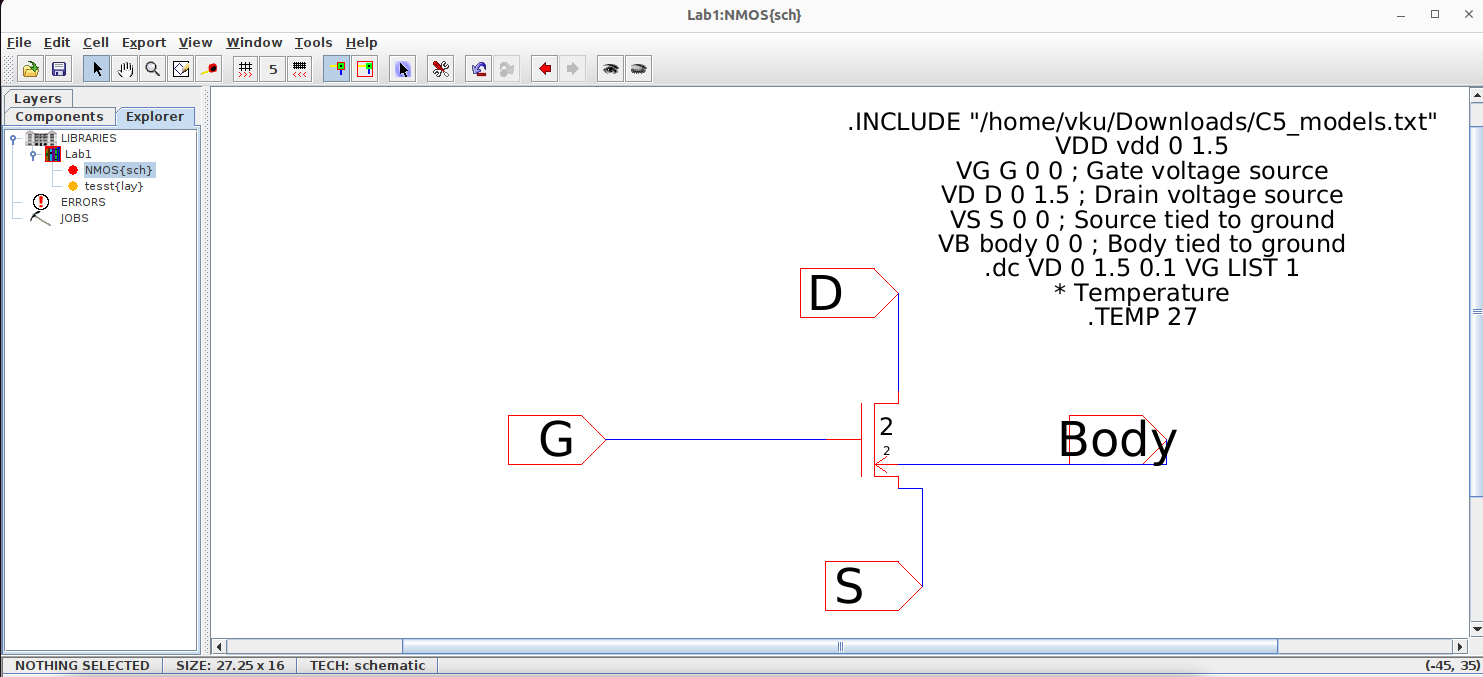
Mô phỏng ID–VDS với các giá trị khác nhau của VGS, W, L.

Điều chỉnh thông số trong SPICE code.

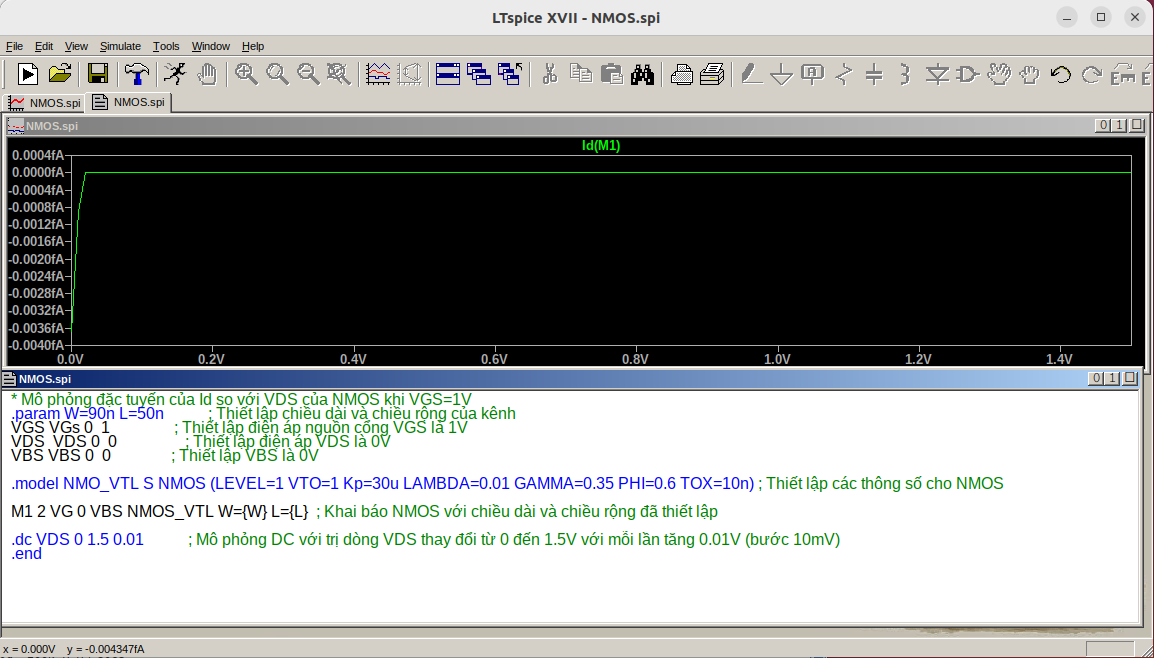
**Thí nghiệm 3: Thiết kế layout**

Vẽ layout NMOS (120n/60n), PMOS (50n/40n) trên Electric.

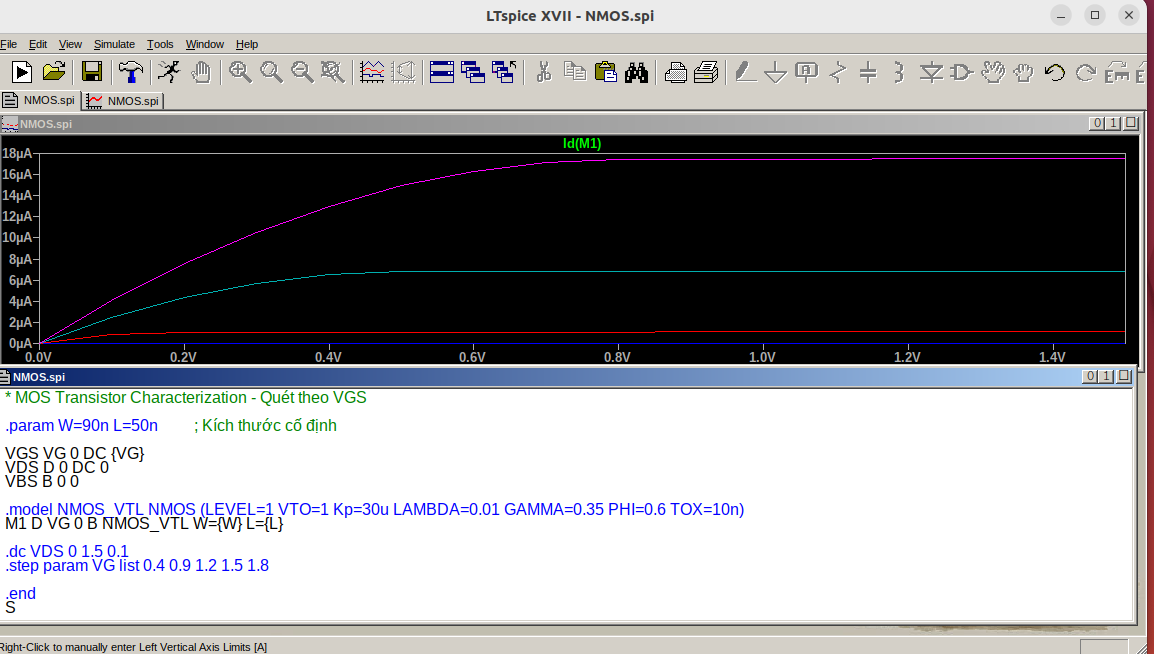
Kết nối các khối, thêm Metal, P-well, pin → kiểm tra **DRC, LVS**.



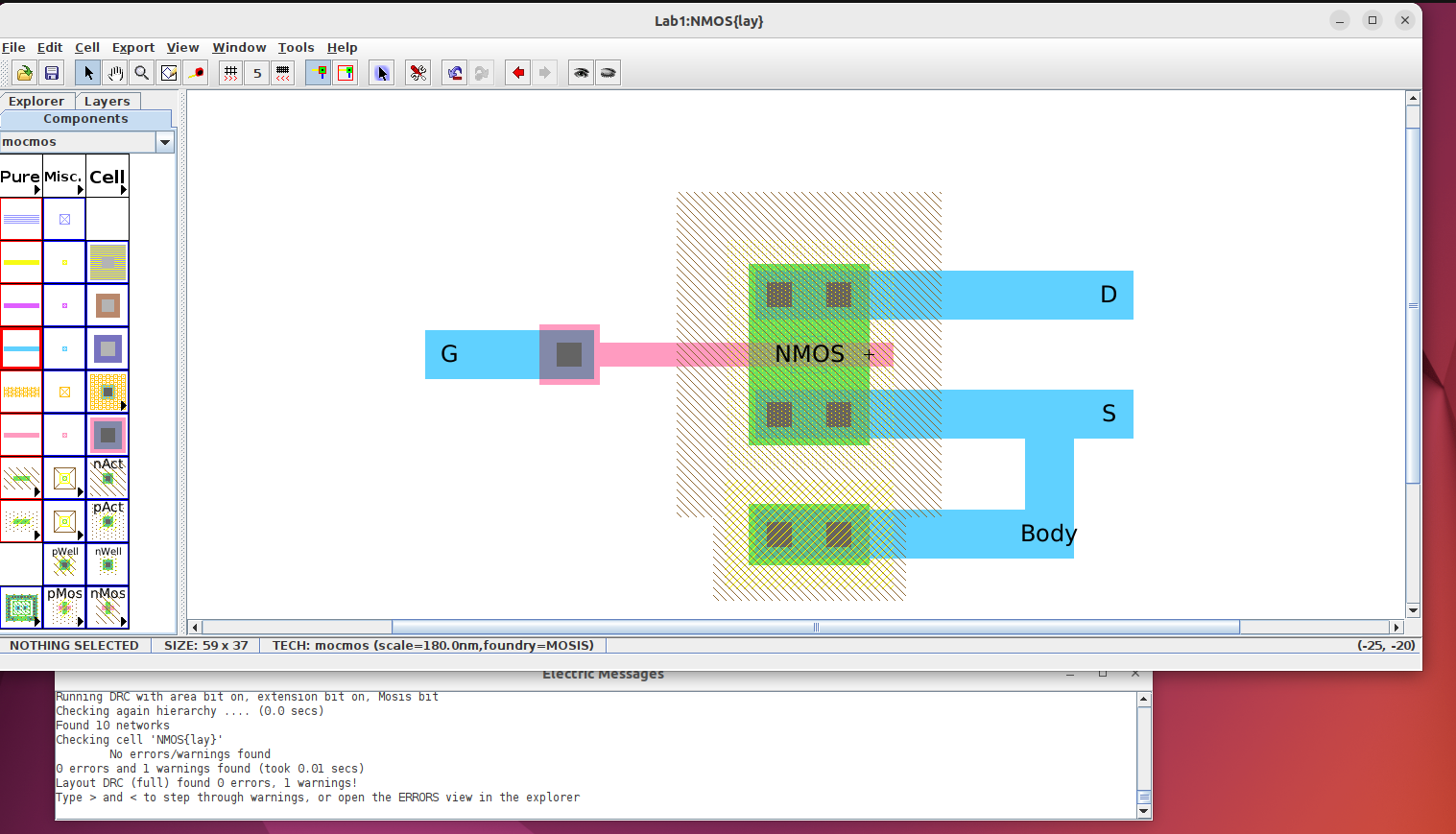
Hình 2‑ Schematic



Hình 2‑ Thí Nghiệm 1



Hình 2‑ Thí Nghiệm 2



Hình 2‑ Thí Nghiệm 3

## FINAL LAB: Thiết kế mạch Op-Amp sử dụng công nghệ CMOS

Mạch khuếch đại thuật toán (Operational Amplifier - Op-Amp) là một khối mạch cơ bản và quan trọng trong thiết kế vi mạch tương tự. Op-Amp được sử dụng rộng rãi trong các ứng dụng như khuếch đại tín hiệu, lọc, điều khiển và chuyển đổi tín hiệu. Việc thiết kế Op-Amp sử dụng công nghệ CMOS mang lại nhiều ưu điểm như tiêu thụ năng lượng thấp, mật độ tích hợp cao và khả năng hoạt động ở điện áp thấp.

### **Nguyên lý hoạt động của mạch**

**Tầng 1: Khuếch đại vi sai đầu vào**

* **Transistor sử dụng:** NMOS M5, M6; PMOS M1, M2, M3; NMOS M7.
* **Chức năng:** So sánh hai tín hiệu đầu vào Vp và Vm. Nếu Vp > Vm, dòng dẫn qua M5 sẽ lớn hơn M6, tạo ra sự chênh lệch dòng.
* **Tải vi sai:** M1–M2 tạo thành một gương dòng (current mirror) để biến đổi dòng điện chênh lệch thành điện áp chênh lệch.
* **Nguồn dòng thiên:** M7 giữ vai trò cấp dòng ổn định cho vi sai.

Tầng này là nơi đầu tiên tạo ra khuếch đại tín hiệu dựa trên sự khác biệt nhỏ giữa hai đầu vào.

**Tầng 2: Tầng khuếch đại trung gian (Gain stage)**

* **Transistor sử dụng:** NMOS M13; PMOS M14, M15; NMOS M10, M11, M12.
* **Chức năng:** Khuếch đại điện áp mạnh hơn từ tín hiệu dòng nhận được từ tầng 1.
* **Tải chủ động:** M14 và M15 đóng vai trò tải chủ động thay cho điện trở, giúp tăng độ lợi điện áp.
* **Cấp dòng thiên:** M10–M12 tạo mirror để cấp dòng ổn định cho M13.

Đây là tầng khuếch đại chính giúp tăng đáng kể biên độ tín hiệu trước khi xuất ra ngoài.

**Tầng 3: Tầng đệm đầu ra (Output buffer)**

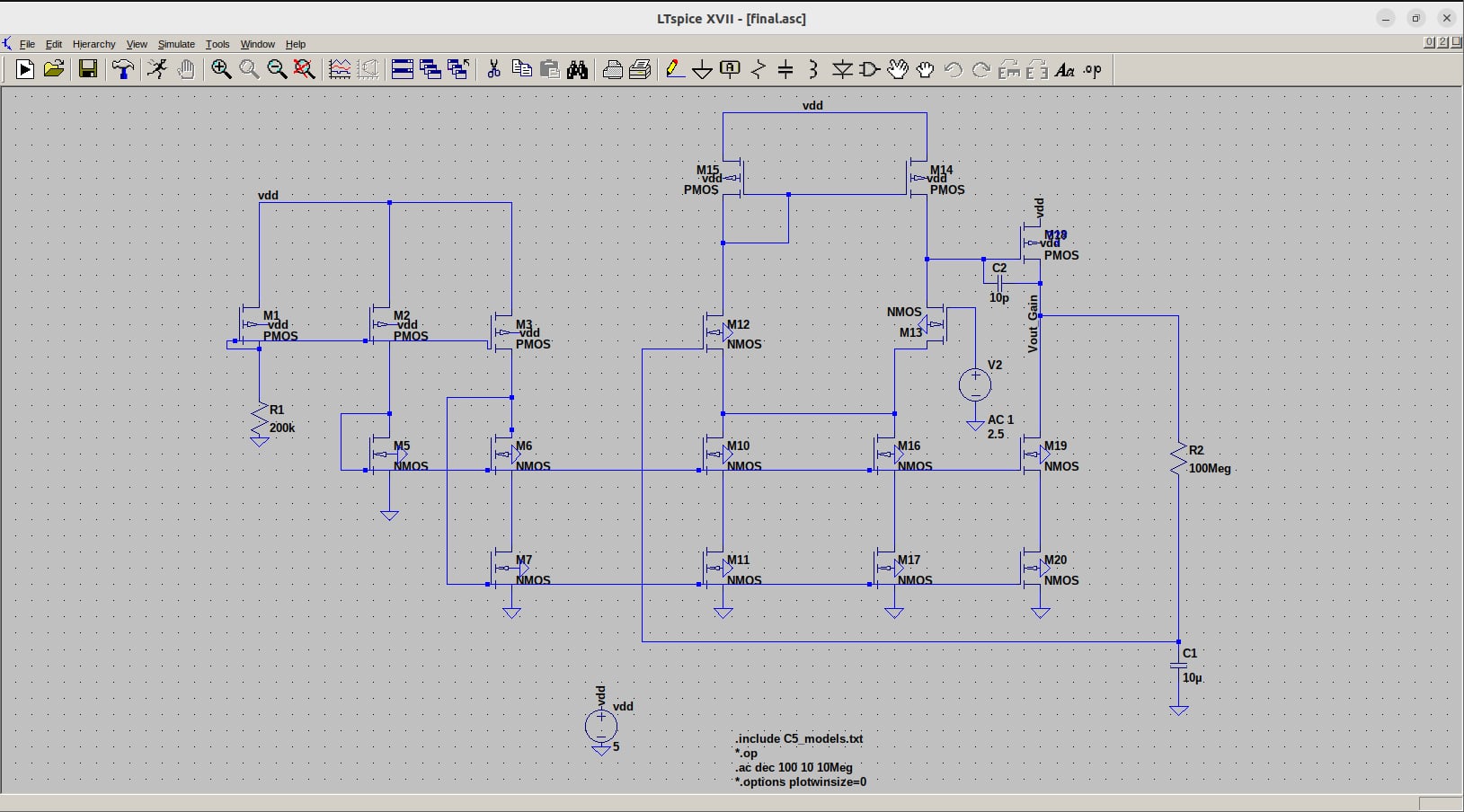
* **Transistor sử dụng:** PMOS M18; NMOS M19, M20.
* **Chức năng:** Đảm bảo tín hiệu đầu ra Vout có khả năng kéo tải lớn mà không làm méo tín hiệu.
* **Hoạt động:** M18 kéo Vout lên khi cần, M20 kéo xuống khi cần. M19 dẫn truyền tín hiệu từ tầng 2.

Tầng này không khuếch đại nhưng giúp giảm trở kháng đầu ra, đảm bảo tín hiệu ra đủ mạnh.

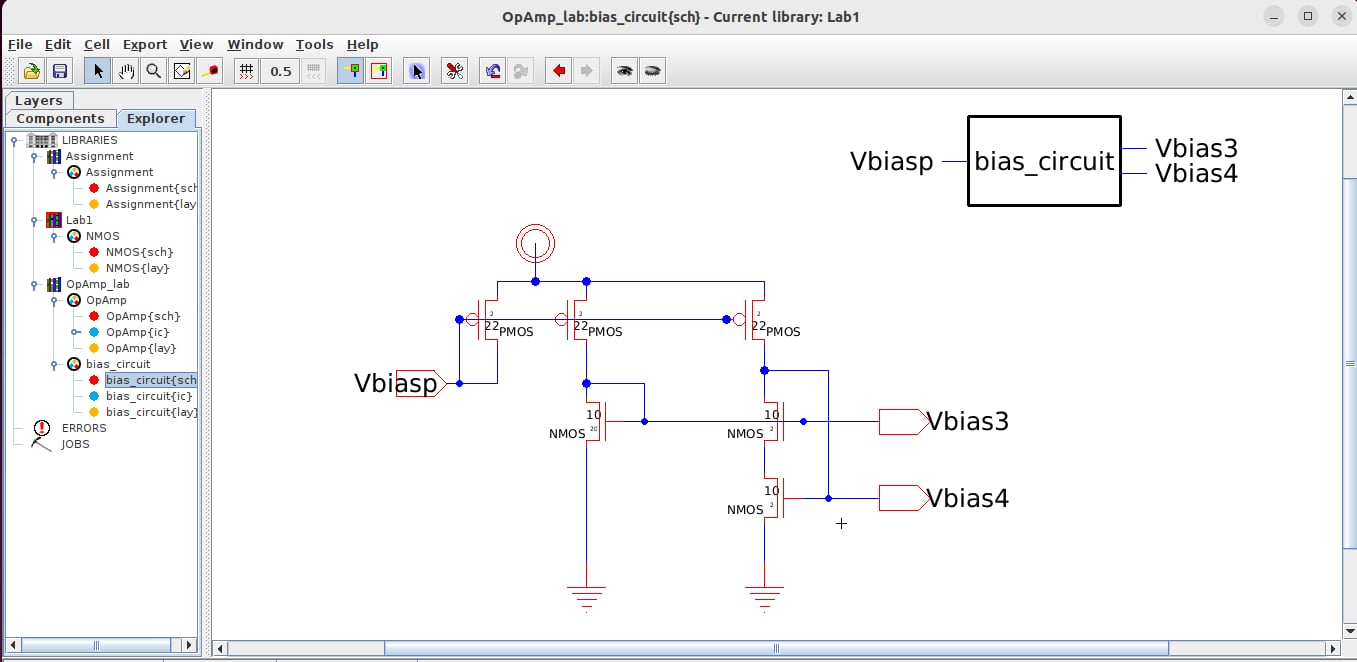
**Khối cấp dòng phân cực (Bias circuit)**

* **Transistor sử dụng:** NMOS M7, M10, M11, M12, M16, M17.
* **Chức năng:** Tạo dòng phân cực ổn định cho các tầng thông qua kỹ thuật mirror current.
* **Mục tiêu:** Đảm bảo tất cả các transistor hoạt động trong vùng bão hòa (saturation).

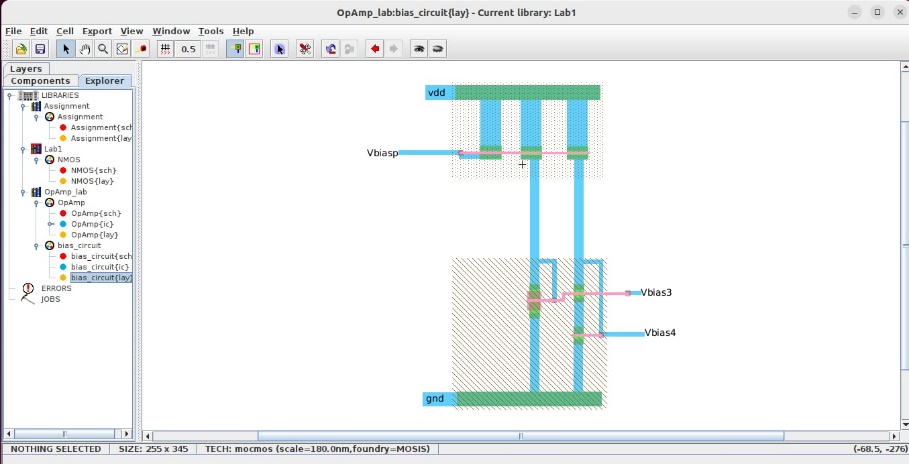
Bias tốt giúp toàn mạch vận hành ổn định, không bị mất điểm hoạt động khi nhiệt độ hoặc điện áp thay đổi.

****

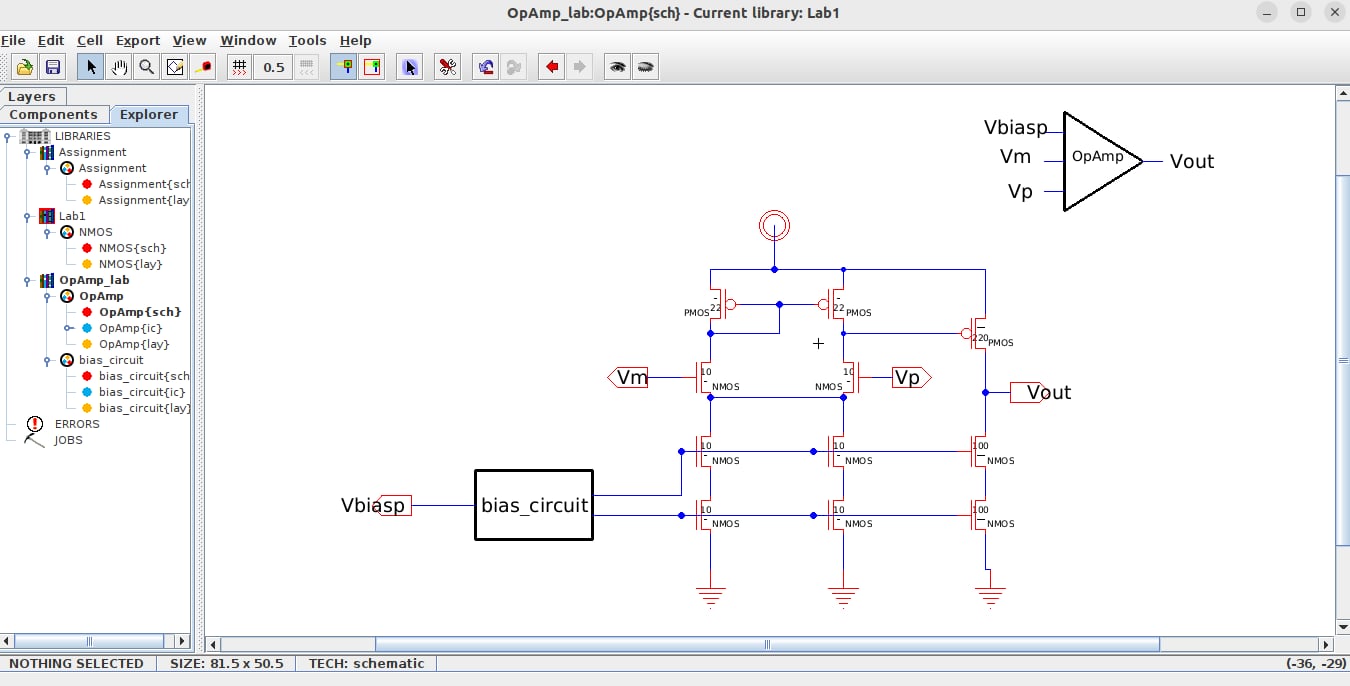
Hình 2‑ Schematic trên LT spice



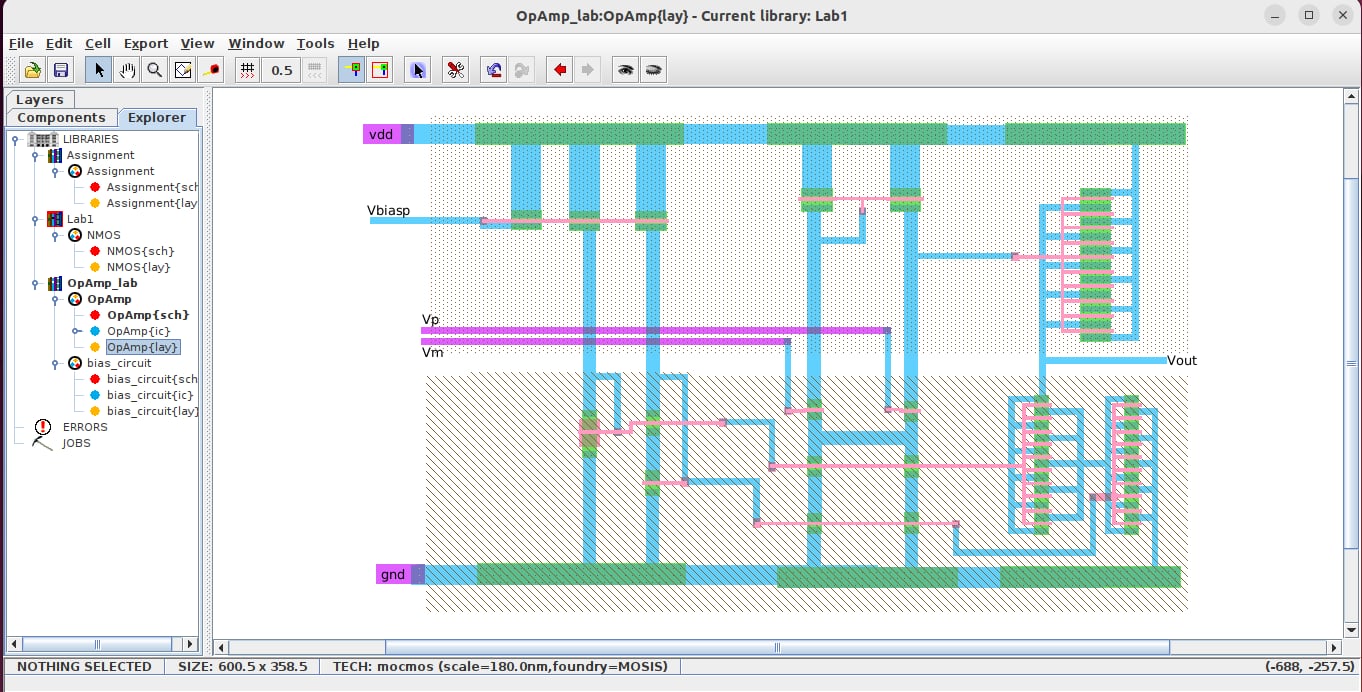
Hình 2‑ Schematic **Khối cấp dòng phân cực (Bias circuit) trên Electric VLSI**



Hình 2‑ Layout **Khối cấp dòng phân cực (Bias circuit) trên Electric VLSI**



Hình 2‑ Schematic OpAmp



Hình 2‑ Layout OpAmp

Sau quá trình thiết kế, mô phỏng và layout mạch khuếch đại thuật toán (Op-Amp) CMOS theo yêu cầu của bài Final Lab, em rút ra một số nhận xét sau:

* **Về schematic (mạch nguyên lý):**

Mạch được thiết kế đầy đủ ba tầng: tầng vi sai đầu vào, tầng khuếch đại trung gian và tầng đệm đầu ra.

Các thông số chiều dài (L), chiều rộng (W), hệ số nhân (m) được lựa chọn theo đúng yêu cầu bài Lab, đảm bảo điều kiện hoạt động bão hòa cho transistor.

Việc sử dụng tụ bù 10 pF (C2) giúp ổn định pha, tăng độ ổn định cho mạch khi hoạt động trong dải tần rộng.

* **Về layout (sơ đồ bố trí vật lý):**

Layout được bố trí theo nguyên tắc phân vùng: các transistor NMOS nằm ở n-well dưới, PMOS nằm trên, giúp dễ kiểm soát kết nối và giảm nhiễu.

Cặp vi sai được bố trí đối xứng đảm bảo matching tốt, giảm sai số khi hoạt động thực tế.

Các kết nối Vdd, GND, Vp, Vm, Vout, Vbias được bố trí hợp lý, thuận tiện khi tích hợp vào padframe hoặc chip.

Các đường kim loại (Metal) và via (kết nối giữa các lớp) được tối ưu để giảm trở kháng đường dẫn, tránh short circuit, pass DRC/LVS.

* **Một số khó khăn gặp phải:**

Việc gán chân bulk cho các transistor cần chú ý đúng chuẩn: NMOS nối bulk về GND, PMOS nối bulk về Vdd.

Việc nối các cực của mirror current và kiểm soát matching trong layout đòi hỏi sự cẩn thận và luyện tập.

# MÔ PHỎNG VÀ KẾT LUẬN

## KẾT QUẢ MÔ PHỎNG

Để mô phỏng đáp ứng điện áp theo thời gian của mạch Op-Amp CMOS, sử dụng lệnh: .tran 0.01ms 5ms

Trong đó:

0.01ms: là bước thời gian ghi nhận kết quả (Tstep), tức mỗi 0.01ms sẽ lưu một điểm dữ liệu.

5ms: là thời gian mô phỏng tổng cộng (Tstop), nghĩa là mạch được mô phỏng từ 0 đến 5 mili giây

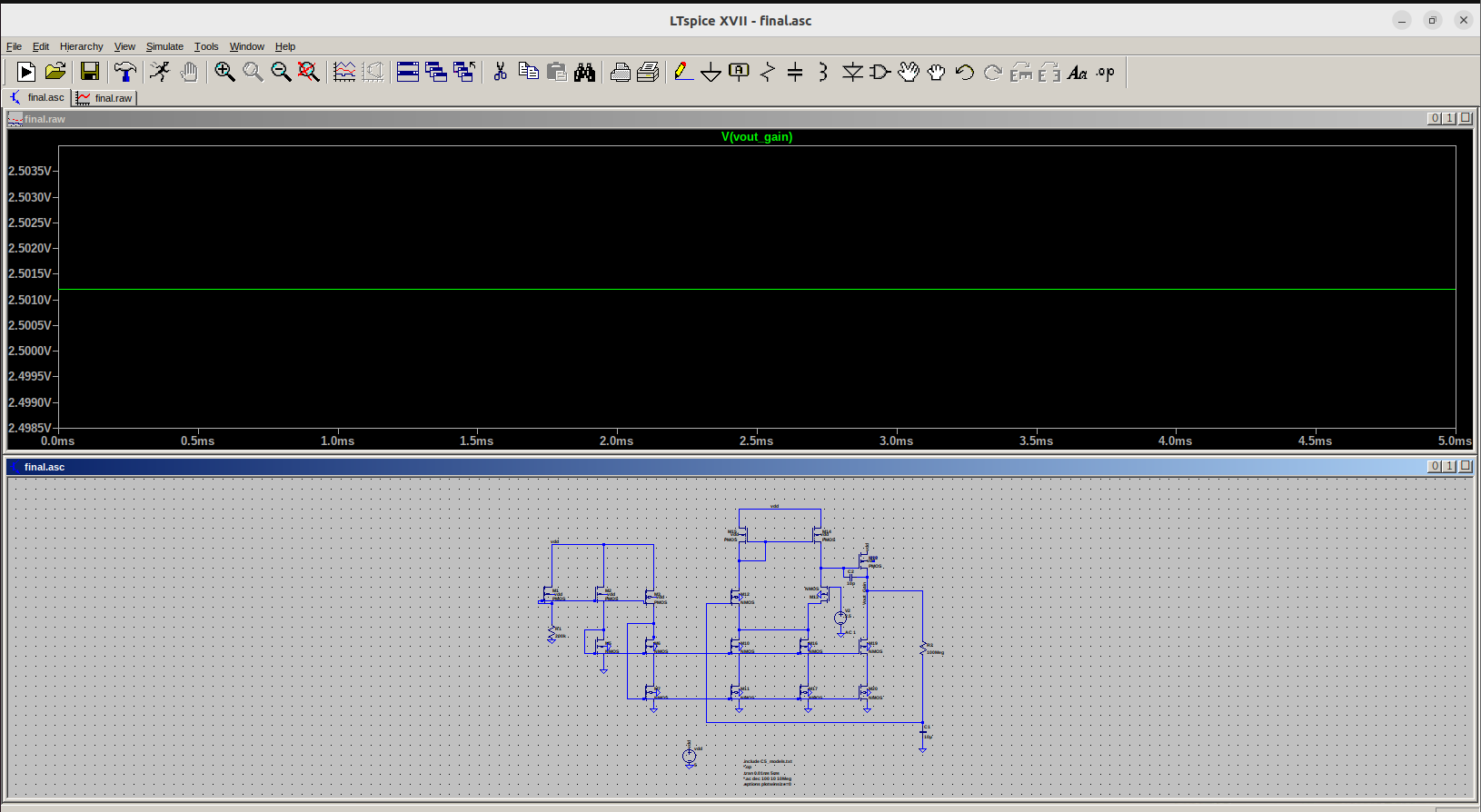
Lệnh .tran cho phép phân tích sự biến thiên của điện áp (hoặc dòng điện) theo thời gian, đặc biệt hữu ích để quan sát phản ứng của mạch trước các tín hiệu xung, sin hoặc sự thay đổi bất kỳ ở đầu vào.

Trong mô phỏng này, các chân đầu vào Vp và Vm được cấp điện áp DC cố định 2.5V, tức không có sự chênh lệch giữa hai đầu vào. Kết quả mô phỏng thu được là:

Điện áp đầu ra Vout ổn định ở mức ~2.5015V suốt thời gian 5ms.

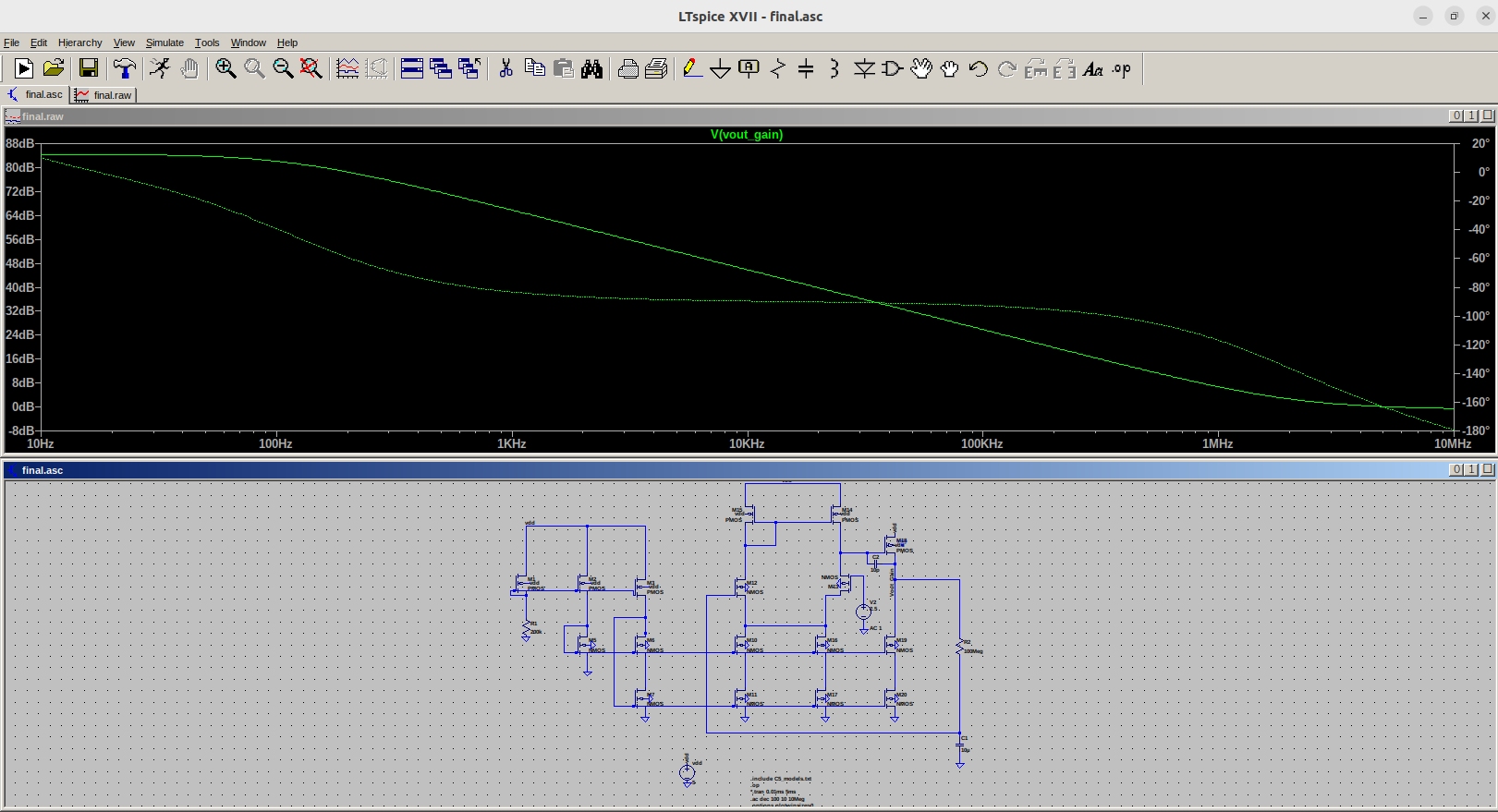
Đồ thị điện áp theo thời gian là một đường thẳng nằm ngang, không có dao động hoặc biến thiên.

Điều này hoàn toàn hợp lý vì khi Vp = Vm, cặp vi sai đầu vào không tạo ra dòng chênh lệch, nên các tầng sau không có tín hiệu thay đổi. Mạch hoạt động trong trạng thái tĩnh cân bằng.



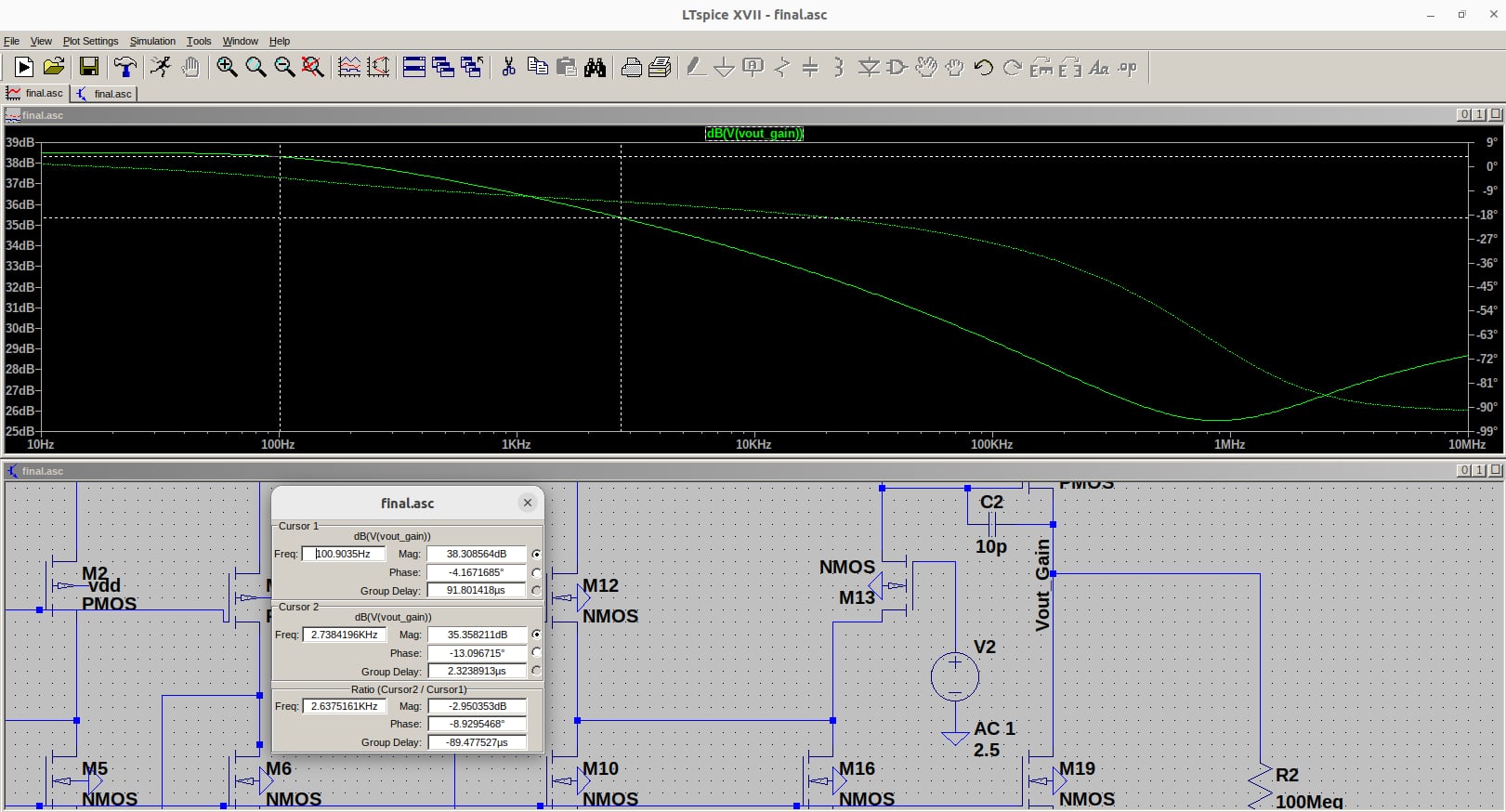
Hình ‑ Sơ đồ dạng sóng

Mô phỏng AC với lệnh .ac dec 100 10 10Meg cho thấy mạch khuếch đại thuật toán đạt open-loop gain cao (~88 dB), đáp ứng pha ổn định, và có băng thông phù hợp (~1–2 MHz). Điều này chứng tỏ mạch hoạt động đúng yêu cầu thiết kế, có thể ứng dụng trong các mạch xử lý tín hiệu analog, cảm biến, hoặc làm khối đệm đầu vào cho ADC.



Hình ‑ AC Simulation

### Kết luận

****

Hình ‑ AC Simulation 2

Mạch Op-Amp CMOS sau khi mô phỏng cho kết quả độ lợi lớn( 38.3 dB tại tần số 100.9 Hz) và băng thông rộng (2.738 kHz tại độ lợi = 35.36 dB (Băng thông là tần số tại đó độ lợi giảm 3 dB so với giá trị ban đầu)). Điều này cho thấy mạch có khả năng khuếch đại tín hiệu yếu rất tốt và vẫn giữ được hiệu quả ở dải tần cao. Đây là các chỉ số quan trọng chứng minh mạch đã được thiết kế và bias đúng, đảm bảo hiệu suất hoạt động ổn định và phù hợp với yêu cầu của bài Lab.

Mạch khuếch đại vi sai với tải dòng gương trong sơ đồ là một thiết kế tiêu biểu của mạch khuếch đại thuật toán (Operational Amplifier - Op-Amp) sử dụng MOSFET (CMOS). Phân tích và đánh giá cho thấy mạch có những đặc điểm quan trọng như sau:

Độ lợi khuếch đại cao: Mạch khuếch đại vi sai với tầng khuếch đại bổ sung (M7, M8) giúp đạt được độ lợi lớn, phù hợp cho các ứng dụng khuếch đại tín hiệu yếu.

Cân bằng tốt: Sử dụng tải dòng gương (M1, M2) đảm bảo sự cân bằng dòng giữa hai nhánh khuếch đại vi sai, giúp tín hiệu đầu ra ổn định và đối xứng.

Điều kiện làm việc ổn định: Nguồn dòng định thiên (M5, M6) cung cấp dòng ổn định cho mạch, giúp duy trì điểm làm việc của các MOSFET trong vùng bão hòa (saturation).

Khả năng tùy chỉnh: Kích thước W/L của các MOSFET có thể được điều chỉnh để thay đổi độ lợi khuếch đại, trở kháng vào/ra, và đáp ứng tần số của mạch.

**DANH MỤC TÀI LIỆU THAM KHẢO**

[1] Behzad Razavi, “Design of Analog CMOS Integrated Circuits”, McGraw Hill, 2001.

[2] Allen, Holberg, “CMOS Analog Circuit Design”, Oxford University Press, 2002.

[3] Michael John Sebastian Smith, “Application-Specific Integrated Circuits”, Addison-Wesley, 1,400 pages, ISBN: 0-201-50022-1, June 1997.

[4] Palnitkar, Samir. “Verilog HDL: A Guide to Digital Design and Synthesis”, 2nd ed. Upper Saddle River, NJ: Prentice Hall, 2003. ISBN: 0130449113.

[5] Wayne Wolf, “Modern VLSI Design – IP-Based Design”, Prentice Hall, 2009 [6] Tống Văn On, “Thiết kế mạch số với VHDL & Verilog”, Nhà xuất bản Lao động Xã hội.

[7] Tống Văn On, “Nguyên lý mạch tích hợp”, Nhà xuất bản Lao động Xã hội.