

基于 DSP 和 ARM 的嵌入式多媒体通信终端的设计与实现

王 健 陈启美 章 德

(南京大学 南京 210093)

摘 要: 描述了一种基于媒体处理芯片 TMS320DM642 和嵌入式处理器 CPU AT91RM9200 的多媒体通信终端的设计。首先提出了系统组成与功能结构, 着重探讨了系统通信控制单元、媒体处理单元, 以及双处理器接口的设计与实现, 文中还介绍了系统软件结构。

关键词: 嵌入式系统 多媒体终端 DSP ARM

Design and implementation of embedded multimedia terminal based on DSP and ARM

Wang Jian Chen Qimei Zhang De

(Nanjing University, Nanjing, 210093)

Abstract: In this paper, the design of embedded multimedia communication terminal, which uses media processor chip TMS320DM642 and embedded CPU AT91RM9200, is described. The system structure and functions are presented firstly. The design and implementation of communication control unit, media processing unit and interface between dual processors are focused. Finally, the software architecture is introduced.

Keywords: embedded system, multimedia terminal, DSP, ARM.

0 引 言

随着信息时代的到来, 只提供单一语音或数据服务的通信系统已不能满足人们的需求。因此, 与视频通信相关的服务备受人们的关注。集视频、语音和数据于一体的多媒体通信成为了信息交流的一种重要方法。本文提出了一种基于 AT91RM9200 和 TMS320DM642 的嵌入式多媒体通信终端的设计与实现, 其特点是具有极强的多媒体数据处理和网络交互能力、灵活的系统扩展性, 以及简便的可升级性。

1 方案设计

嵌入式多媒体通信终端的系统结构如图 1 所示, 设计采用 RISC+DSP 的双核架构, 在性能和功能方面均具有优势。系统主要由两部分组成: 以 SoC 嵌入式 RISC 芯片为核心的通信控制单元和以数字信号处理芯片 DSP 为核心的媒体处理单元。其中, 通信控制单元负责压缩码流的网络通信和多种接口控制, 包括网络接口、低速串行接口、面板控制接口以及存储接口等; 媒体处理单元则负责完成音频、视频等媒体数据编解码的双向处理。

2 硬件设计

2.1 通信控制单元的设计

通信控制单元采用基于 ARM920T 内核的 32 位 RISC 控制器 AT91RM9200^[1]。AT91RM9200 片内集成了丰富的外围部件, 主要由外部总线接口 EBI、USB2.0 主从端口、以太网 10/100M MAC 接口、多媒体卡接口 MCI、同步串行控制 SSC、通用同步/异步收发器 UART、串行外围接口 SPI、两线接口 TWI 以及中断控制器 AIC 等部分组成。

通信控制单元中, Flash 用来存放嵌入式操作系统, 程序在 SDRAM 运行。RISC 控制器通过 UART 模块结合串口接口器件, 实现红外遥控和数据程序应用; 通过 SPI 接口扩展面板控制和图形界面; 结合物理层芯片, 可实现 10/100M 自适应网络接口; 利用 EBI 接口, 可连接 SD/MMC 等多种外部存储器。

2.2 媒体处理单元的设计

媒体处理单元采用数字媒体处理芯片

基金项目: 交通部重大科研攻关项目 (交科教发 [2004] 548 号)
江苏省交通科学研究计划项目 (03x003)

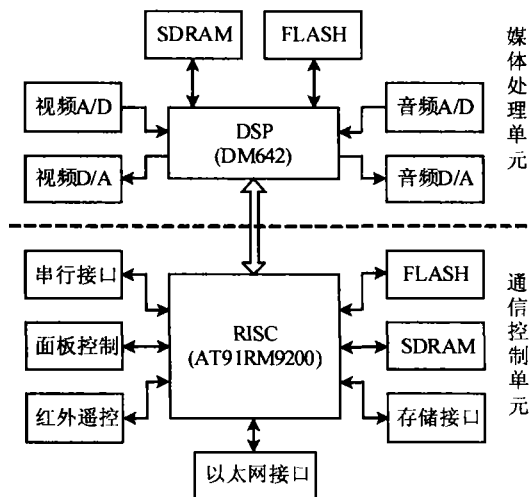


图1 系统结构图

TMS320DM642^[2] (以下简称 DM642)，DM642 采用第二代高性能的超长指令字结构 Vetoci TL 2 TM，可在单个芯片上处理音频、视频、图形和通信数据流，适于视频编码器的开发。采用超长指令字结构 VLIW，在 600MHz 的时钟频率下，芯片的峰值处理速度高达 4800MIPS。专用操作指令采用便于处理多媒体数据的 SIMD 技术，在每个时钟周期内可执行 4 个 8 位 \times 8 位的乘法、加减、比较、移位等运算。DM642 的 EDMA 可在 64 个独立的通路上，提供超过 2GB/s 的 I/O 带宽。此外，运用两级片内高速缓存 Cache 和 64 位外部存储器接口 (EMIF)，可方便地实现与同步/异步存储器的无缝连接。DM642 为适应数字媒体处理的需求，增加了一些新的功能接口：3 个可配置的视频端口，提供与各种视频 A/D、D/A 芯片的无缝接口，且这些端口支持 BT. 656、RAW VIDEO 等多种数字视频格式；多通道音频串口，适应多通道音频应用的需要。

媒体处理单元的工作流程为：模拟视频、音频信号经 A/D 芯片数字化，生成数字视音频信号，送入 DM642 的视音频端口；然后分别进行 H. 264 视频编码和 G. 729 音频编码，形成高效率的同步压缩视音频流；进而经 HPI 接口与 ARM 交互，上传至网络。反之，通过 HPI 接口获得 ARM 下传的网络压缩码流，进行视音频解码处理，生成数字视音频信号，经 D/A 芯片实现模拟信号输出。

外接的 Flash 用于存放程序，SDRAM 主要用于存储原始帧、参考帧和重建帧的源数据。DM642 片内 SRAM 则用于缓存当前正在处理的宏块数据，以及一些频繁调用的数据段和程序段。片内、片外存储器之间的数据传输借助 EDMA 在后台操作，这样可并行处理数据传输和运算操作，提

高效率。

需要指出，利用片内集成的视频和音频接口，减少了基于 IP 的视频应用的成本和开发难度；CPU 的 VLIW 结构和专用操作指令采用的 SIMD 技术，便于优化视频压缩算法的并行操作，有利于大幅度提高 DSP 的运行速度。

2.3 双处理器接口的设计

DM642 的主机接口 HPI 是一个 16/32 位并行接口，通过该接口，RISC 控制器可以直接访问 DSP 的内部存储器空间或地址映射到存储器空间的外围设备。DM642 的 HPI 可以设为 HPI32 和 HPI16 两种模式。为发挥 ARM 和 DSP 的 32 位机优势，提高存取数据的速度，本设计中设为 HPI32 模式^[3-6]。

DM642 与 AT91RM9200 通过 32 位数据线 HD [31:0] 和 8 条控制线进行连接，如图 2 所示。RISC 处理器通过 HPI 接口访问 DSP 内部的 RAM 以及其他一些外部资源。

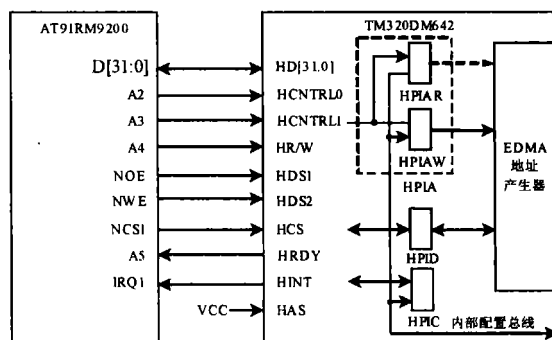


图2 双处理器的 HPI 接口设计

DM642 的 HPI 口的两条地址线 HCNTRL [1:0] 负责对 HPI 口的内部寄存器进行寻址。HPI 口只有 3 个 32 位内部寄存器，分别是控制寄存器 HPIC、地址寄存器 HPIA 和数据寄存器 HPID。HPI 口内部有个用户不可见的 EDMA 地址产生器和一个 8 个 32 位字深的缓冲区，负责产生地址和数据调度。用户只需对上述 3 个 HPI 口寄存器进行相应的读写操作，就可完成对 DSP 内存空间的访问。

3 软件设计

系统软件结构如图 3 所示，可分为 ARM 部分和 DSP 部分。ARM 部分采用遵循 GPL 协议的嵌入式 Linux 操作系统，具有任务调度、存储管理、消息队列、中断处理等功能。硬件驱动程序位于嵌入式 Linux 操作系统的底层，是上层应用软件和硬件接口之间的桥梁。

(下转第 80 页)

对 ADC 控制接口的控制。设计主要由 4-16 线地址译码器和读写控制电路等组成, 如图 5 所示。

在图 5 中, AD 为 4 位地址总线, cs 为 ADC 控制接口的使能端, cs = 0 有效, WR、RD 分别为读写控制端为低电平有效, 4-16 线地址译码器和读写控制电路产生的各使能信号, 送至相

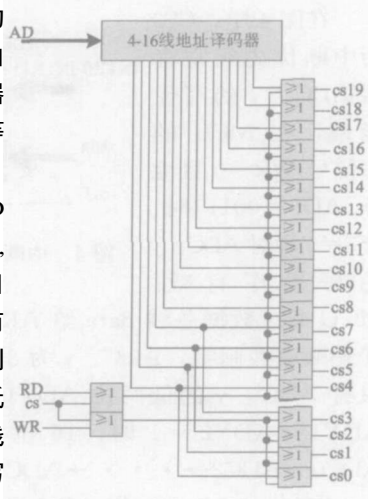


图5 MCU 接口部分设计框图

应的寄存器实现对寄存器的读写操作。从图 5 中可以看出, 在地址的低 4 个地址 (0000 ~ 0011), 读写操作的寄存器是不相同的, 在写操作有效时, 是使 cs0 ~ cs3 有效, 通过数据总线完成对 ADC_qd1、ADC_qd2、ADC_sl、ADC_y 寄存器的置数; 读有效时, 是使 cs4 ~ cs19 有效, 实现从转换结果寄存器 DATA0 ~ DATA15 中读取 A/D 转换结果。

3 结 论

利用多路 ADC 控制接口, 实现多路 ADC 的控制和数据处理, MCU 只需通过访问外部 RAM 指令, 就可获得某一路 ADC 的最新数据, 将 MCU 在 ADC 方面的硬件、软件资源的利用降到最低, 是提高嵌入式系统效率的有效方法。在文中是以 8 位 ADC0804 器件和 8 位 MCU 为例介绍的, 设计方法对于其他 ADC 器件和 MCU 同样有效。整个接口设计的 VHDL 语言程序, 在 max + plus II 9.5 中编译后, 下载到 Altera 公司的 FPGA EPF10K10 中, 占用了其 60 % 的逻辑阵列块 (LAB)。

参考文献

- [1] 赵俊超等. 集成电路设计 VHDL 教程 [M]. 北京: 希望电子出版社, 2002.
- [2] 徐志军, 徐光辉. CPLD/ FPGA 的开发与应用 [M]. 北京: 电子工业出版社, 2002.
- [3] 褚振勇, 翁木云. FPGA 设计及应用 [M]. 西安: 西安电子科技大学出版社, 2002.
- [4] Altera Corporation. Altera Digital Library [M]. 2002.
- [5] Altera Corporation. Development Tools Selector Guide [M]. 2000.

(上接第 57 页)

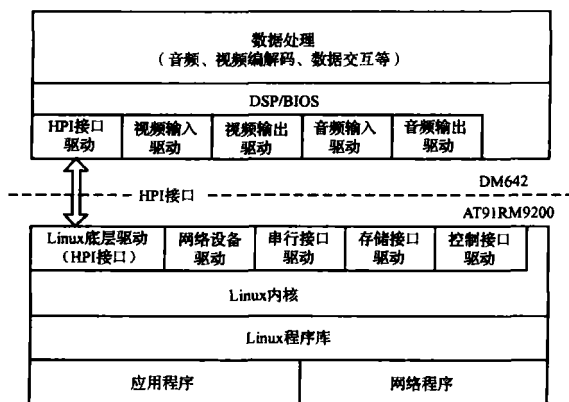


图 3 系统软件结构图

DSP 部分在实时操作系统 DSP/BIOS 环境下, 通过基于类/微驱动模型的音视频输入/输出驱动程序, 实现音视频的采集和输出; 通过 HPI 驱动程序及相应数据处理控制程序, 利用 HPI 并行接口与 ARM 通信, 进行数据交换。此外, DSP 和 ARM 可以各自作为独立的系统工作, 它们均有完整的子系统软件。子系统之间联系的核心是 DSP 的 HPI 接口。

4 结 论

本文介绍了基于 ARM 和 DSP 构成的双核嵌入式多媒体通信终端的设计方案, 阐述了 ARM 和 DSP 通信接口的设计。这一设计的特点是数据处理和网络通信能力强大、系统扩展灵活、升级性方便。

参考文献

- [1] AT91RM9200 Datasheet, Literature No: 1768, www.atmel.com/literature, 2003.
- [2] TMS320DM642 Video/ Imaging Fixed-Point Digital Signal Processor Data Manual, Literature Number: SPRS200B [Z]. Texas Instruments Incorporated. 2003.
- [3] TMS320C6000 Peripherals Reference Guide [Z]. Texas Instrument Inc., 1999.
- [4] 凌祥, 姜永华. DSP 与双口 RAM 在程控信号源数据交换中应用 [J]. 电子测量技术, 2004 (4): 17-18.
- [5] 刘斌, 李仲阳. ARM/DSP 双核系统的通信接口设计 [J]. 单片机与嵌入式系统应用, 2005 (5): 22-24.
- [6] 黄身博, 郝久玉. 嵌入式远程网络视频监控系统的 [J]. 电子测量技术, 2004 (4): 82-83.