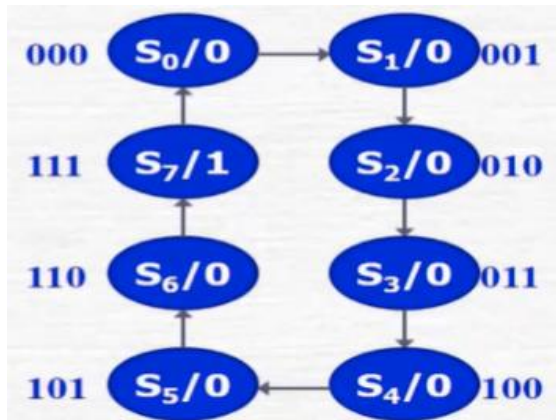
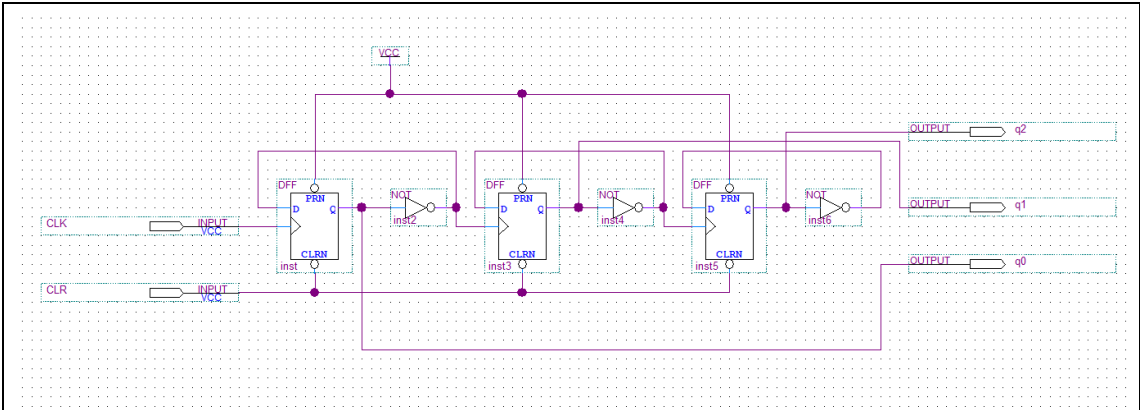


山东大学 计算机科学与技术 学院

数字逻辑 课程实验报告

学号：202000130198	姓名：隋春雨	班级：20.4
实验题目：实验7 异步模8加1计数器		
实验学时：4	实验日期：2021-12-10	
实验目的： (1) 学习同步时序电路的设计方法； (2) 了解可逆计数器的工作原理和设计实现； (3) 熟悉 EDA 工具软件的使用方法。		
硬件环境： (1) 操作系统为 WINDOWS 7 的计算机一台； (2) 数字逻辑与计算机组成原理实验系统一台； (3) D 触发器和非门电路若干。		
软件环境： Quartus II 8.1 Web		
实验步骤与内容： (包括设计的逻辑电路，采用的逻辑门，或者是前期采用基本逻辑电路实现的符合逻辑，写出逻辑表达式，结果预期(采用什么方式展示，如采用那几个发光二极管等)，以及最终实现的结果(是否与预期的结果一致，若不一致，是什么问题造成的，经过哪些改进，达到了最终的正确结果)) 1. 设计状态图： 		
这是一个 mod8 的计数器，可以用在任何技术次数小于等于 8 的计数场合，但是在小于 8 的时候，需要用 Rd 端在计数到相应次数的时候进行复位。		
2. 原理图：		



3. 实验步骤

(1) 管脚定义：将原理图中的计数脉冲 CLK 定义在单脉冲键上；CLR 定义在 k0 上；计数的输出端分别定义在 LD2—0 上。

(2) 原理图编译、适配和下载：在 Quartus II 环境中选择 EP2C8Q208C8 器件，进行原理图的编译和适配，无误后完成下载。

(3) 功能测试：

按一次单脉冲键（132 脚），计数器加 1，由 LED2-0 显示计数值。

将计数脉冲定义在连续脉冲上（131 脚），则计数器循环计数 LED2-0 循环显示。

调整连续时钟脉冲插座上短路块的位置（见图 2.2）改变连续脉冲频率，则 LED 闪烁频率将随之改变。

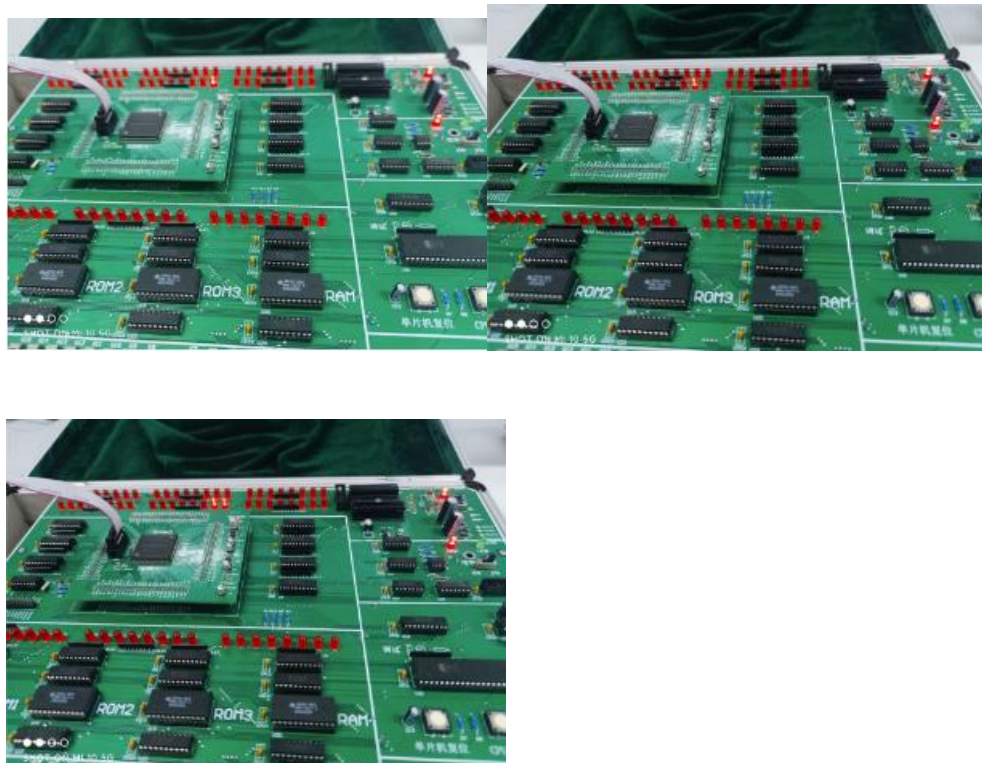
(4) 生成元件符号。

4. 预期结果

CLR	输出
0	000
1	000-001-010-011-100-101-110-111-000- 001-010-011-100-101-110-111（循环）

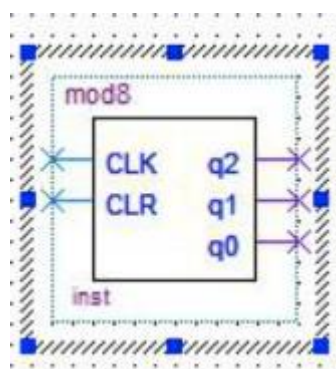
说明：在单脉冲的情况下，每次进行一次脉冲，结果+1。最终到了 111 的时候，mod8，回到了其初始状态 000。同时需要说明的是，这是一个自启动的过程，我们现实生活中遇到的电路都需要能够自启动，否则不稳定

5. 最终结果



符合预期

6. 进行封装的元素符号

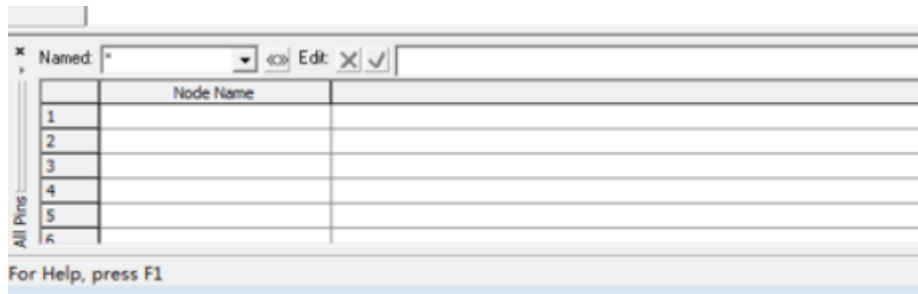


结论分析与体会：

1. 使用 D 触发器来实现 mod8 的异步计数器。其中，异步和同步的区别为：异步的 CP 端不是同一个 CP 来控制，而同步则是同一个 CP 端。本次实验使用异步的原因是，它们 CP 接口的信号不一致。当第一个触发器的输出从 1 变到 0 的时候，第二个触发器被激活。这也类似于串行加法器的原理。
2. 单脉冲是对连续脉冲进行的模拟，且单脉冲可以以不同的频率进行，受人为控制。连续脉冲在不同 HZ 下的脉冲次数不同，结果也不同。
3. 异步计数器的优缺点：异步二进制加法计数器线路联接简单，各触发器不同步翻转，因而工作速度较慢。各级触发器输出相差大，译码时容易出现尖峰；但是如果同步计数器级数增加，对计数脉冲的影响不大。
4. 当短路块位置在 2Hz 时，计数器跳得很慢，而当短路块在 2048Hz 时，三个

灯快速跳动，几乎都闪亮。此外使用时要注意安全，不要直接用手触碰，防止将人体当做电阻。

5. 对于 D 触发器，设计简单，存储变量的时候可以多加使用。同时对于 D 触发器，它其实是一个没有记忆的触发器，因为 Q 的现态虽然参加了 Q 下一个状态，但是却没有作用。
6. 善用搜索引擎，如果 pin 栏找不到了，右键找到 show 选项即可



- 7.
8. 在进行电路图绘制之前应该先推导一下表达式，如果没有搞明白原理就开始做实验可能做到一半就不知道做什么了，事倍功半
9. 通过 Quartus 与实验系统的配合，能够在 Pc 环境上实现电路原理图的设计与测试，便于相关知识的学习与练习； 3、对实验中所实现的电路，可进行封装，生成原件符号，提升抽象，利于大型器件的开发与使用；
10. 我们如果更换了几台箱子发现还是没有工作，可能是 PC 的问题或者是电源的问题，这次我们发现就是电源有问题导致箱子不工作
11. 同一个电路图可能有不同的实现方法，我们的原则是选择简洁的，函数成本低的