一班

一.选择题

1.（P316,137）下表表示两个处理器以及它们对一个Cache块X中的两个不同字的读写操作，已知初始值a=0，b=0，且Cache满足一致性协议

P1： a=4 p2： a+=3

b++ b=2

则下列哪个不可能是结束后cache块可能的值（ C ）

A.a=7 b=2 B.a=4,b=2

C.a=3 b=1 D.a=4,b=3

2.下面哪些表述通常是正确的？(A.D)

A.存储器层次利用了时间局部性。

B.在一次读操作中，返回的值取决于cache中。

C.存储器层次结构的大部分成本处于最高层。

D.存储器层次结构的大部分容量处于最低层。

解析：因每个计算机的存储结构层次结构的开销是不同的，但在2013年开销最高的通常是DRAM

3.下列哪个表述正确？（B）

A.没有减少强制缺失的方法。

B.全相联cache中没有冲突缺失。

C.在减少缺失方面，相联度比容量更为重要。

解析：大容量的块和预取都能降低强制缺失

4.第一章

计算机A时钟周期是250ps，CPI=2.0

计算机B时钟周期是500ps，CPI=1.2

相同的指令系结构，计算机＿＿执行速度快，快＿＿

答案：A 1.2倍

解析：CPU时间=指令数（I）\*CPl\*时钟周期

CPU时间A=I\*2.0\*250=500I ps

CPU时间B=I\*1.2\*500=600I ps

所以计算机A执行速度快

CPU时间B/CPU时间A=600I/500I=1.2

5.第一章

PMD中的二级存储器一般是由\_\_\_\_组成。

A:ROM B:FLASH C:HARD DISK D:DRAM

答案:B

6.第三章

32位浮点数格式中，符号位为1位，阶码为8位，尾数为23位。则它所能表示的最大化规格正数为\_\_\_\_\_\_

A:(2-2^-23)×2^-127

B: (1-2^-23)×2^127

C:(2-2^-23)×2^255

D:2^127-2^-23

答案:A

7.第二章

1 如果想要取得主存中的A[12]数据，假设A数组的基址存放在$s0里，取得的数据存放$s1里，则相应的MIPS代码及对应的二进制指令为( )

A sw $s1,48($s0) 101011 10000 10001 0000000000110000

B lw $s1,48($s0) 100011 10000 10001 0000000000110000

C lw $s1,12($s0) 100011 10000 10001 0000000000001100

D lw $s1,48($s0) 100011 10001 10000 0000000000110000

正确答案：B

取指令op码为lw 对应指令100011

每个数组占四个字节，偏移为48对应110000

$s0 寄存器10000

$s1 寄存器10001

指令位置op 源寄存器 目的寄存器 偏移

8.第三章

双精度浮点数是由两个32位的字组成的一种浮点表示形式，MIPS双精度的表示范围的最小值、最大值分别是：（）

A.±2.0×2-1022、±2.0×21023

B.±1.0×2-1022、±2.0×21023

C.±2.0×2-1023、±2.0×21023

D.±1.0×2-1023、±2.0×21023

答案：B

1. 完整的计算机系统包括：（D）
2. 键盘 和主机  
   B.计算机及其外部设备  
   C.应用软件及系统软件  
   D.计算机软件系统和硬件系统
3. 流水线计算机中，下列语句发生的数据相关类型是(C)  
   ADD R1，R2，R3;(R2)+(R3)->R1  
   ADD R4，R1，R5;(R1)+(R5)->R4  
   A 写后写  B读后写

C写后读    D读后读

1. 下面哪种指令不需要写回寄存器堆（）

A.lw $2 20($1)

B.and $4,$2,$5

C.sw $to,O($s1)

D.or $13,$6,$2

答案：C

12已知$t0初始值为5，$t2初始值为0.有如下循环：

LOOP:slt $t1,$0,$t0

beq $t1,$0,Exit

subi $to,$t0,1

addi $t2,$t2,1

Exit:

求循环后，$t2的增量（）

A 4 B 5 C 0 D不确定

13假设如下寄存器内容：

$t0=Ox AAAA AAAA

$t1=Ox 1234 5678

对于以上的寄存器内容，执行下面的指令序列后$t2的值是（）

Sll $t2,$t0,44

Or $t2,$t2,$t1

A Ox BABF FEF8 B Ox BABE FFF8

C Ox BABE FEF8 D Ox BABE EFE8

答案：C

14已知：A=0.1011，B=-0.0101求：[A+B]补   
A.0.0101 B.0.0110  C.0.0111  D. 0.01011

答案：B

1. 简答题

1.从传统的观点来看，基本计算机硬件系统由哪几个功能部件组成?每个部件完成的主要功能是什么?它们之间地址如何连接在一起的?

计算机硬件是由I/O设备，运算器，控制器，存储器组成的。

运算器：数据处理算术运算和逻辑运算

存储器：存储数据与程序

控制器：从存储器中取出指令，并进行指令译码

输入设备：输入数据，并且把人读数据变为机读数据

输出设备：输出数据，并且把机读数据变为人读数据

它们是通过总线连接在一起的，其中总线包括：数据总线，地址总线，控制总线。

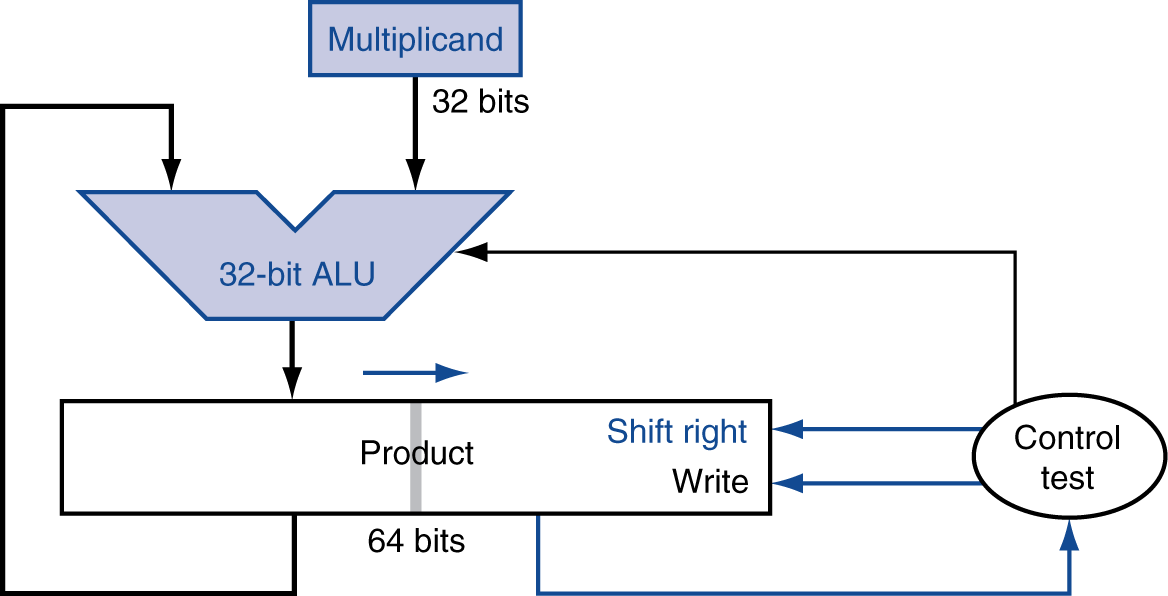
2.MIPS寻址模式识别操作数的方法共有5种模式，请任意写出5种寻址模式里的3种

知识点：2.10：MIPS寻址模式总结

答案及采分点：立即数寻址  寄存器寻址  基址寻址  pc相对寻址  伪直接寻址 写出3个即可

3.画出改进版的乘法器结构，并简述其与第一版乘法器不同之处。（五分）

解：①流程图（3分）：



②：不同（2分）

改进后：被乘数寄存器、ALU、乘数寄存器都是32位长，积寄存器是64位长

第一版：被乘数寄存器、ALU、积寄存器都是64位长，乘数寄存器是64位长

4. 怎样阻塞流水线

(1)将ID/EX 寄存器中的控制变量的值置为0  
EX, MEM and WB 空操作

(2)阻止更新 PC 和 IF/ID 寄存器中的值  
将执行中的指令重新解码  
再次取出后续指令  
对lw指令阻塞1个周期后允许MEM读取数据,接下来可以转到EX段

5.多级cache可以方便使用更多的优化的原因是什么?

（1）较低级cache的设计参数与一级cache不同

（2）较低级cache并不像一级cache那样经常被处理器用到

知识点:多级cache存储器层次的性能

得分点:首先条理清晰，其次与一级cache进行比较者得满分，逐条递减

6.简述任务级并行（或进程级并行）。

任务级并行或进程级并行：通过同时运行独立程序的方法来利用多处理器。

7.解答下列问题：（共10分）

（1）假设我们有相同指令集的2种不同实现方式。计算机A的时钟周期为300ps,对某程序的CPI为1 .5；计算机A的时钟周期为400ps,对某程序的CPI为1 .6.对于该程序，请问哪台计算机的执行速度快?快多少？

解：设该程序执行的总指令数为I，那么计算机A，B的时钟周期数分别为

CPU时钟周期数A=I\*1.5（1分）; CPU时钟周期数B=I\*1.6;（1分）

计算机A，B的CPU时间分别为：

CPU时间A= CPU时钟周期数A\*时钟周期时间A=I\*1.5\*300ps=450\*Ips (2分)

CPU时间B= CPU时钟周期数B\*时钟周期时间B=I\*1.6\*400ps=640\*Ips（2分）

显然计算机A更快，计算机A，B性能之比为：

CPU时间A/CPU时间B=640\*Ips/450\*Ips=64/45=1.42 （2分）

(2)假设计算机B的设计者要对该计算机的性能进行改进，计划用时18-24个月，请问当改进完成后，对于相同的程序，计算机B的执行速度比计算机A快多少？（假设计算机的芯片数不变且摩尔定律有效）

解：由摩尔定律知：改进后性能提升1倍，此时CPU时间B=1/2\*640\*Ips=320\*Ips

计算机A，B性能之比为

CPU时间B/ CPU时间A=450\*Ips/320\*Ips=45/32=1.41

本题主要考察CPU时间的计算公式，以及摩尔定律的内容

三.计算题

1.设存储器容量为32位，字长64位，模块数m = 8，分别用顺序方式和交叉方式进行组织。若存储周期T = 200ns，数据总线宽度为64位，总线传送周期为50ns，则顺序存储器和交叉存储器带宽各是多少?  
答：顺序存储器和交叉存储器连续读出m=8个字的信息总量都是：  
q=64位×8=512位  
顺序存储器和交叉存储器连续读出8个字所需的时间分别是：  
t2=mT=8×200ns =1600ns=16× 10 -7（S）  
t1=T+（m–1）t=200ns+7×50ns=550ns=5.5×10-7（S）  
顺序存储器带宽W2=q/t2=512 / （16×10-7） =32×107（位/S）  
交叉存储器带宽

W1 = q/t1= 512/ （5.5×10-7）=73×107（位/S）

2.知识点：第一章，9计算cpu性能（8分）

某机主频为8MHz，每个机器周期平均含2个时钟周期，每条指令平均有2.5个机器周期：

1.1试问该机的平均指令执行速度为多少MIPS？4分

1.2若机器主频不变，但每个机器周期平均含4个时钟周期，每条指令平均有5个机器周期，则该机的平均指令执行速度又是多少MIPS？（3分）

1.3由此可得出什么结论？（1分）

解：先通过主频求出时钟周期，再求出机器周期和平均指令周期，最后通过平均 指令周期的倒数求出平均指令执行速度。计算如下：

时钟周期=1/8MHz=0.125×10-6 =125ns

机器周期=125ns×2=250ns

平均指令周期=250ns×2.5=625ns

平均指令执行速度=1/625ns=1.6MIPS

当参数改变后：

机器周期= 125ns×4=500ns=0.5µs

平均指令周期=0.5µs×5=2.5µs

平均指令执行速度=1/2.5µs=0.4MIPS

 结论：两个主频相同的机器，执行速度不一定一样。

3. 在某CPU主频为400MHz的计算机上执行程序A，程序A中指令类型、执行数量及平均时钟周期数如下表所示。



求该计算机执行程序A时的程序执行时间、平均CPI及MIPS。

　　解：CPU时钟周期T（C）＝1/f＝1/（400×1000000）＝2．5ns

　　程序执行时间T（CPU）＝[45000×1＋75000×2＋8000×4＋1500×2]×2．5＝0．575ms。

　　平均CPI＝（45000×1＋75000×2＋8000×4＋1500×2）

　　÷（ 45000＋75000＋8000＋1500）

　　＝1．776（时钟周期/指令）

　　MIPS＝（ 45000＋75000＋8000＋1500）/ （0．575×1000000）＝225．2百万条/秒

考点：CPU时钟周期＝1/主频；

程序执行时间＝CPU时钟周期 x 总的CPU时钟周期数；

平均CPI=总的CPU时钟周期数/总指令数；

MIPS=指令数/（执行时间 X1000000）。