**（15级）计算机组成原理试题答案**

**2017-01-07**

一． 选择题（10分，每题2分）

1．十进制实数10.25对应的IEEE754单精度的浮点数是（ A ） 。

A. 41240000 B. 20BD0000 C. 420D0000 D. 23AB0000

2．计算机的存储器采用分级方式是为了（ B  ） 。

 A．减少主机箱的体积            B．解决容量、价格、速度三者之间的矛盾

C．保存大量数据方便            D．操作方便

3．冯·诺依曼机工作的基本方式的特点是（ B   ）   。

A. 多指令流单数据流 B. 按地址访问并顺序执行指令

C. 堆栈操作 D. 存贮器按内容选择地址

4. 某程序在处理器上运行时长为20秒，经过优化之后，使其编译产生的指令数量是以前的50%，同时使CPI增加为原来的1.2倍，请问此程序在之后的编译程序中运行速度是多少 ( B )  
A.20×1.2/50%  
B.20×50%×1.2  
C.20×50%/1.2  
D.20×1.2

5. 完整的计算机系统包括：（ D ）

A. 键盘 和主机 B. 计算机及其外部设备

C. 应用软件及系统软件 D. 计算机软件系统和硬件系统

**二． 简答题（20分，每题5分）**

**1. 计算机的性能由哪三个关键因素决定？**

指令数目、时钟周期长度和每条指令所需时钟周期数。

**2. 从传统的观点来看，基本计算机硬件系统由哪几个功能部件组成?每个部件完成的主要功能是什么?**计算机硬件是由I/O设备，运算器，控制器，存储器组成的。

运算器：数据处理算术运算和逻辑运算

存储器：存储数据与程序

控制器：从存储器中取出指令，并进行指令译码

输入设备：输入数据，并且把人读数据变为机读数据

输出设备：输出 数据，并且把机读数据变为人读数据

**3. 请简述旁路和阻塞的消除数据冒险机制.**

旁路是通过将该指令需要的之前指令的数据直接从之前指令的流水线寄存器中读取并输入到该指令对应的ALU输入端来实现的，阻塞则是在一个装载指令和紧随它并且需要它的结果的指令间插入一个空指令，使下一个指令的取数操作被延迟来实现的

**4. 假设程序计数器(PC)被设置为0X2000 0000，是否可以使用 MIPS的跳转指令将PC设置为地址0X4000 0000？是否可以使用MIPS的相等则分支（beq）指令将PC设置为改地址？请说明原因。**

跳转和beq指令都不可以。

跳转指令是伪直接寻址，把26位立即数左移两位之后与PC高四位拼接，形成32位地址，PC高4位是2，故无法实现。

beq指令的寻址方式属于PC相对寻址，指令中的16位立即数和PC中的数据做加减操作，除了可能有进位外，并无法改变上面PC中高四位。

**三．综合计算题（30分，每题15分）**

**1.** 某指令结构有两种实现方式，有A，B，C，D四类指令，时钟频率及CPI见下表：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实现方式 | 时钟频率 | CPI（A） | CPI(B) | CPI(C) | CPI(D) |
| P1 | 1.5GHZ | 2 | 2 | 2 | 2 |
| P2 | 2GHZ | 4 | 2 | 1 | 3 |

1. 某程序有105条指令，A有15%，B有20%，C有40%，D有25%，则哪种实现方式更快？
2. 求P2的总CPI
3. 如果B指令减少一半，则P2的增速是多少？

解：(1)P2更快。

A.1.5\*104条 B.2\*104条 C.4\*104条 D.2.5\*104条

CPU时间=CPI\*指令数/时钟频率

T1=(2\*1.5\*104+2\*2\*104+2\*4\*104+2\*2.5\*104)/1.5\*109HZ=\*10-5S

T2=(4\*1.5\*104+2\*2\*104+1\*4\*104+3\*2.5\*104)/2\*109HZ=10.75\*10-5S

1. (4\*1.5\*104+2\*2\*104+1\*4\*104+3\*2.5\*104)/105=2.15
2. T2’=(4\*1.5\*104+1\*2\*104+1\*4\*104+3\*2.5\*104)/2\*109HZ=9.75\*10-5

增速==

**2.** MIPS中，常用的指令格式如下：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 6位操作码（op） | 5位rs | 5位rt | 5位rd | 5位shamt | 6位funct |

|  |  |  |  |
| --- | --- | --- | --- |
| 6位操作码（op） | 5位rs | 5位rt | 16位Imm |

|  |  |
| --- | --- |
| 6位操作码（op） | 26位Imm |

已知如下二进制数列：

A: 0000 0001 0011 0011 1011 0000 0010 0000

B: 0000 1010 1011 0010 1010 1101 0111 0110

C: 0001 0110 1011 0011 0010 1101 0111 0010

假设寄存器$t0到$t7的寄存器号为8~15，所存初始数据大小为各自寄存器号，$s0~$s7的寄存器号为16~23，所存初始数据为各自寄存器号的2倍。

1.若A是add指令，则A中的目的寄存器名是什么、执行该指令后其中所存数据是什么?

2.若B是跳转指令，PC为 1001 0011 1011 0001 1000 0010 1101 1111，

则跳转到的地址为什么?

3．若C是bne指令，PC为 1001 0011 1011 0001 1000 0010 1101 1111，

则目的地址是多少?

4.以B为掩码，对A进行XOR的结果(写成十六进制) 。

5.若A在$s0中，读立即数61(十进制)，lui $s0 ,61 后$s0中的结果(写成十六进制) 。

参考答案：

(1) $s6 47($S6=$S4+$t1,$22=9+19\*2)

(2) 1001 1010 1100 1010 1011 0101 1101 1000

(3) 1001 0011 1011 0001 1011 0000 0101 0001

(4) 0b81 1b76

(5) 003d b020

四．流水线问题（20分）

假设流水线由5段组成，他们分别是取指令（IF）、指令译码/读寄存器（ID，在脉冲的下降沿读取寄存器数据）、执行/访存有效地址计算（EX）、存储器访问（MEM）、结果写回寄存器（WB，在脉冲的上升沿就可以完成写回操作）。流水线要执行以下三条指令：

LW $10，20($1)

ADD $10, $10, $2

SW $10,24($1)

请分析这些指令在没有和有采用硬件提前计算或转发结果两种前提下，流水线各段中的执行情况，画出上述指令能正确执行的流水线时空图，并计算吞吐率和加速比。

答：以上三条指令都使用了通用寄存器$10作为目的寄存器，在流水线连续执行时，会发生写后读的数据相关，

如果要保证执行结果正确，第二条必须等到第一条指令写回寄存器后才能读寄存器的值，同理第三一样，也要等到第二条指令写回之后才能执行。

如果没有采用任何硬件提前计算或转发结果，寄存器$10的内容只能在WB阶段才能更新，第二条指令和第三条指令都将被阻塞。由此，流水线时空图如下：

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 指令 | C1 | C2 | C3 | C4 | C5 | C6 | C7 | C8 | C9 | C10 | C11 |
| LW $10，20($1) | IF | ID | EX | MEM | WB |  |  |  |  |  |  |
| ADD $10, $10, $2 |  | IF |  |  | ID | EX | MEM | WB |  |  |  |
| SW $10,24($1) |  |  |  |  | IF |  |  | ID | EX | MEM | WB |

设每段所用时间为T，则

吞吐率：3/12T

加速比：15T/12T-1=0.25

如果采用了旁路技术，则流水线的时空图如下：

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 指令 | C1 | C2 | C3 | C4 | C5 | C6 | C7 | C8 | C9 | C10 | C11 |
| LW $10，20($1) | IF | ID | EX | MEM | WB |  |  |  |  |  |  |
| ADD $10, $10, $2 |  | IF |  | ID | EX | MEM | WB |  |  |  |  |
| SW $10,24($1) |  |  |  | IF | ID | EX | MEM | WB |  |  |  |

设每段所用时间为T，则

吞吐率：3/8T

加速比：15T/8T-1=0.875

五． Cache和虚拟存储的综合应用（20分）

某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为256MB，主存（物理）地址空间大小为16MB，页面大小为64KB；Cache采用直接映射方式，共8行块；主存与Cache之间交换的块大小为32B。

（1）虚拟地址共有几位，那几位表示页号？物理地址共有几位，哪几位表示页框号（物理页号）？

答：（1）

页面大小64KB=216B，则页内地址16位

虚拟地址空间大小为256MB，则虚拟地址为28位，高12位表示虚页号。

主存地址空间大小为16MB，则实地址共24位，低16位为页内地址，高8位为页框号（物理页号）。

（2）使用物理地址访问Cache时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。

答：主存与Cache之间交换的块大小为32（25）B，Cache有8（23）行，故Cache大小为28B，故Cache的地址共8位，主存中的区数=16M/28=216.

|  |  |  |
| --- | --- | --- |
| Tag | Cache块号 | 块内地址 |
| 16 | 3 | 5 |

（3）虚拟地址001C060H所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问改地址时是否Cache命中？要求说明理由。

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 虚页号 | 有效位 | 页框号 | …… |  | 块号 | 有效位 | 标记 | …… |
| 0 | 1 | 06 | …… |  | 0 | 1 | 0200 | …… |
| 1 | 1 | 04 | …… |  | 1 | 0 | --- | …… |
| 2 | 1 | 15 | …… |  | 2 | 1 | 04C0 | …… |
| 3 | 1 | 02 | …… |  | 3 | 1 | 01D2 | …… |
| 4 | 0 | - | …… |  | 4 | 1 | 0640 | …… |
| 5 | 1 | 28 | …… |  | 5 | 1 | 14DA | …… |
| 6 | 0 | - | …… |  | 6 | 0 | --- | …… |
| 7 | 1 | 32 | …… |  | 7 | 1 | 27AB | …… |

（a）页表的内容 （b） cache的部分内容

答：虚地址001C050H，高12位001为页号，查页表，得主存页框号04，转换成主存地址为04C050H。其中第8位的50H对应Cache的块号2和块内地址10000，查b表，第2块的有效位为1，标记04C060，恰好命中。

（4）假定为该机配置一个4路组相联的TLB，该TLB共可存放8个页表项，若其当前内容如图所示，则此时虚拟地址027BAC6H所在的页面是否在主存中？要求说明理由。



4路组相联的TLB，共有8个页表项，故分成两组，每组存放4个页表项。虚存地址高12位为虚页号，最低位为组号，高11位为标记。

虚拟地址027BAC6H的虚页号位027H，其中组号为1，标记为013H。在TLB的第1组，第一项标记为013H，有效位为1，说明该地址所在的页面在主存中，其页框号为2D，故实地址为2DBAC6H。