uC ATmega1280 Memoria BIOS 4K (Interna) Ducto de Datos Ducto de Datos Ducto de Direcciones Ducto de control Ducto de control Decodificador WR OE CS

Práctica No. 4. Continuación

El enfoque de este texto es solo para el análisis y diseño del decodificador. El decodificador solo estará compuesto por compuertas lógicas.

Les recomiendo que revisen el siguiente esquemático <u>TJuino_sch.pdf</u>. El conector de interés es *XIO_HL*, ahí podrán encontrar las terminales de A0-A15, ALE, /RD y /WR; de las cuales varias serán las entradas del decodificador.

Y solo para recapitular, el rango de direcciones queda asignadas de la siguiente forma en la virtualización actual del 8088 sobre el TJuino:



Para esta práctica, se supondrá que la memoria externa que se conectara al decodificador es de **2KB** (en caso de que la memoria que consigan sea de mayor capacidad, se tendrán que aterrizar las terminales de A11 en adelante de la memoria, para que funja como una de 2KB). Y también esta memoria tendrá un **rango de direcciones espejo** (de las cuales la longitud también será de 2KB).

Cada alumno es asignado un cierto rango de direcciones (al igual que las direcciones espejo) y son las siguientes:

Dirección Inicial	Dirección Inicial Espejo	Alumno (Jueves/Viernes)
0x3800	0x7800	Baez / Alvarez
0x5000	0xD000	Briseño / Arevalos
0x5800	0x7800	Brughera / Barcenas
0x6000	0x4000	Castro / Bravo
0x6800	0xE800	Cortes / Camacho
0x7000	0x5000	Frias / Chon
0x7800	0xF800	Gutierrez / Gonzalez C.
0x9000	0xB000	Lavenant / Gonzalez O.
0x9800	0xB800	Martinez / Islas
0xA000	0x8000	Palafox / Mendias
0xA800	0x2800	Robledo / Nieblas
0xB000	0x3000	Rubio / Reyes
0xB800	0xA800	Sanchez / Rodriguez
0xC000	0x4000	Sevilla / Torres A.
0xD000	0x9000	Torres R. / Trinidad
0xD800	0x5800	Valdez / Zaragoza
0xE000	0x6000	Velez
0xE800	0xC800	Х

Esto quiere decir que van a existir dos zonas de memorias vistas por el procesador, como una sola región de 2KB en la memoria física. Como lo muestra el siguiente diagrama:

Mapa de Memoria del Procesador

