



## **Laboratório de Circuitos Lógicos - 7º Experimento**

### **LATCHES E FLIP-FLOPS: RS E JK**

**OBJETIVO:** Apresentação do **multivibrador biestável (latch e flip-flop)** como uma unidade de memória. Os conceitos de *latch* RS e do **RS engatilhado** são examinados em circuitos montados com portas lógicas. As tabelas da verdade de ambos os *latches* são verificadas, bem como os instantes de transição nas saídas. É solicitado um diagrama do tempo das formas de onda nas saídas, tendo como referência o relógio. São previstos ainda controles de **PRESET** e **CLEAR**. No flip-flop JK é apresentado o conceito de **MESTRE-ESCRAVO**.

### **1. INTRODUÇÃO TEÓRICA**

Um dos elementos mais importantes de um sistema digital é a memória ou dispositivo para armazenar informações, tais como os núcleos magnéticos, flip-flops e chaves.

Durante muito tempo, a unidade de memória de um computador digital era quase que exclusivamente feita de núcleos magnéticos. Entretanto, devido ao grande avanço da tecnologia de semicondutores, os núcleos magnéticos foram substituídos pelas memórias a semicondutores.

Existem dois tipos básicos de memória a semicondutores: as estáticas e as dinâmicas. As memórias estáticas são construídas pela agregação de flip-flops. As memórias dinâmicas não estão no escopo desta experiência, mas baseiam-se no armazenamento de cargas em capacitores.

O flip-flop é um multivibrador biestável que possui dois estados estáveis como seu próprio nome o indica. Num deles a saída  $Q = 1$  e no outro  $Q = 0$ . Portanto ele serve para armazenar um bit de informação. Dependendo da forma de engatilhamento, temos diversos tipos de flip-flops, os mais comuns são o RS, D, T e JK. No flip-flop RS, o estado de **SET** ou **RESET** da entrada determina o estado da saída. Ativando a entrada SET teremos  $Q = 1$ . Ativando a entrada RESET teremos  $Q = 0$ .

O flip-flop JK é o mais versátil. É essencialmente um flip-flop RS engatilhado com uma segunda ligação cruzada entre a entrada e a saída. Os outros flip-flops serão estudados nos experimentos seguintes.

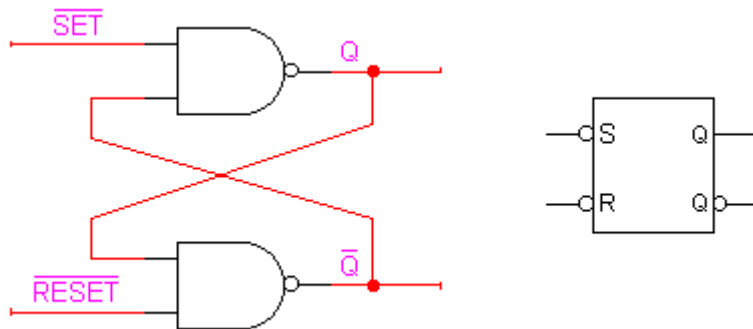
#### **1.1. LATCH RS**

O *latch* RS pode ser construído usando-se duas portas NAND's conectadas como mostra a **Figura 1**. A tabela da verdade é apresentada na **Tabela I**.



Entradas		Saídas	
$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

**Tabela I – Latch RS com portas NAND's**  
(A combinação em destaque é chamada de estado proibido)



**Figura 1 – Latch RS (implementado com NAND) e seu símbolo**

Neste *latch*, normalmente o estado de entrada é  $\bar{S}\bar{R} = 11$ . Se fizermos  $\bar{S}\bar{R} = 01$  (ativando a entrada SET), teremos na saída  $Q = 1$ . Se fizermos  $\bar{S}\bar{R} = 10$  (ativando a entrada RESET), teremos na saída  $Q = 0$ . Se, entretanto, voltarmos novamente para  $\bar{S}\bar{R} = 11$ ,  $Q$  continuará sendo o último estado assumido pelas entradas  $\bar{S}$  e  $\bar{R}$ , desde que não se aplique combinação 00.

Observe que se mudarmos de  $\bar{S}\bar{R} = 11$  para 00 e voltarmos novamente para 11, a saída poderá ser tanto 0 como 1. A saída, nesse caso, dependerá dos atrasos inerentes de cada porta e, portanto, não apresenta interesse prático, já que o estado final não é determinado pela entrada.

O latch RS também pode ser implementado usando-se portas NOR's, como mostra a **Figura 2**. A tabela da verdade é apresentada na **Tabela II**.

Entradas		Saídas	
$S$	$R$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	0	0

**Tabela II – Latch RS com portas NOR's**  
(A combinação em destaque corresponde ao estado proibido)

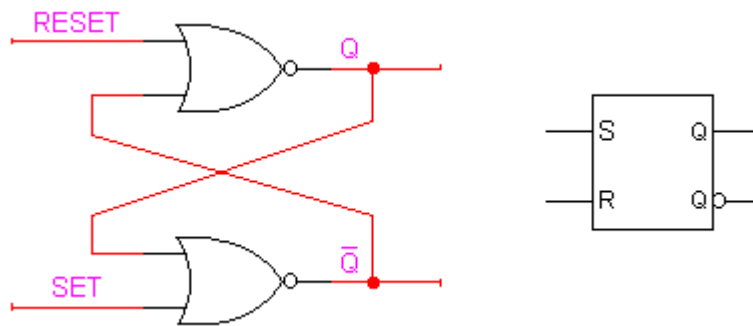


Figura 2 – Latch RS (implementado com NOR) e seu símbolo

Na implementação do latch RS com portas NAND's, se ambas as entradas forem 0, tem-se  $Q = \bar{Q} = 1$  e este é um estado proibido, pois as saídas  $Q$  e  $\bar{Q}$  não são complementares. O mesmo acontece com o latch RS construído com portas NOR's para a entrada 11.

### 1.2. LATCH RS ENGATILHADO

Os latches da Figura 1 e o da Figura 2 mudam de estado assim que uma informação apropriada é recebida na entrada, portanto não há requerimentos precisos de tempo e a operação é dita **assíncrona**. Em outras aplicações, tais como operações aritméticas, os dados devem ser armazenados ou lidos em instantes bem determinados. Nesse caso, o sistema é chamado **síncrono** e as operações são realizadas sob o comando de pulsos de relógio.

Um latch engatilhado implementado com portas NAND's é mostrado na Figura 3.

Entradas			Saídas	
$T$	$S$	$R$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	X	X	$Q_n$	$\bar{Q}_n$
1	0	0	$Q_n$	$\bar{Q}_n$
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

Tabela III – Latch RS engatilhado  
A combinação em destaque é proibida

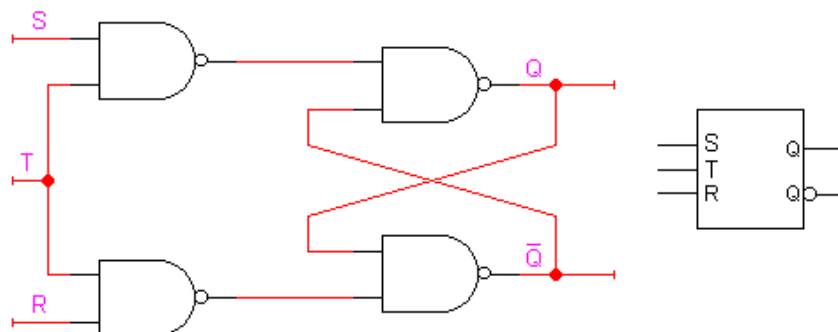
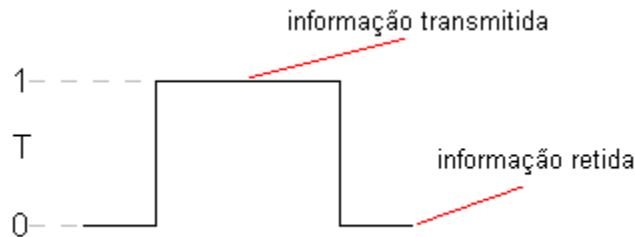


Figura 3 – Latch RS engatilhado e seu símbolo



Com o gatilho  $T = 0$  o *latch* não altera seu estado e suas entradas  $S$  e  $R$  não têm ação sobre o *latch*. A informação de entrada é transferida ao *latch* somente quando  $T = 1$ . Quando  $T$  volta novamente a zero, a informação fica retida no *latch*.

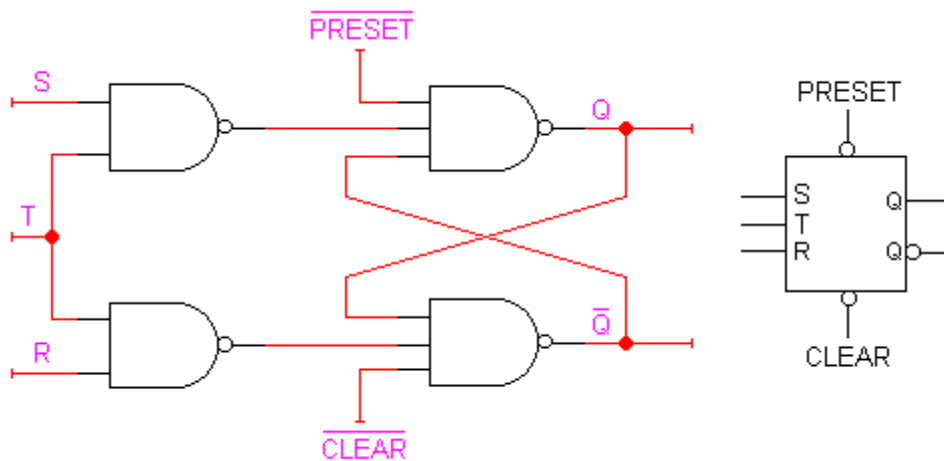


**Figura 4 – Forma de onda de T**

### 1.3. LATCH RS ENGATILHADO COM PRESET E CLEAR

PRESET e CLEAR são entradas usadas para forçar a saída  $Q$  para o estado 1 (SET) ou 0 (RESET) respectivamente. Esta operação é independente de outras entradas e não devem ser acionadas simultaneamente.

Uma implementação de um *latch* RS com  $\overline{PRESET}$  e  $\overline{CLEAR}$  usando portas NAND's é apresentada na **Figura 5**.



**Figura 5 – Latch RS engatilhado com entradas  $\overline{PRESET}$  e  $\overline{CLEAR}$**

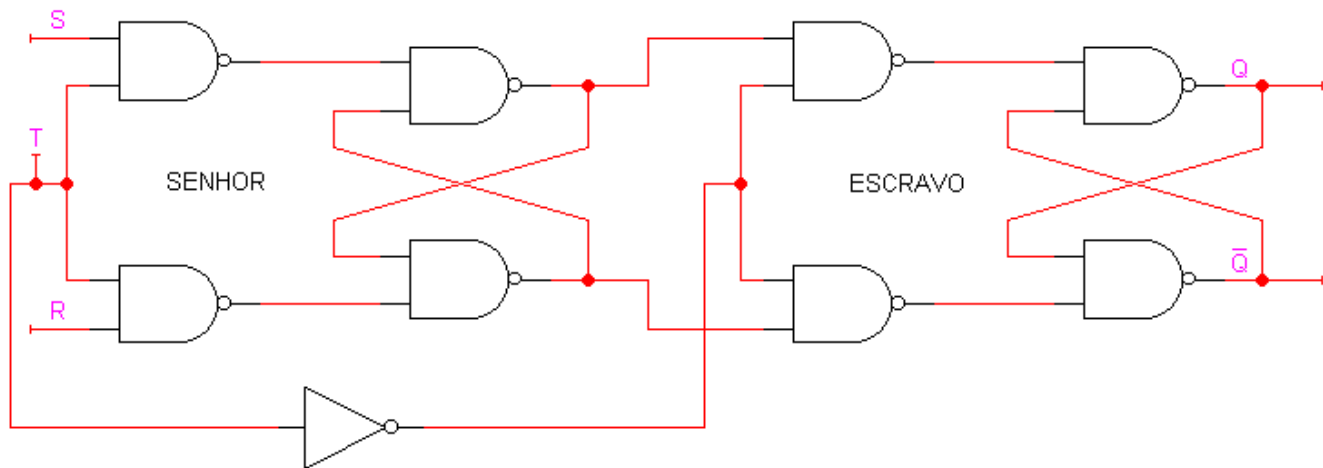
Se  $\overline{PRESET} = 0$ , a saída  $Q$  será 1 e se  $\overline{CLEAR} = 0$ , a saída  $Q$  será 0. Logo, para o correto funcionamento desse circuito, as entradas  $\overline{PRESET}$  e  $\overline{CLEAR}$  não devem ser acionadas simultaneamente e quando uma delas for acionada, ou  $T$  deve estar em 0 ou  $S$  e  $R$  devem estar em 0.



#### 1.4. FLIP-FLOP RS MESTRE-ESCRAVO

Um flip-flop é um circuito de funcionalidade similar ao *latch*. A diferença é que no flip-flop a informação é transferida durante a transição do sinal de gatilho (controle ou clock), enquanto no *latch* a informação é transferida durante todo o tempo que o gatilho (controle ou clock) permanece ativado. Assim, o *latch* é considerado um circuito biestável sensível ao nível, enquanto o flip-flop é um circuito biestável sensível à borda.

A implementação de um flip-flop RS MESTRE-ESCRAVO com portas NAND's e a tabela da verdade correspondente são apresentados na **Figura 6** e **Tabela IV**, respectivamente.



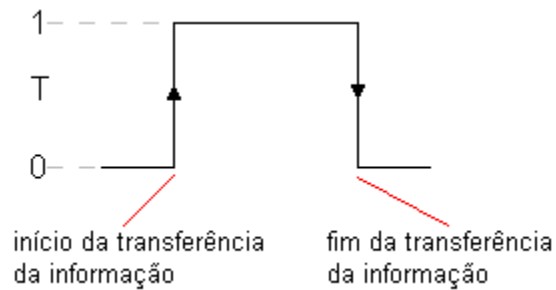
**Figura 6 – Implementação de um flip-flop RS MESTRE-ESCRAVO usando portas NAND's**

Entradas			Saídas	
$T$	$S$	$R$	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	X	X	$Q_n$	$\overline{Q}_n$
$\downarrow$	0	0	$Q_n$	$\overline{Q}_n$
$\downarrow$	0	1	0	1
$\downarrow$	1	0	1	0
$\downarrow$	1	1	1	1

**Tabela IV – Flip-flop RS MESTRE-ESCRAVO**  
**A combinação em destaque é proibida**

Com  $T = 0$ , o flip-flop está em repouso, isto é, mantém seu estado independentemente das entradas SR. Nessa condição, o estado de saída  $QQ$  segue o estado de saída do *latch* MESTRE, que encontra-se desativado, pois o terminal de gatilho do *latch* ESCRAVO é igual a 1 (ativado).

Quando T altera de 0 para 1, a informação de entrada é transferida ao *latch* MESTRE. Entretanto, esta informação só será disponível na saída do flip-flop quando T voltar novamente à zero. Portanto, a transferência de informação de S e R à saída  $QQ$  inicia-se com a subida do sinal T e se completa com a descida desse sinal. Cuidado deve ser tomado para que a informação na entrada não mude enquanto T for 1.



**Figura 7 – Forma de onda de T para o flip-flop RS MESTRE-ESCRAVO**

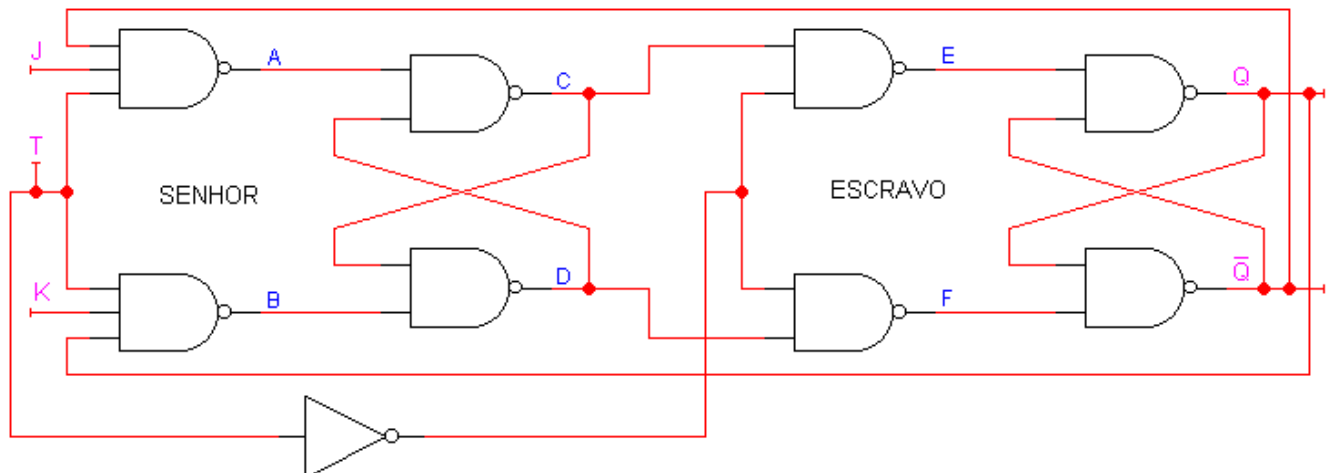
### 1.5. FLIP-FLOP JK MESTRE-ESCRAVO

O flip-flop JK é semelhante ao flip-flop RS gatilhado com uma diferença: para a entrada 11 haverá reversão de estado na saída com a aplicação de um pulso em T. Isso elimina o estado proibido encontrado no flip-flop RS. Uma implementação do flip-flop JK MESTRE-ESCRAVO com portas NAND's é apresentada na **Figura 8**.

Esse flip-flop difere do RS MESTRE-ESCRAVO apenas pelas realimentações da saída para a entrada. Com isso, o estado de entrada 11 apresenta interesse prático, pois o comportamento da saída torna-se perfeitamente conhecido.

Entradas			Saídas	
$T$	$J$	$K$	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	X	X	$Q_n$	$\overline{Q}_n$
1	0	0	$Q_n$	$\overline{Q}_n$
1	0	1	0	1
1	1	0	1	0
1	1	1	$\overline{Q}_n$	$Q_n$

**Tabela V – Flip-flop JK MESTRE-ESCRAVO**



**Figura 8 – Flip-flop JK MESTRE-ESCRAVO**



Vamos analisar a situação onde as entradas JK estão em 11. Assim, consideremos  $T = 0$ ,  $J = K = 1$ ,  $Q = 0$  e  $\overline{Q} = 1$ . Quando T passar de 0 para 1, teremos a seguinte situação:

$$\left\{ \begin{array}{l} A = 0 \\ B = 1 \end{array} \right\}, \left\{ \begin{array}{l} C = 1 \\ D = 0 \end{array} \right\}, \left\{ \begin{array}{l} E = 1 \\ F = 1 \end{array} \right\}$$

Quando T voltar a zero, teremos:

$$\left\{ \begin{array}{l} A = 1 \\ B = 1 \end{array} \right\}, \left\{ \begin{array}{l} C = 1 \\ D = 0 \end{array} \right\}, \left\{ \begin{array}{l} E = 0 \\ F = 1 \end{array} \right\} \text{ e } \left\{ \begin{array}{l} Q = 1 \\ \overline{Q} = 0 \end{array} \right\}$$

Verificamos, portanto, que após um pulso completo de T, o estado final da saída passa de 01 para 10, conforme era esperado.

Obs.: Em uma montagem prática, com Circuitos Integrados, ao ligar o circuito os *latches* assumem sempre um valor válido (seja ele qual for) devido ao ruído térmico. Na simulação no Deeds isso não é simulado! Assim os *latches* ficam indefinidamente em estado desconhecido, para qualquer combinação das entradas J, K e T.

Para resolver este problema insira as entradas de  $\overline{PRESET}$  e  $\overline{CLEAR}$  no *Latch* Senhor, conforme a Figura 5, de modo que o estado inicial possa ser corretamente definido.



## 2. PARTE EXPERIMENTAL

Dica: Realize uma sequência de montagem *incremental*, aproveitando o circuito anterior para a montagem do circuito seguinte.

- 2.1. Desenhe no Deeds o circuito apresentado na **Figura 1** – Latch RS com NANDs. Simule por interação com o usuário (filme) e elabore uma tabela verdade para verificar o que acontece na sequência 10, 11, 01, 11, 00, 11, aplicada nos terminais. Use chave  $B = \overline{SET}$ , chave  $A = \overline{RESET}$ , LEDs  $L0=Q$  e  $L1=\overline{Q}$ . Explique o que ocorre!

**Dica:** É extremamente difícil fazer as transições  $11 \rightarrow 00 \rightarrow 11$  manualmente usando 2 chaves! Use uma chave única para comandar as duas entradas simultaneamente. Faça uma simulação por forma de onda para entender o que ocorre.

- 2.2. Aproveitando o circuito do item 2.1., desenhe o circuito da **Figura 3** – Latch RS engatilhado. Verifique sua tabela verdade e explique o comportamento do circuito para  $T = 0$  e  $T = 1$ . Use as chaves  $C=T$ ,  $B=\overline{SET}$ ,  $A=\overline{RESET}$ , LEDs  $L0=Q$  e  $L1=\overline{Q}$ . Filme o funcionamento do circuito.
- 2.3. Aproveitando o circuito do item 2.2., desenhe o circuito da **Figura 6** – Flip-flop RS Mestre-Escravo. Verifique a tabela verdade e explique as diferenças do circuito anterior. Use as chaves  $C=T$ ,  $B=R$ ,  $A=S$  e LEDs  $L0=Q$  e  $L1=\overline{Q}$ . Filme seu funcionamento.
- 2.4. Aproveitando o circuito do item 2.3., desenhe o circuito da **Figura 8** – Flip-Flop JK, apenas acrescentando os 2 fios de realimentação. Faça a simulação em forma de onda e filme a verificação da sua tabela verdade. Aplique nas entradas JK níveis convenientes para que uma sequência de pulsos aplicada em T apareça na saída com sua frequência dividida por 2. Assim, ligue as chaves  $B=K$ ,  $A=J$  e  $T=Gerador\ de\ Clock\ de\ 2Hz$ , LED  $L3=T$  e LED  $L0=Q$ , compare as frequências dos LEDs. Filme o funcionamento deste circuito divisor de frequência. O que aconteceria caso usássemos uma frequência de clock de 200MHz? Dica: precisa fazer o diagrama de forma de onda para responder.

## 3. SUMÁRIO

Foram estudados os *latches* RS, o flip-Flop RS SENHOR-ESCRAVO e o flip-flop JK SENHOR-ESCRAVO. As funções dos terminais PRESET e CLEAR são apresentadas bem como são vistos detalhes de transferência de informação com o pulso do relógio T.

## 4. EQUIPAMENTOS E MATERIAL

- Kit Digital;
- Fios conectores;
- Portas NAND (74LS00 e 74LS04 e 74LS10);
- Software Deeds





## 5. TESTE DE AUTOAVALIAÇÃO

1. Qual dos seguintes estados de entrada de um flip-flop RS gatilhado, implementado com portas NAND's produzirá uma saída indeterminada?
  - a) 00
  - b) 01
  - c) 10
  - d) 11
2. Um flip-flop RS síncrono difere de um flip-flop RS assíncrono no seguinte particular:
  - a) Muda de estado somente quando gatilhado.
  - b) O flip-flop síncrono não requer entrada RESET.
  - c) O flip-flop síncrono não possui saídas complementares.
  - d) O flip-flop assíncrono não possui saídas complementares.
3. Um flip-flop RS engatilhado:
  - a) Não pode ser usado em circuitos síncronos.
  - b) Não pode ser usado em circuitos assíncronos.
  - c) As opções **a** e **b** estão corretas.
  - d) NDA
4. Em um flip-flop JK um 1 na entrada K durante a transição do relógio resultará na saída:
  - a)  $Q = 0$
  - b)  $Q = 1$
  - c)  $Q =$  complemento do valor anterior de  $Q$
  - d) Não é possível determinar.
5. A saída  $Q$  de um flip-flop JK é 1. As entradas J e K são levadas para 0 e é dado um pulso de relógio. Então o flip-flop:
  - a) Reverte de estado.
  - b)  $Q = 0$
  - c) Não muda de estado.
  - d) Fica em um estado proibido.
6. A saída  $Q$  de um flip-flop JK é 1. As entradas J e K são levadas para 1 e é dado um pulso de relógio. Então o flip-flop:
  - a)  $Q = 0$
  - b) Não muda de estado.
  - c) Fica em um estado proibido.
  - d) Reverte de estado.
7. A saída  $Q$  de um flip-flop JK é 1, a entrada  $\overline{CLEAR}$  é 1 e a entrada  $\overline{PRESET}$  é 0. A entrada J é levada para 0, a entrada K é levada para 1 e é dado um pulso de relógio. Então o flip-flop:
  - a)  $Q = 0$  porque  $J = 0$  e  $K = 1$ .
  - b)  $Q = 0$  porque  $\overline{CLEAR} = 1$ .
  - c) Não muda de estado porque  $\overline{CLEAR}$  e  $\overline{PRESET}$  não são 1.
  - d) Permanece com  $Q = 1$  porque  $\overline{PRESET} = 0$ .