

Experimento 9

Contadores Assíncronos e Síncronos

Matheus Cardoso de Souza, 202033507

Ualiton Ventura da Silva, 202033580

Grupo G42

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CIC0231 - Laboratório de Circuitos Lógicos

matheus-cardoso.mc@aluno.unb.br, 202033580@aluno.unb.br

Abstract. *The current report aims to project asynchronous and synchronous counters, using Flip-Flops JK. Though this project we also aims to analyse the error propagation inherent to Flip-Flops*

Resumo. *O presente relatório tem como objetivo a elaboração de contadores assíncronos e síncronos, sendo que para seu uso são utilizados flip-flops JK, através de sua elaboração também será analisado a propagação de erro existente ao associar-se flip-flops.*

1. Introdução

Flip-flops no geral possuem diversos usos para a elaboração de sistemas computacionais, sendo utilizados não somente para a criação de dispositivos de memórias bem como para contadores, divisores de frequência dentre outras aplicações.

Tratando-se de contadores síncronos tem-se que sua característica como contador refere-se ao mesmo clock para todos os flip-flops associados, assim a mudança que ocorre nas bordas será simultânea para todos flip-flops utilizados.[Mandelli 2021c]

Utilizando um flip-flop tipo T, este contador poderia ser expresso como:

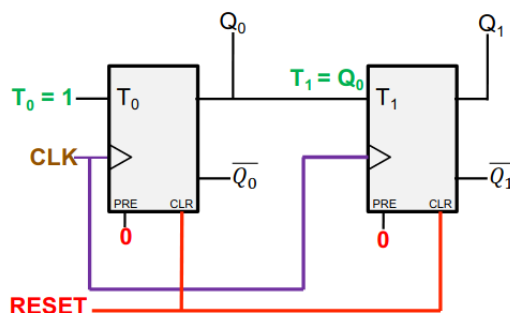


Figura 1. Exemplo de Contador Síncrono de 2 bits

Detalhe a mencionar-se é o fato de que este contador somente é possível por a existência de atrasos, pois, na borda de subida que registra mudança, tanto o primeiro

quanto segundo flip flop irão mudar, porém, o primeiro modifica-se somente após a borda, assim o segundo irá possuir o estado anterior do primeiro.

Utilizando um contador assíncrono temos que a mudança de cada contador irá ocorrer dependendo do anterior, assim, existem atrasos associados na mudança de estado em um aspecto geral [Mandelli 2021b], sendo que este tipo de contador é descrito utilizando flip-flops tipo T como:

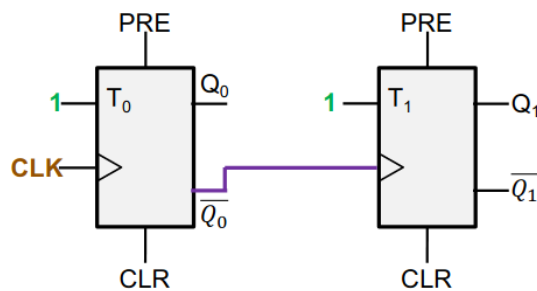


Figura 2. Exemplo de Contador Assíncrono de 2 bits

Cada um dos flip-flops utilizados possuem uma característica que tornam-os necessários para determinados usos, por exemplo, um contador assíncrono por possuir flip-flops que dependem uns dos outros possui um atraso propagação dos estados, assim, temos que a frequência de um flip-flop para o seu próximo irá ser reduzida pela metade, portanto, contadores assíncronos podem ser utilizados como divisores de frequência.

1.1. Objetivos

Através dos procedimentos realizados será observado de maneira geral uma análise referente ao comportamento de contadores e seu funcionamento, para os experimentos feitos será utilizado flip-flops do tipo T e JK, contudo, deve-se mencionar que estes mesmos procedimentos poderiam ser feitos utilizando outros tipos de flip-flops, por exemplo, flip-flops do tipo T podem ser expressos através dos tipo D e assim inversamente.

1.2. Materiais

Em função da natureza do ensino a distância, os presentes experimentos não foram realizados usando-se materiais e equipamentos físicos, mas sim emulados por meio do software Deeds.

A seguir estão enumerados os materiais utilizados:

- Software Deeds
- Portas lógicas
 - *NANDs* de 2 entradas
 - *NORs* de 2 entradas
 - *Flip-flops JK-nets*
 - *Display de saída de 8 Segmentos*
 - *Display de saída de 1 bit*
- *Clocks*

2. Procedimentos

Passaremos a apresentar os experimentos requeridos.

2.1. Contador Binário Progressivo Assíncrono

Este primeiro experimento realizado tem como objetivo a análise do atraso existente em um flip-flop JK-net e o que ocorrerá com a frequência e número de flip-flops ao criar-se um contador assíncrono utilizando estes componentes.

Aproveitando-se da implementação de um flip-flop JK-net existente no software Deeds 3, temos que o circuito implementado para somente um flip-flop será:

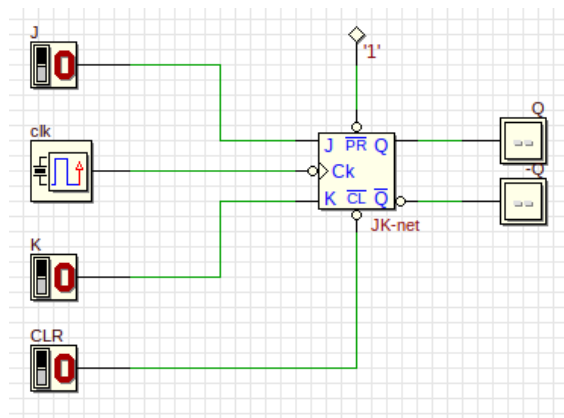


Figura 3. Implementação de um Flip-Flop JK-Net utilizando Deeds 3

Deve atentar-se que este flip-flop depende de sua borda de descida para a mudança de estados.

Simulando tem-se que seu diagrama de ondas será:

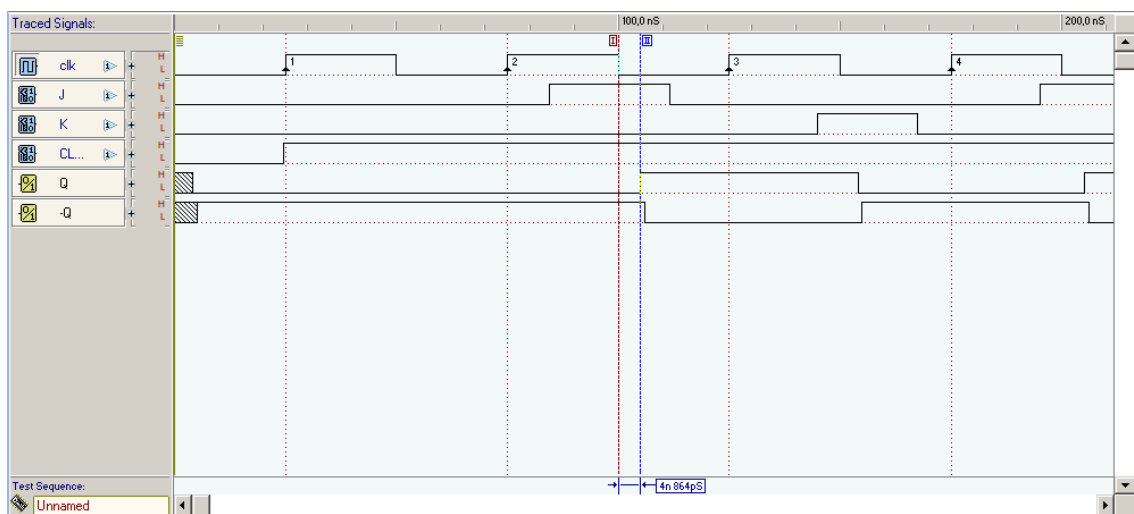


Figura 4. Diagrama de Onda de um Flip-Flop JK-Net

Observa-se que também realizou-se uma medida de atraso em sua saída, sendo então de aproximadamente $4,864nS$.

Portando, observa-se que:

$$t_{co} \approx 4,864nS \quad (1)$$

Para um contador de 4 estágios tem-se que a máxima frequência será determinada por:

$$f_{\max} = \frac{1}{N \cdot t_{co}} \quad (2)$$

$$f_{\max} = \frac{1}{4 \cdot t_{co}} \quad (3)$$

$$f_{\max} = \frac{1}{4 \cdot (4,864nS)} \quad (4)$$

$$f_{\max} \approx 51Mhz \quad (5)$$

Para um contador com frequência de $18Mhz$ e o tempo de atraso de t_{co} , então o número máximo de estágios será:

$$f_{\max} = \frac{1}{N \cdot t_{co}} \quad (6)$$

$$N = \frac{1}{f_{\max} \cdot t_{co}} \quad (7)$$

$$N = \frac{1}{18 \cdot 10^6 \cdot (4,864 \cdot 10^{-9})} \quad (8)$$

$$N = \frac{1}{18 \cdot 4,864 \cdot 10^{-3}} \quad (9)$$

$$N \approx 11 \quad (10)$$

Neste caso realiza-se um arredondamento para baixo, caso contrário será um número acima do esperado.

2.2. Implementação de um Contador Binário Progressivo Assíncrono

O circuito implementado será:

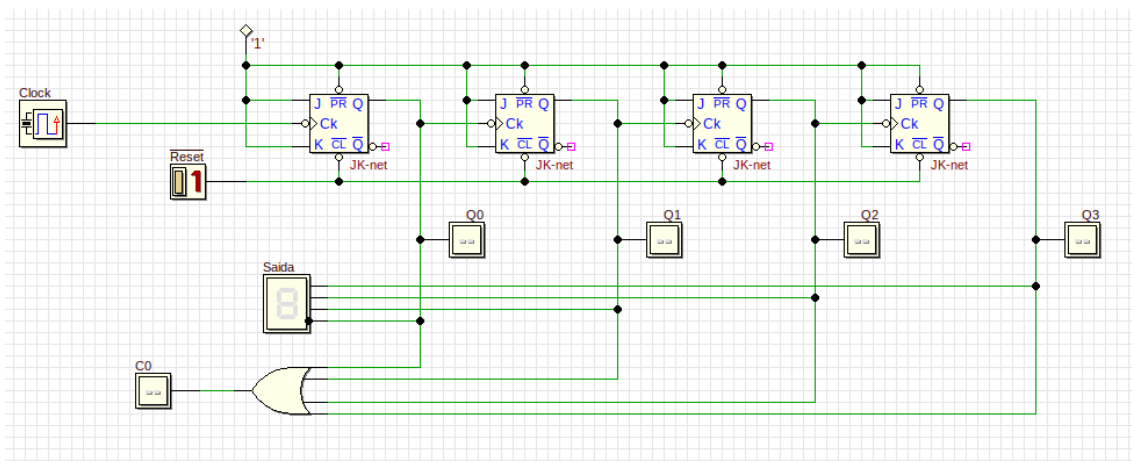


Figura 5. Contador 4 Estágios

Simulando teremos então: <https://youtu.be/BJ6SHOZX8E>
 Para a simulação de onda em um clock de 5MHz deste mesmo circuito teremos:

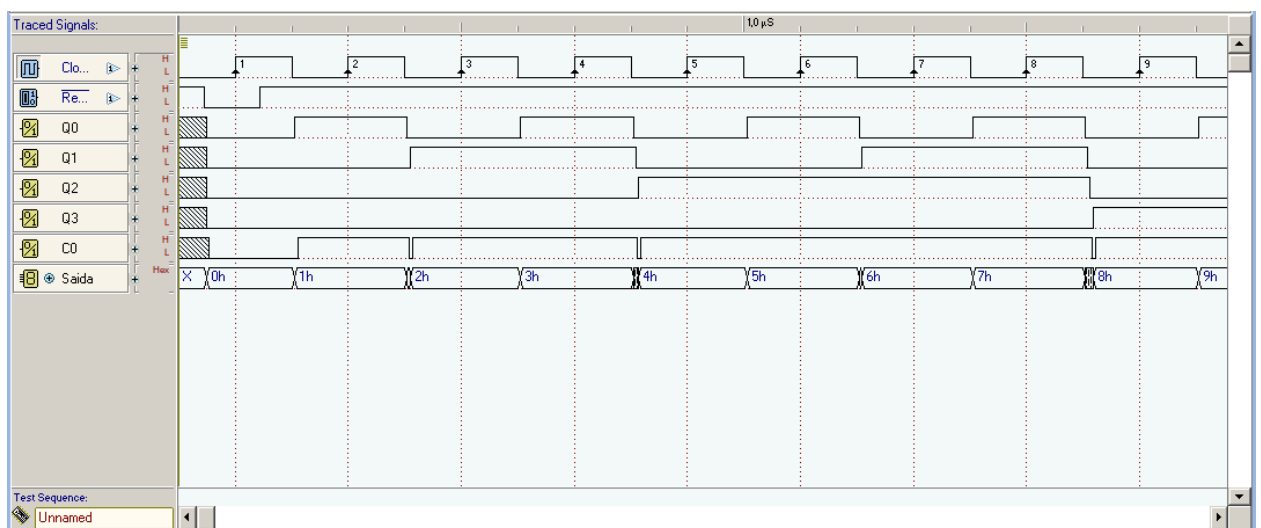


Figura 6. Diagrama de Ondas de um Contador 4 Estágios

Fator a ser mencionado é o fato de que existem certos glitches em C_0 , sendo assim, temos que em algumas de suas transições momentaneamente o valor de saída não é o esperado, parte dos momentos em que tal erro ocorre são quando $C_0 = 0$, ou seja, todas as saídas utilizadas resultam em 0.

Assim, sua tabela será definida por:

Tabela 1. Tabela Verdade para *Contador Assíncrono 4 Estágios*

Estado Atual				Próximo Estado			
Q_3	Q_1	Q_2	Q_0	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0
1	1	1	0	1	1	1	1
1	1	1	1	0	0	0	0

Adotando para este mesmo circuito um clock de $53.63MHz$, tem-se que seu diagrama será descrito por:

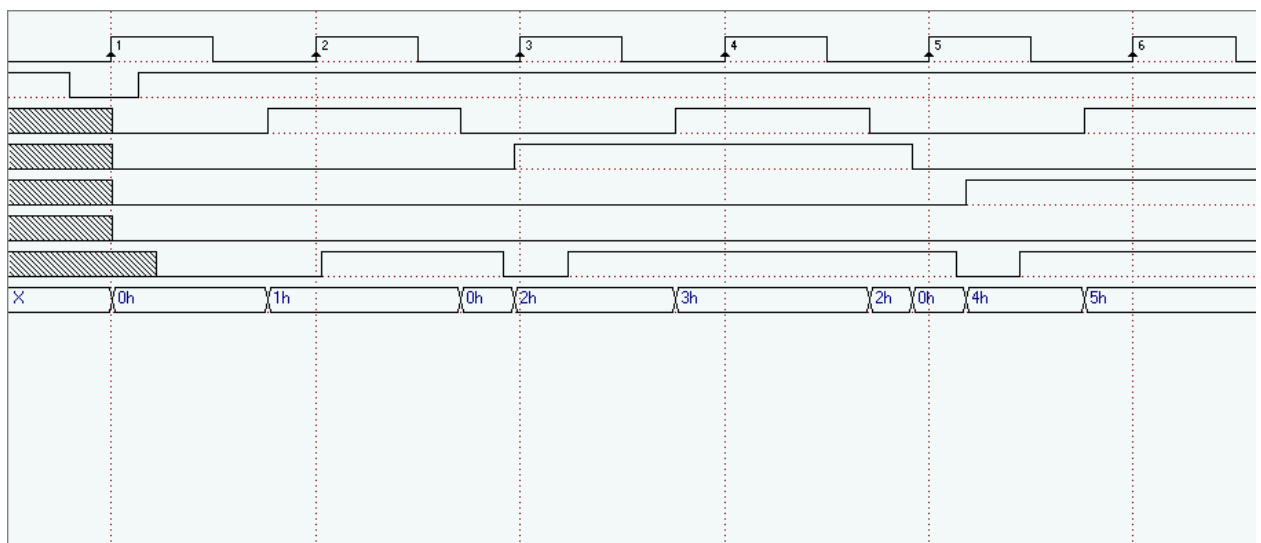


Figura 7. Diagrama de Ondas de um Contador 4 Estágios com clock de

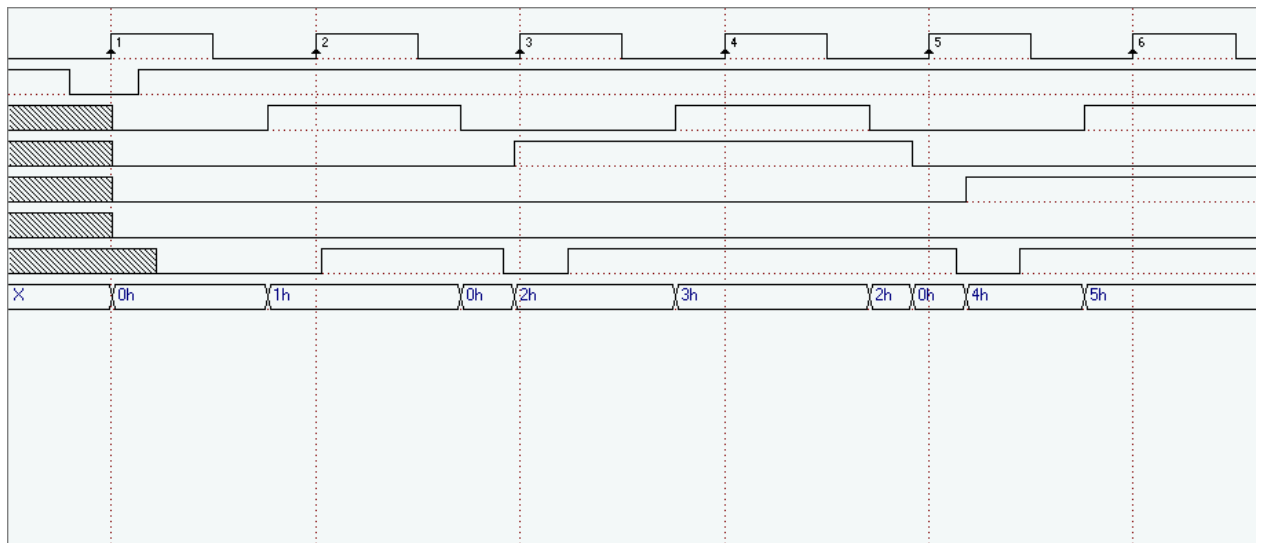


Figura 8. Diagrama de Ondas de um Contador 4 Estágios com clock de

Com os resultados obtidos observa-se então que os valores não seguem sua contagem padrão, apresentando comportamento irregular pelo fato da alta frequência não criar tempo necessário para descrever as mudanças.

2.3. Implementação de um Contador em Anel

Para esse tópico precisamos projetar e, posteriormente, desenhar no *Deeds* um circuito que opere como contador em anel de 4 estágios.

Começaremos, portanto, projetando o circuito. Como ensinado em [Mandelli 2021a], podemos criar um contador em anel acoplando vários *Flip-Flops JK* em série, assim como mostrado na imagem 9.

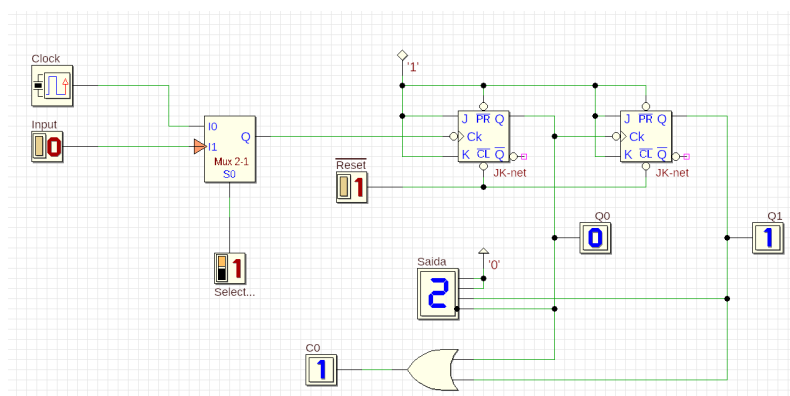


Figura 9. Circuito para o contador em anel de 4 estágios

Assim, nós dispomos agora do circuito requisitado para este tópico. O próximo passo agora é a demonstração do circuito operando. Para isso, confira no vídeo a seguir a simulação interativa no *Deeds*: <https://youtu.be/yIULsK-WZhA>

Por fim, faremos a análise da simulação em forma de onda para esse circuito. Como é possível verificar na figura 10, o circuito possui dois estados transitórios significativos, que são os estágios “1 → 2” e “3 → 0”.

Medindo os intervalos, podemos ver pelas figuras 11 e 12 que o intervalos “1 → 2” e “3 → 0” são de respectivamente $5nS$ e $4nS$.

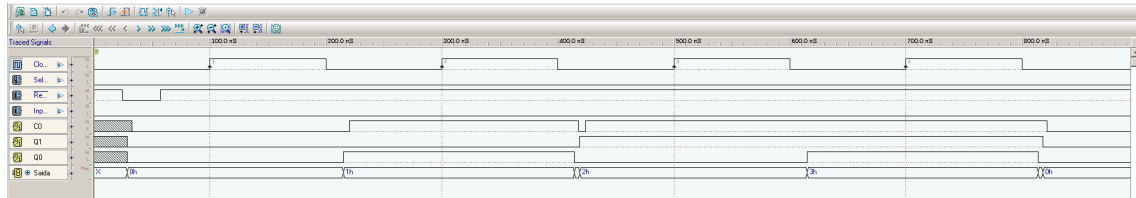


Figura 10. Simulação em forma de onda

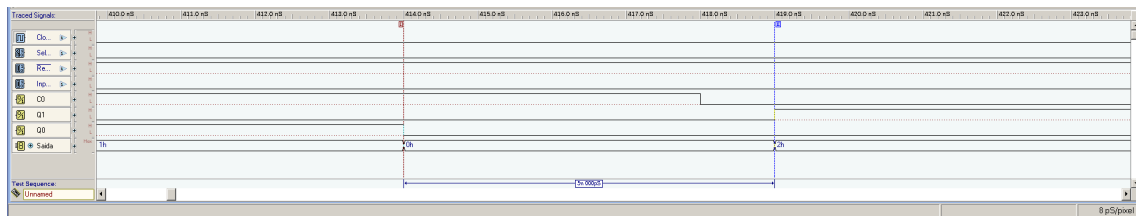


Figura 11. Zoom na transição 1 → 2

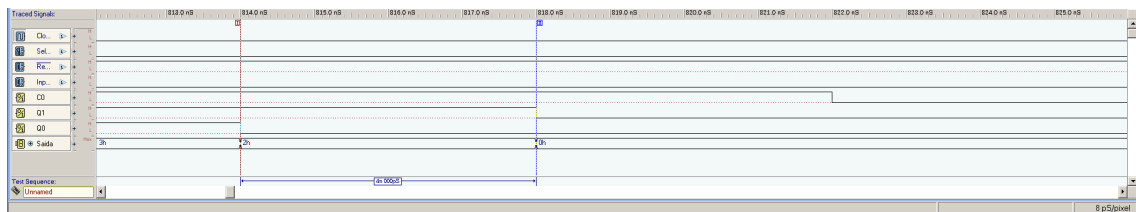


Figura 12. Zoom na transição 3 → 0

2.4. Implementação de um Contador Síncrono

Para esse tópico, devemos projetar e desenhar um contador síncrono progressivo de módulo 6 que conte conforme a sequência da tabela 2, usando apenas *Flip-Flops JK* e portas *NAND*.

Tabela 2. Sequência de Contagem desejada

Sequência	Q_0	Q_1	Q_2
0	0	0	0
1	1	0	0
2	0	1	1
3	0	1	0
4	1	0	1
5	1	1	1

Assim, podemos criar uma fórmula lógica para cada uma das variáveis desejadas $\{Q_0, Q_1, Q_2\}$. Vamos inicialmente estabelecer que desejamos emular o funcionamento de *Flip-Flops T* usando os *Flip-Flops JK* pet requisitados. Assim, temos que as saídas emuladas de $\{T_0, T_1, T_2\}$ devem ser:

Tabela 3. Tabela Verdade para T_0

Entradas			Saída
Q_0	Q_1	Q_2	T_0
0	0	0	1
1	0	0	1
0	1	1	0
0	1	0	1
1	0	1	0
1	1	1	1

Tabela 4. Tabela Verdade para T_1

Entradas			Saída
Q_0	Q_1	Q_2	T_1
0	0	0	0
1	0	0	1
0	1	1	0
0	1	0	1
1	0	1	1
1	1	1	1

Tabela 5. Tabela Verdade para T_2

Entradas			Saída
Q_0	Q_1	Q_2	T_2
0	0	0	0
1	0	0	1
0	1	1	1
0	1	0	1
1	0	1	0
1	1	1	1

Portanto, considerando as tabelas vertades 3, 4 e 5, podemos agora fazer uma minimização lógica por mapa de karnaught e finalmente chegar às funções desejadas finais.

Os mapas de karnaught para cada umas das funções serão:

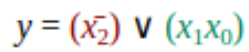


Diagram illustrating a 2D array structure with indices x_0 (horizontal) and x_1 (vertical). The array contains values 0, 1, 1, X in the top row and 1, X, 1, 0 in the bottom row. A green rounded rectangle highlights the cells (0,1) and (1,0). A red rounded rectangle highlights the cells (0,1), (0,2), (1,1), and (1,2).

$$y = (x_0) \vee (x_2 x_1)$$

$$y = (x_2 x_0) \vee (x_1)$$

Figura 15. Mapa de Karnaugh para T_2

Por fim, dispondo das funções finais, só nos resta implementar isso no Deeds, e podemos ver o circuito final na figura 16:

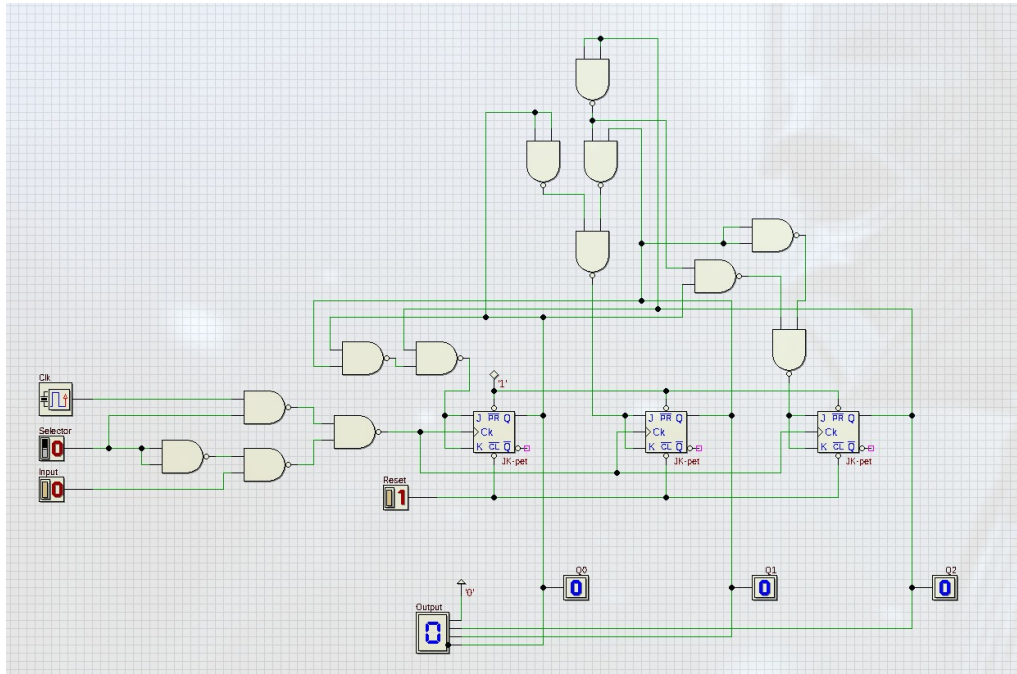


Figura 16. Circuito final para o Contador Síncrono

E, como requisitado no enunciado, compartilhamos também a forma de onda do circuito, e podemos notar que não existem estados diferentes dos esperados, logo concluímos que toda a implementação está de acordo com o padrão esperado. A forma de onda do circuito pode ser vista na figura 17.

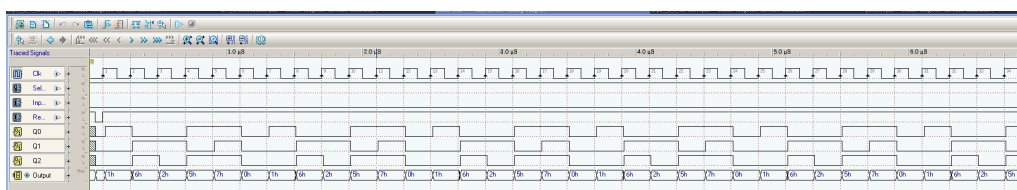


Figura 17. Circuito final para o Contador Síncrono

Para a verificação interativa do funcionamento do circuito, por gentileza acesse o seguinte link: <https://youtu.be/sDWA4cuvzaM>

3. Análise dos Resultados

Passaremos a analisar individualmente cada um dos tópicos anteriores, levantando observações pertinentes para cada um deles.

3.1. Análise do tópico 2.1

Os resultados obtidos no tópico 2.1 são os de fato esperados e verificados mais a frente, deve-se atentar que após a determinação de uma frequência máxima, através dos experi-

mentos realizados no tópico 2.2 que ao passar deste máximo contador apresentará comportamento inesperado.

3.2. Análise do tópico 2.2

Os resultados obtidos na seção 2.2 são esperados, contudo, algo a mencionar-se é o fato de que apesar da existência de glitches ao utilizar-se frequências abaixo da máxima, estes erros não afetam o comportamento padrão do circuito.

3.3. Análise do tópico 2.3

Como pôde-se observar no circuito montado, o contador funciona corretamente. Contudo, devido ao tempo de atraso inerente aos sistemas físicos, ocorrem estados não desejados nas bordas de transição “1 \rightarrow 2” e “3 \rightarrow 0”. Tal problema, devido ao atraso inerente das portas, faz-se difícil de corrigir, e é necessário manter em mente que tais estados podem afetar o comportamento de sistemas físicos reais implementados.

3.4. Análise do tópico 2.4

O sistema, um pouco mais complexo que os demais, pôde ser corretamente implementado, apenas utilizando-se *Flip-Flops JK* e portas *NAND*. Tal experimento mostra mais uma vez a universalidade de portas *NAND*, bem como a flexibilidade de *Flip-Flops JK*, uma vez que eles foram usados para emular o comportamento de *Flip-Flops T*. Também é válido notar que nesse circuito não houve a presença de nenhum estado indesejado nas bordas de transição, demonstrando a robustez da implementação proposta.

4. Conclusão

Pode-se comprovar parcialmente o funcionamento de contadores, sendo estes muito utilizados para criar comportamentos específicos além de somente agirem como contadores, podem atuar como divisores de frequência por exemplo. Deve-se notar que através dos procedimentos realizados também foi possível verificar a viabilidade de seus usos, e através das equações utilizadas ao longo dos procedimentos pode-se obter um método que modele condições ideais para o uso de contadores.

Referências

- [Mandelli 2021a] Mandelli, M. G. (2021a). Circuito de contadores em anel. <https://aprender3.unb.br/mod/resource/view.php?id=386117>.
- [Mandelli 2021b] Mandelli, M. G. (2021b). Contadores assíncronos. <https://aprender3.unb.br/mod/resource/view.php?id=386120>.
- [Mandelli 2021c] Mandelli, M. G. (2021c). Contadores síncronos. <https://aprender3.unb.br/mod/resource/view.php?id=386125>.

Auto-Avaliação

Respostas:

Questão	Resposta
1	V
2	V
3	F
4	F
5	F
6	V
7	V
8	V
9	F
10	V
11	V
12	F
13	F
14	V
15	F
16	V
17	F
18	F
19	F
20	V
21	V
22	F
23	F
24	V
25	V
26	F
27	V
28	V
29	V
30	F
31	V
32	F