

Experimento 8

Latches e Flip-Flops “D”

Matheus Cardoso de Souza, 202033507
Ualiton Ventura da Silva, 202033580
Grupo G42

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CIC0231 - Laboratório de Circuitos Lógicos

matheus-cardoso.mc@aluno.unb.br, 202033580@aluno.unb.br

Abstract. *This report will describe the behavior of D-type latches and flip-flops, as well as their status under specific circumstances and errors that can arise under these circumstances, and the correct way to avoid them.*

Resumo. *O presente relatório irá descrever o comportamento de latches e flip-flops do tipo D, assim como seu estado diante de circunstâncias específicas e erros que podem surgir diante destas circunstâncias e a maneira correta de evitá-los.*

1. Introdução

Circuitos sequenciais são aqueles capazes de “lembrar” seu estado anterior, desta forma, através destes mesmos circuitos somos capazes de criar dispositivos de memórias. [Mandelli 2021c]

Através de um **Flip-Flop D** e **Latch D**, somos capazes de registrar estados anteriores, porém, cada um destes possui sua própria característica, assim, no decorrer do relatório será abordado não somente de que forma são distintos mas como também a maneira que são arquitetados.

1.1. Objetivos

O relatório apresentado tem como objetivo a elaboração, implementação e análise de **Latches** e **Flip-Flops** tipo D, assim como também os erros associados ao indevido uso destes componentes ao serem desconsiderados fatores referentes a atrasos. Também será analisado algumas variações e implementações encontradas no software Deeds 3 que possuem entradas além das padrões, incluindo **PRESET** e **CLEAR**.

1.2. Materiais

Em função da natureza do ensino a distância, os presentes experimentos não foram realizados usando-se materiais e equipamentos físicos, mas sim emulados por meio do software Deeds.

A seguir estão enumerados os materiais utilizados:

- Software Deeds
- Portas lógicas
 - *NOT*
 - *NANDs* de 2 e 3 entradas
- *Clocks*
- *LEDs*

2. Procedimentos

Passaremos a apresentar os experimentos requeridos.

2.1. Implementação de Latch tipo D

Para este experimento realizamos a implementação de um Latch do tipo D, sendo que o circuito será implementado como:

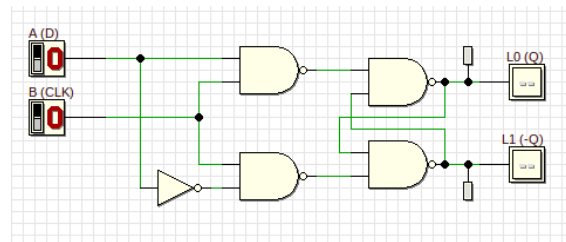


Figura 1. Latch D (implementado com NANDs)

Abaixo segue o link da realização do experimento:

<https://youtu.be/gftniIOs8g8>

Como mencionado em vídeo temos que por tratar-se de um Latch este será sensível ao nível lógico, algo a notar-se também trata-se das próprias características do Latch D, que em principal podemos perceber um estado de "escrita" de dados e outro que bloqueia este comportamento.

Sua tabela verdade será descrita por:

Tabela 1. Tabela Verdade para Latch RS

Entradas		Saídas	
A (Dado)	B (Clock)	L0 (Q_{n+1})	L1 ($\overline{Q_{n+1}}$)
0	X	Q_n	$\overline{Q_n}$
1	0	0	1
1	1	1	0

Onde em "X" indica-se que B poderá assumir tanto valor lógico 1 quanto 0, mas o resultado será o mesmo.

2.2. Implementação de Flip Flop Tipo D

Neste experimento tem-se como objetivo a elaboração de um Flip-Flop D, seu circuito será implementado como:

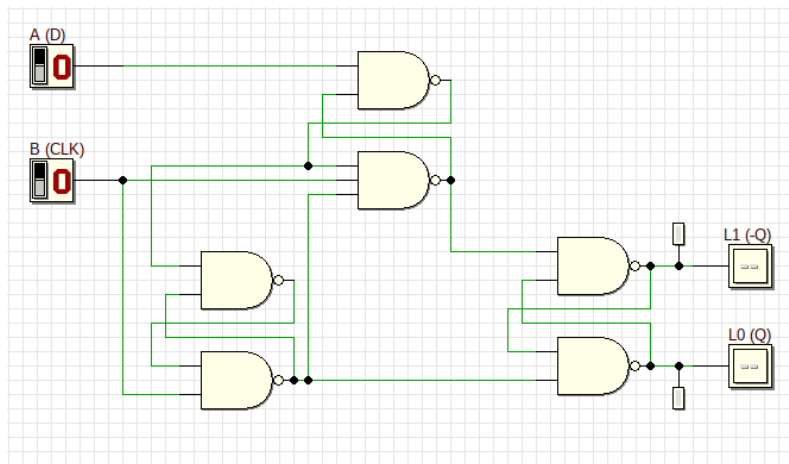


Figura 2. Flip-Flop D (implementado com *NANDs*)

Abaixo segue vídeo descrevendo tal comportamento:

<https://youtu.be/vtqKHMwGw2I>

Portanto, assim como descrito em vídeo observa-se que Flip-Flops são sensíveis as bordas de um nível lógico, ou seja, os momentos de transições de estados lógicos do clock.

Temos também que seu diagrama de tempo poderá ser descrito por:

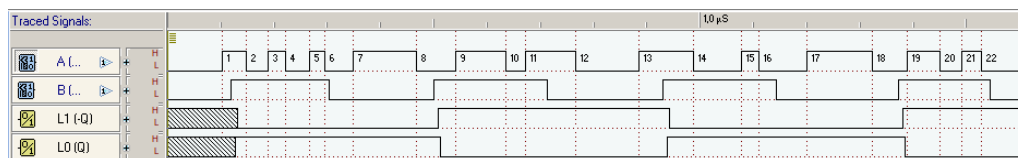


Figura 3. Diagrama de onda de um Flip-Flop D)

Sendo possível analisar-se que o estado que a saída adotará são somente os obtidos nos momentos de transição de onda.

Apesar dos muitos estados definidos para A e B , tem-se portanto que os únicos que são de fato relevantes encontram-se nas bordas, então, analisando os estados das bordas temos:

Tabela 2. Tabela Verdade para *Latch RS*

Entradas		Saídas	
A (<i>Dado</i>)	B (<i>Clock</i>)	$L0$ (Q_{n+1})	$L1$ (\overline{Q}_{n+1})
X	B_D	Q_n	\overline{Q}_n
0	B_S	0	1
1	B_S	1	0

Sendo B_S notação para descrever "Borda de Subida" e B_D , "Borda de Descida".

2.3. Utilizando Flip-Flop D-pet

Este experimento tem como objetivo utilizar um flip-flop D-pet implementando pelo próprio software Deeds 3. Sendo que o circuito implementado será:

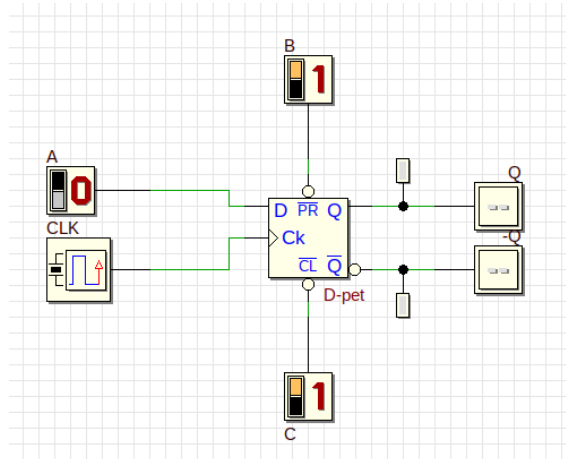


Figura 4. Flip-Flop D-Pet)

Abaixo segue o vídeo de seu funcionamento:

<https://youtu.be/StN-QMQAtYg>

Como apresentado em vídeo tem-se então que as entradas e **PRESET** e **CLEAR** são responsáveis por a determinação de estados que não podem ser modificados por as entradas.

2.4. Desenvolvendo Três Circuitos

Para a elaboração do primeiro experimento deste item temos o seguinte circuito:

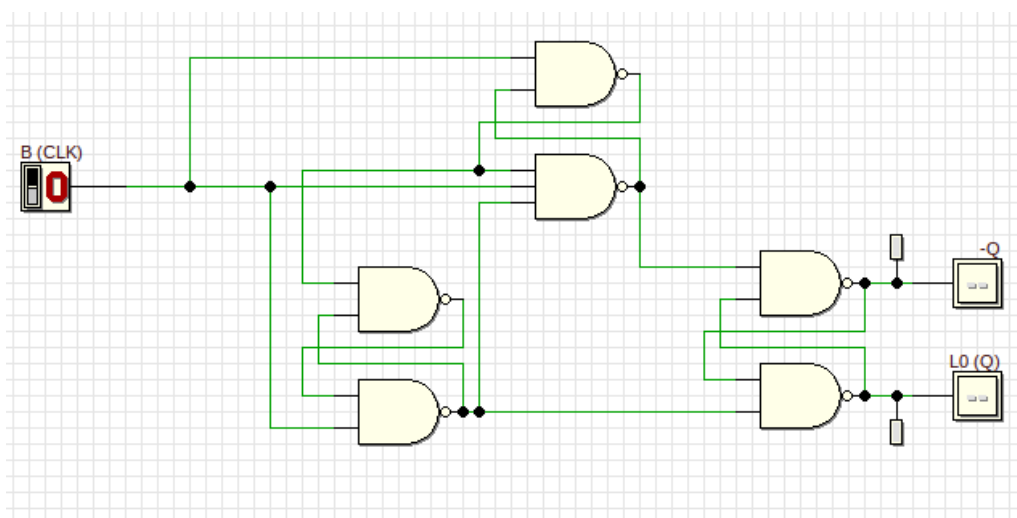


Figura 5. Flip-Flop D com uma entrada

Abaixo temos então o vídeo experimento realizado:

<https://youtu.be/WFaBWNnwc4c>

Pode-se notar então que para um estado onde **clock** e **dado** são simultâneos ocorre então uma oscilação em seus resultados. Podendo ser descrito por a seguinte simulação:

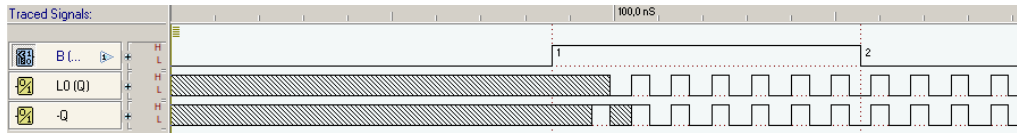


Figura 6. Flip-Flop D com uma entrada Simulação

Percebendo-se então uma instabilidade.

Elaborando então o segundo experimento deste item, temos que o circuito será:

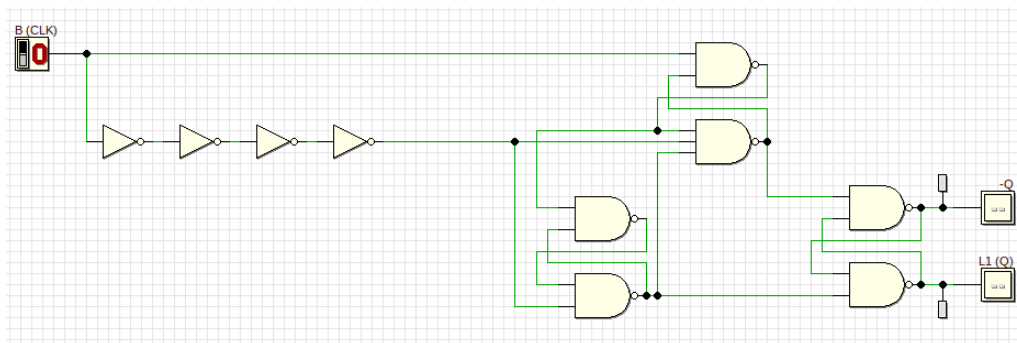


Figura 7. Flip-Flop D com uma entrada Simulação

Segue abaixo a execução do experimento:

<https://youtu.be/V7lgSmCzCsk>

Como descrito em vídeo tem-se então que foi possível a existência de clock e dado e dado "simultâneos", pois o tempo de setup é respeitado ao criar atraso em sua entrada de clock.

Este último circuito analisa o mesmo feito anteriormente, contudo, invertendo em qual entrada são colocadas as portas **NOT**, sendo então o circuito descrito por:

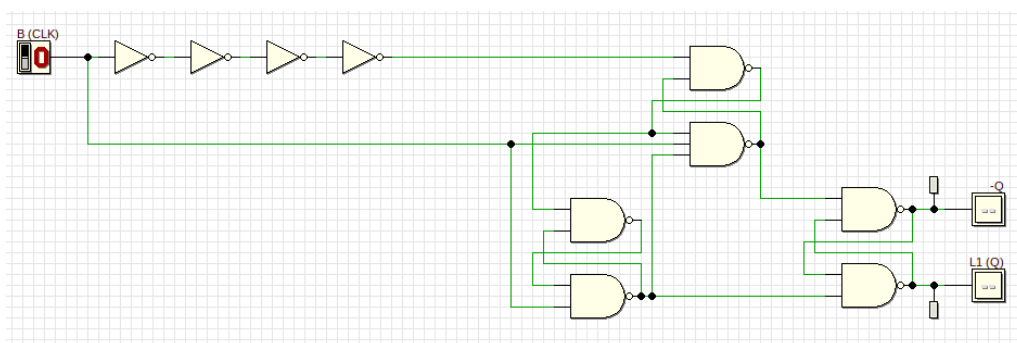


Figura 8. Flip-Flop D com uma entrada Simulação

Segue abaixo o vídeo de sua simulação:

<https://youtu.be/CR1-3gQ-y9Q>

Portanto, assim como descrito em vídeo, por haver um atraso referente aos dados, a cada transição será obtido sempre 0 para Q .

3. Análise dos Resultados

Passaremos a analisar cada um dos tópicos anteriores, levantando observações pertinentes para cada um deles.

3.1. Análise do tópico 2.1 e 2.2

Os resultados obtidos nas seções 2.1 e 2.2 são as de fato esperadas em teoria, contudo, deve-se atentar ao fato de que existem atrasos existentes e é necessário a definição de tempo de setup para que erros expressivos e danosos não ocorram.

3.2. Análise do tópico 2.3

Este tópico não definiu a nível de portas lógicas como o circuito Flip-Flop D-Pet seria implementado, focando-se então somente em seus resultados, detalhe a ser notado é o fato de que "Preset" e "Clear" não podem ser ativos simultaneamente, por não haver um estado que possui maior relevância do que o outro.

Sendo assim, considerando que **Preset** coloca sua saída em 1 e **Clear** em 0, não é possível determinar qual dos dois seria sua saída, obtendo-se então um estado proibido.

3.3. Análise do tópico 2.4

Os resultados obtidos nesta última seção encontra-se em grande parte na análise dos erros e como ocorrem, de maneira que ocorrem assim como esperado.

Deve ser notado que é necessário então a existência de tempo de setup, caso contrário erros como os descritos nesta seção irão ocorrer, algo que poderia surgir de questionamento seria se o resultado obtido na terceira parte deste experimento mudaria se iniciássemos através de um nível lógico alto ao invés de baixo, contudo, não mudaria, pois, o circuito elaborado depende das bordas de subida, assim, estará indefinido até que encontre-se uma borda de subida.

4. Conclusão

Pode-se ao longo de todo o atual relatório analisar além da criação, mas como estes "circuitos de memórias" devem ser manipulados, fator não mencionado trata-se da associação entre **Flip-Flops** ou **Latches** e como este atraso poderá afetar consideravelmente o tempo de resposta de um sistema.

Os circuitos aqui demonstrados apesar de possuírem diversos usos no cotidiano não estão necessariamente otimizados, contudo, com o uso dos **Flip-Flops** aqui apresentados poderia ser desenvolvido outras ferramentas através de sua associação, podendo acarretar em outros sistemas mais complexos, como contadores por exemplo.

Referências

- [Mandelli 2021a] Mandelli, M. G. (2021a). Flip-flop t e preset-clear. <https://aprender3.unb.br/mod/resource/view.php?id=386092>.
- [Mandelli 2021b] Mandelli, M. G. (2021b). Flip-flops rs, d e jk. <https://aprender3.unb.br/mod/resource/view.php?id=386087>.
- [Mandelli 2021c] Mandelli, M. G. (2021c). Latches rs e d simples. <https://aprender3.unb.br/mod/resource/view.php?id=386082>.

Auto-Avaliação

Respostas:

Questão	Resposta
1	B
2	A
3	A
4	C
5	C
6	B
7	A
8	B
9	C
10	A