

Experimento 3

Circuitos Combinacionais: Mapa de Karnaugh

Matheus Cardoso de Souza, 202033507

Ualiton Ventura da Silva, 202033580

Grupo G42

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)

CIC0231 - Laboratório de Circuitos Lógicos

matheus-cardoso.mc@aluno.unb.br, 202033580@aluno.unb.br

Abstract. This report corresponds to the Experiment 3 on “Combinational Circuits: **Karnaugh Map**”. With this experiment we were able to more broadly apply and understand **NAND** gate’s property of functional completeness, applying only this logic gate to build a Majority Decision Circuitry, as well as a Minority Decision and a Equality Decision Circuitry.

Resumo. O presente relatório corresponde ao Experimento 3 sobre “Circuitos Combinacionais: **Mapa de Karnaugh**”. Com esse experimento pudemos aplicar e entender mais amplamente a propriedade de completude funcional das portas lógicas **NAND**, aplicando somente elas para criar três circuitos: *Decisão de Maioria, Minoria e Igualdade*.

1. Introdução

Os experimentos realizados neste relatório visam abordar assuntos como a criação de circuitos combinacionais utilizando minimização lógica através de mapas de Karnaugh. Além disso, exploraremos a universalidade e completude das portas **NAND** para a construção de qualquer circuito lógico desejado.

Cabe observar que, valendo-se do uso de ferramentas de simplificação lógica como o mapa de Karnaugh (ou o algoritmo de Quine–McCluskey, não abordado nesse experimento), podemos não somente facilitar a construção de circuitos lógicos, mas também reduzir gastos com componentes físicos, pois a minimização lógica em grande maioria dos casos, leva a um uso de menos portas lógicas, facilitando tanto a vida do projetista que precisa organizar os circuitos que devem ser montados, como o poupa da necessidade de arcar com outros circuitos integrados caso fosse implementar uma função lógica menos otimizada.

1.1. Objetivos

Neste experimento temos como objetivo abordar conceitos referentes ao uso de mapas de Karnaugh para a simplificação de funções booleanas, a fim de proporcionar a criação de circuitos combinacionais mais simples e eficientes. Também exploraremos a propriedade de universalidade das portas **NAND** para construção de qualquer circuitos lógicos, bem como pretendemos nos valer de regras como as de Demorgan para converter funções booleanas que aprincípio não utilizariam portas **NAND** para funções equivalentes que façam uso exclusivamente dessas portas.

1.2. Materiais

Em função da natureza do ensino a distância, os presentes experimentos não foram realizados usando-se materiais e equipamentos físicos, mas sim emulados por meio do simulador online Tinkercad, e também do Deeds.

A seguir estão enumerados os materiais simulados:

- Painel Digital
- *Protoboard*
- Fios
- Seletores de estado lógico
- LEDs
- Resistores
- Multímetros
- Portas Lógicas **NAND**

2. Procedimentos

Passaremos a apresentar os experimentos requeridos.

2.1. Circuito para “*Decisão de Maioria*” utilizando apenas portas NAND

O atual experimento visa implementar um circuito para *Decisão de Maioria* utilizando somente portas **NAND**. O circuito deve ter 4 inputs (**A**, **B**, **C** e **D**) e ter como output uma saída em LED ($Y_1 = \text{L0}$).

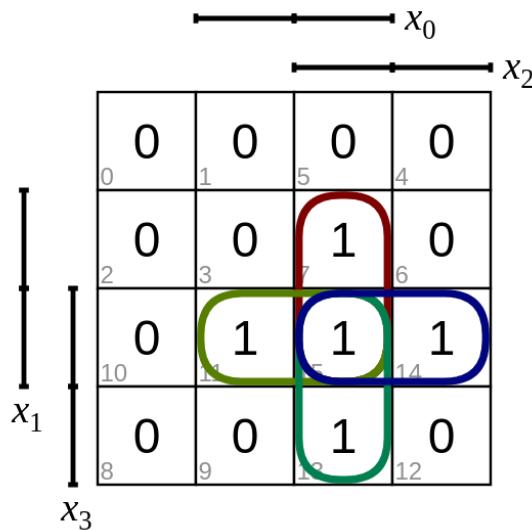
Como desejamos fazer uma decisão de maioria, precisamos inicialmente planejar qual circuito lógico produziria o resultado desejado. Assim, precisamos inicialmente construir a tabela verdade desejada, que será a seguinte:

Tabela 1. Tabela Verdade para Decisão de Maioria

Entradas				Saída
D	C	B	A	L0 = Y₁
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

De posse da tabela verdade, podemos criar uma fórmula booleana que retorne o output desejado. Criando o mapa de Karnaugh para essa tabela verdade, observamos o seguinte:

Obs: Utilizamos a ferramenta referenciada em [Marburg] para criar esse e os seguintes mapas de karnaugh.



$$y = (x_2 x_1 x_0) \vee (x_3 x_1 x_0) \vee (x_3 x_2 x_0) \vee (x_3 x_2 x_1)$$

Figura 1. Mapa de Karnaugh para o “Círcuito de Maioria”

Observando o mapa de Karnaugh, vemos que, por *Soma de Produtos*, temos a seguinte equação para Y_1 :

$$Y_1 = (ABC) + (ABD) + (ACD) + (BCD) \quad (1)$$

Entretanto, como devemos representar essa fórmula apenas em termos de portas **NAND**, precisamos modificar a equação um pouco. Também temos a questão de que esse circuito seria muito complexo para se implementar usando uma conversão direta das portas usadas na “*Figura 10*” do roteiro por portas **NAND** requeridas no enunciado. Por isso, também realizaremos alguns passos para minimização da função booleana.

$$Y_1 = (ABC) + (ABD) + (ACD) + (BCD) \quad (2)$$

$$Y_1 = AB \cdot (C + D) + CD \cdot (A + B) \quad (3)$$

$$Y_1 = AB \cdot (\bar{C} + \bar{D}) + CD \cdot (\bar{A} + \bar{B}) \quad (4)$$

$$Y_1 = AB \cdot \overline{(C \cdot D)} + CD \cdot \overline{(A \cdot B)} \quad (5)$$

$$Y_1 = \overline{\overline{[AB \cdot \overline{(C \cdot D)}]} + \overline{[CD \cdot \overline{(A \cdot B)}]}} \quad (6)$$

$$Y_1 = \left\{ \overline{[AB \cdot \overline{(C \cdot D)}]} \cdot \overline{[CD \cdot \overline{(A \cdot B)}]} \right\} \quad (7)$$

Possuindo a fórmula final 7 para o resultado Y_1 desejado, podemos criar um diagrama de mapeamento da função booleana para o circuito lógico final:

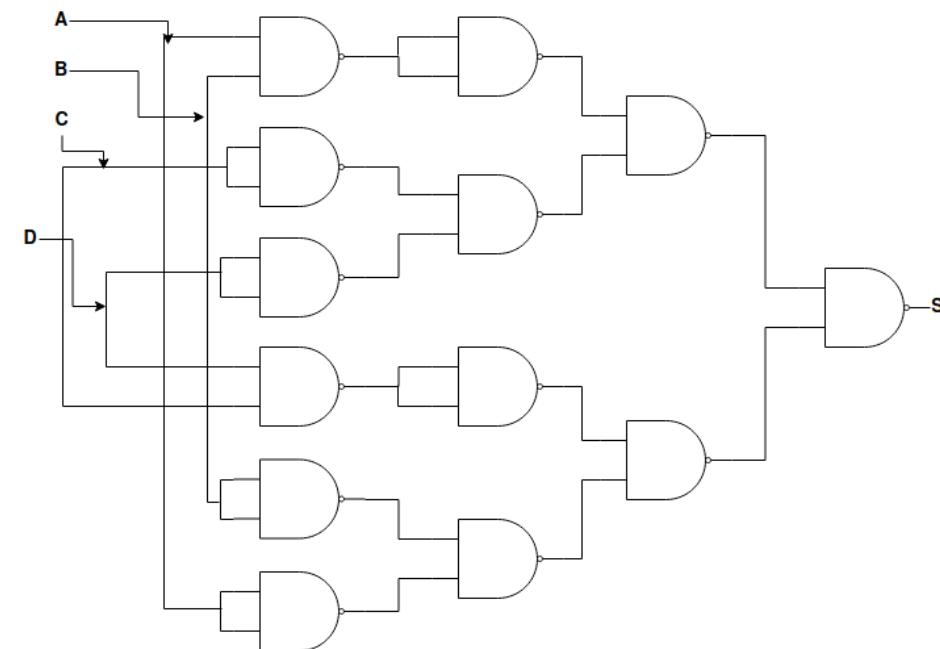


Figura 2. Decisão de Maioria apenas com portas NAND

É possível concluir através da tabela, do diagrama, e da fórmula em 7, que de fato o circuito lógico final descreve uma decisão de maioria com 4 entradas utilizando apenas usando portas **NAND**.

Como requisitado, apresentamos a montagem do circuito abaixo:

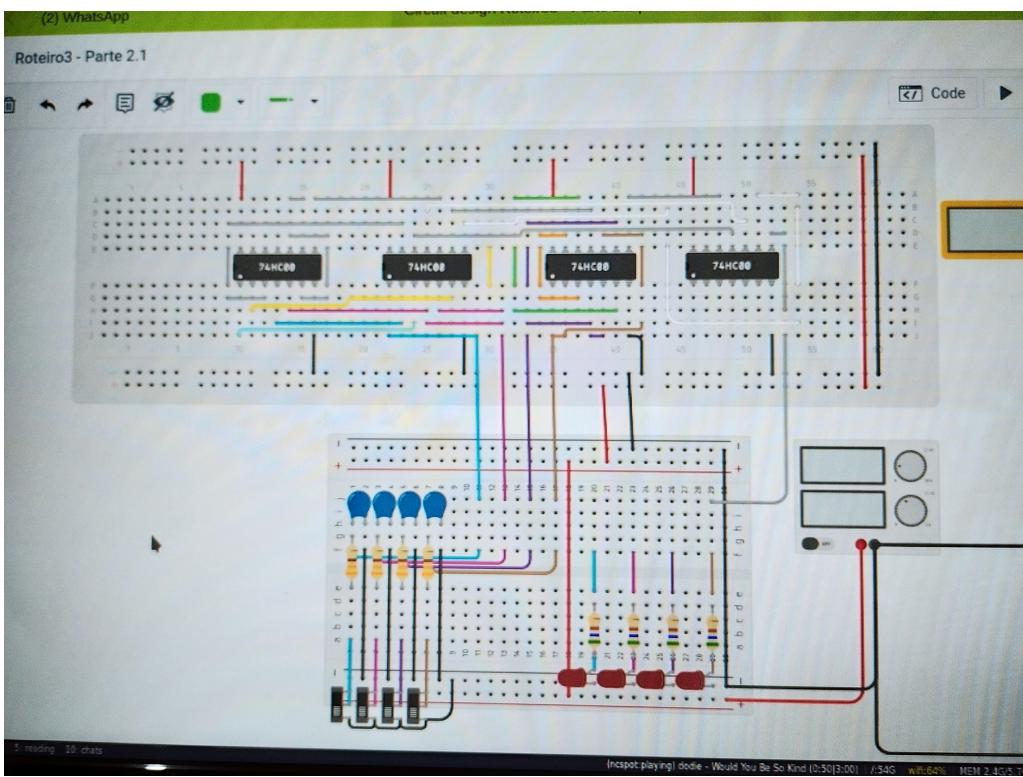


Figura 3. Montagem do circuito para *Decisão de Maioria* apenas com portas NAND

Para conferir o vídeo deste experimento, acesse o seguinte link:
<https://youtu.be/TXYnvVoP6OI>.

2.2. Circuito para “*Decisão de Minoria*” utilizando apenas portas NAND

O atual experimento visa implementar um circuito para *Decisão de Minoria* utilizando somente portas **NAND**. O circuito deve ter 4 inputs (**A, B, C e D**) e ter como output uma saída em LED ($Y_2 = \text{L1}$).

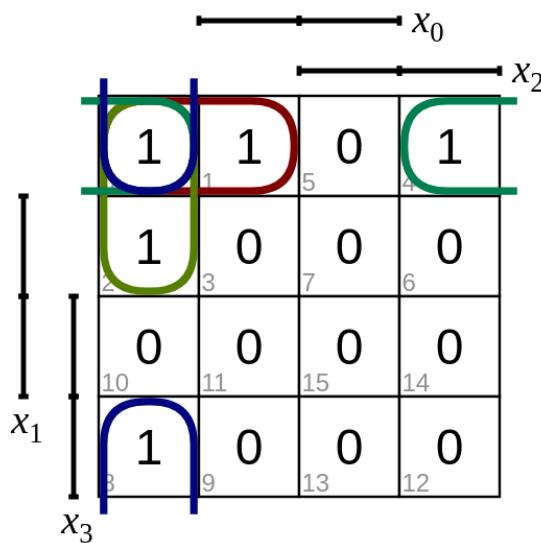
Esse experimento é muito semelhante ao anterior. Dessa forma, seguiremos os mesmos passos:

Como desejamos fazer uma decisão de minoria, precisamos inicialmente planejar qual circuito lógico produziria o resultado desejado. Assim, a tabela verdade desejada será:

Tabela 2. Tabela Verdade para Decisão de Minoria

Entradas				Saída
D	C	B	A	L1 = Y2
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

De posse da tabela verdade, podemos criar uma fórmula booleana que retorne o output desejado. Criando o mapa de Karnaugh da mesma, observamos o seguinte:



$$\begin{aligned}
 y = & (\bar{x}_3 \bar{x}_2 \bar{x}_1) \vee (\bar{x}_3 \bar{x}_2 \bar{x}_0) \vee \\
 & (\bar{x}_3 \bar{x}_1 \bar{x}_0) \vee (\bar{x}_2 \bar{x}_1 \bar{x}_0)
 \end{aligned}$$

Figura 4. Mapa de Karnaugh para o “Circuito de Minoria”

Observando o mapa de Karnaugh, vemos que, por *Soma de Produtos*, temos a seguinte equação para Y_2 :

$$Y_2 = (\overline{A} \cdot \overline{B} \cdot \overline{C}) + (\overline{A} \cdot \overline{B} \cdot \overline{D}) + (\overline{A} \cdot \overline{C} \cdot \overline{D}) + (\overline{B} \cdot \overline{C} \cdot \overline{D}) \quad (8)$$

Entretanto, como devemos representar essa fórmula apenas em termos de portas **NAND**, podemos modificar a equação a fim de facilitar a implementação. Também temos a questão de que esse circuito seria muito complexo para se implementar usando uma conversão direta das **OR** para portas **NAND** requeridas no enunciado. Portanto, também realizaremos alguns passos para minimização da função booleana.

$$Y_2 = (\overline{A} \cdot \overline{B} \cdot \overline{C}) + (\overline{A} \cdot \overline{B} \cdot \overline{D}) + (\overline{A} \cdot \overline{C} \cdot \overline{D}) + (\overline{B} \cdot \overline{C} \cdot \overline{D}) \quad (9)$$

$$Y_2 = \overline{A} \cdot \overline{B} \cdot (\overline{C} + \overline{D}) + \overline{C} \cdot \overline{D} \cdot (\overline{A} + \overline{B}) \quad (10)$$

$$Y_2 = \overline{A} \cdot \overline{B} \cdot \overline{(CD)} + \overline{C} \cdot \overline{D} \cdot \overline{(AB)} \quad (11)$$

$$Y_2 = \overline{\left[\overline{A} \cdot \overline{B} \cdot \overline{(CD)} \right]} + \overline{\left[\overline{C} \cdot \overline{D} \cdot \overline{(AB)} \right]} \quad (12)$$

$$Y_2 = \overline{\left(\overline{\left[\overline{A} \cdot \overline{B} \cdot \overline{(CD)} \right]} \cdot \overline{\left[\overline{C} \cdot \overline{D} \cdot \overline{(AB)} \right]} \right)} \quad (13)$$

Possuindo a fórmula final 13 para o resultado Y_2 desejado, podemos criar um diagrama de mapeamento da função booleana para o circuito lógico final:

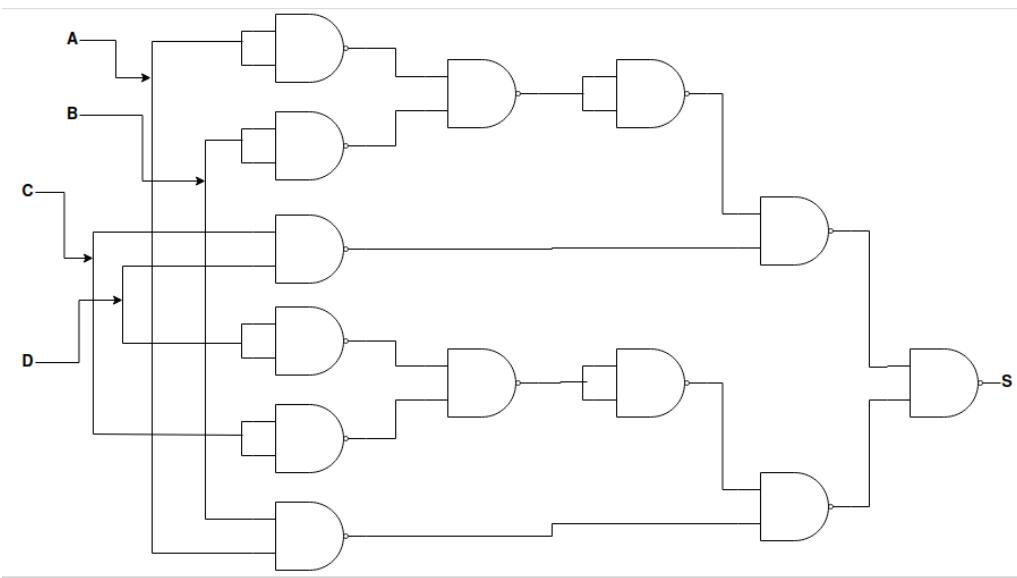


Figura 5. Decisão de Minoria apenas com portas NAND

É possível concluir através da tabela, do diagrama, e da fórmula em 13, que de fato o circuito lógico final descreve uma decisão de minoria com 4 entradas utilizando apenas portas **NAND**.

Como requisitado, apresentamos a montagem do circuito abaixo:

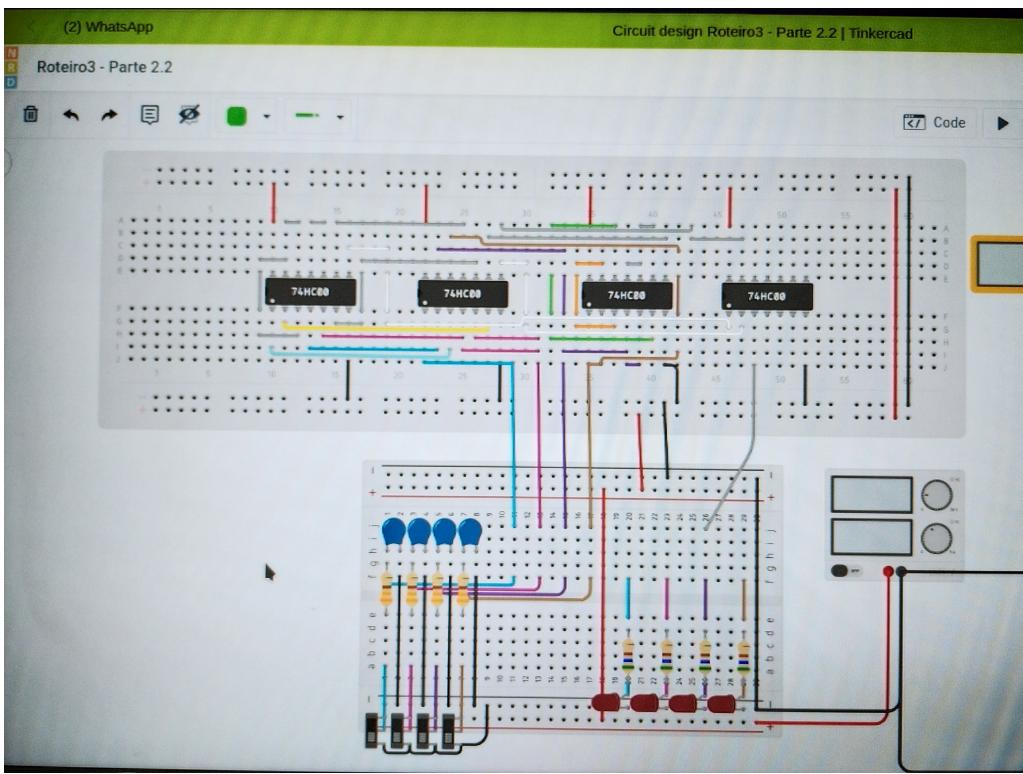


Figura 6. Montagem do circuito para *Decisão de Minoria* apenas com portas NAND

Para conferir o vídeo deste experimento, acesse o seguinte link: <https://youtu.be/7aZFW8PNZ44>.

2.3. Circuito para “*Decisão de Igualdade*” utilizando apenas portas NAND

O atual experimento visa implementar um circuito para *Decisão de Igualdade* utilizando somente portas **NAND**. O circuito deve ter 4 inputs (**A, B, C e D**) e ter como output uma saída em LED ($Y_3 = L2$).

Esse experimento é muito semelhante aos anteriores, e fará uso dos circuitos combinacionais já montados para produzir seu output.

Como desejamos fazer uma decisão de igualdade, e dado que já dispomos de um circuito para decisão de maioria e outro para minoria, podemos lançar mão desses circuitos para construir o desejado. Tal utilização dos já criados se dará da seguinte forma: Sejam **S1** e **S2** as saídas lógicas dos circuitos de maioria e minoria, respectivamente, temos que a saída do circuito de igualdade, dado por **S3** deverá ser:

Tabela 3. Decisão de Igualdade, baseado nos circuitos de Maioria e Minoria

Entradas		Saída
S1	S2	S3
0	0	1
0	1	0
1	0	0
1	1	*

Cabe ressalvar que na tabela 3, a última linha possui o valor de output “*” pois a entrada “ $S1 = 1, S2 = 1$ ” é logicamente impossível de ocorrer. Dessa forma, podemos atribuir o valor de *don't care* para esse output. Fazendo isso, passamos de uma função final $Y_3 = S1 \cdot S2 + \overline{S1} \cdot \overline{S2}$ para uma forma mais simplificada $Y_3 = \overline{S1} \cdot \overline{S2}$.

Por questão de completude, reproduziremos também a tabela verdade do circuito de Decisão de Igualdade; Cabe ressaltar, entretanto, que não utilizamos mapa de Karnaugh nem outro método para gerar essa tabela nem construir o circuito lógico. O que fizemos, entretanto, foi utilizarmos as saídas dos circuitos de Decisão de Maioria e Minoria.

Tabela 4. Tabela Verdade para Decisão de Igualdade

Entradas				Saída
D	C	B	A	L2 = Y_3
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Como desejamos fazer uma decisão de igualdade, basta pegarmos o resultado da *Soma de Produtos* da tabela 3 acima.

Dessa forma, concluímos que a saída Y_3 desejada pode ser expressa da seguinte

forma:

$$Y_3 = S3 = \overline{S1} \cdot \overline{S2} \quad (14)$$

Esquematicamente, teremos o seguinte diagrama:

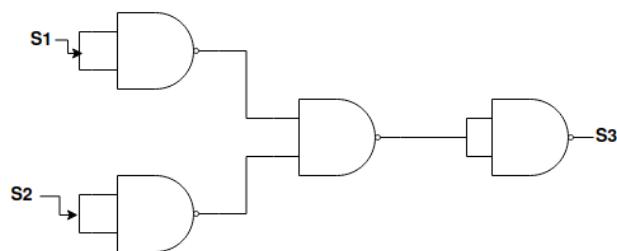


Figura 7. Decisão de Igualdade, utilizando circuitos para Decisão de Maioria e Minoria

É possível concluir através da tabela, do diagrama, e da fórmula em 14, que de fato o circuito lógico final descreve uma decisão de minoria com 4 entradas utilizando apenas portas **NAND**.

Como requisitado, apresentamos a montagem do circuito abaixo:

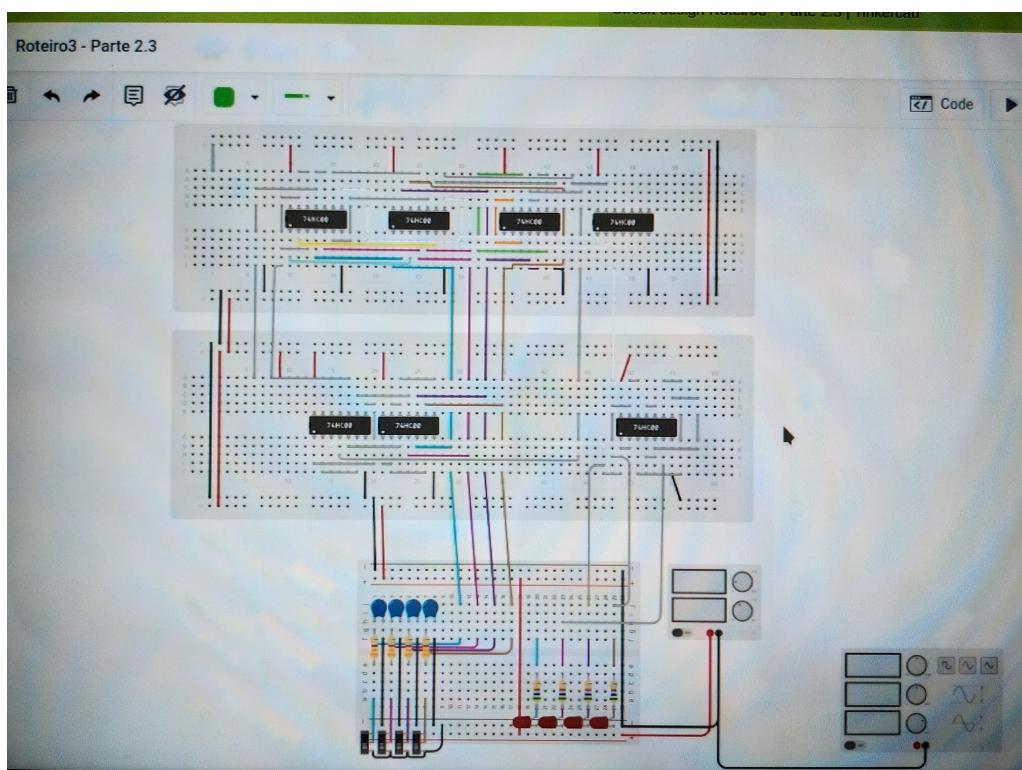


Figura 8. Montagem do circuito para Decisão de Igualdade apenas com portas NAND

Para conferir o vídeo deste experimento, acesse o seguinte link:
<https://youtu.be/4czNGPVAp7s>.

3. Análise dos Resultados

Através da utilização do teorema de Demorgan foi possível obter uma maior minimização, sendo que indiretamente pode-se comprovar a veracidade do teorema, e também pudemos aplicar a transição entre portas, ou seja, com portas **OR** chegar a uma **AND**. É interessante notarmos também o fato de que, valendo-se dos valores de *don't care*, pudemos simplificar a função booleana para o circuito de decisão de igualdade, pois cortamos uma operação *AND* desnecessária.

4. Conclusão

Através dos experimentos realizados foi possível comprovar a universalidade de portas **NAND**, pois pudemos, partindo de funções booleanas complexas reduzí-las todas a funções que usassem apenas os operadores lógicos *AND* (\wedge) e *NOT* (\neg), mapeando posteriormente apenas para portas **NAND**; Também pudemos ver, na prática, como o mapa de Karnaugh auxilia na minimização de funções lógicas, reduzindo consideravelmente o número de portas lógicas necessárias (claro, se pudesssemos utilizar portas **NOR**, **OR**, etc nossos circuitos montados seriam menores).

Referências

- [Lamar 2021] Lamar, M. V. (2021). Laboratório de circuitos lógicos.
- [Mandelli 2021] Mandelli, M. (2021). Circuitos lógicos.
- [Marburg] Marburg, P. U. Karnaugh-veitch map. <https://www.mathematik.uni-marburg.de/~thormae/lectures/ti1/code/karnaughmap/>.
[Online; acessado em 27 de Agosto de 2021].

Auto-Avaliação

Respostas:

A	B
1	b
2	d
3	c
4	a
5	d