



## Laboratório de Circuitos Lógicos - 9º Experimento

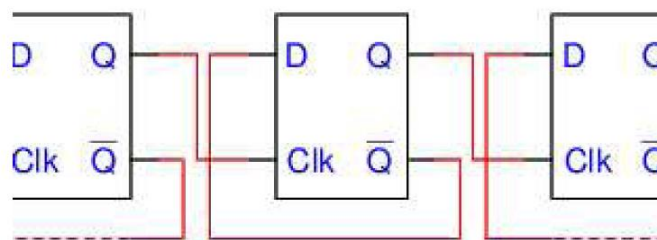
### CONTADORES ASSÍNCRONOS E SÍNCRONOS

**OBJETIVO:** Montar um contador assíncrono binário progressivo de 4 estágios, com flip-flops JK. Verificar a ocorrência de estados transitórios. Comparar com o funcionamento de um contador síncrono em anel. Projetar e montar um contador síncrono de contagem arbitrária com flip-flops JK.

#### 1. INTRODUÇÃO TEÓRICA

Os contadores assíncronos são aqueles onde as transições dos diversos estágios **não são** comandadas simultaneamente por um mesmo terminal de contagem.

Em um contador síncrono, por outro lado, todos os estágios efetuam suas transições simultaneamente. As entradas dos flip-flops (D, JK, RS, etc.) são usadas para determinar o próximo estado em cada transição.



**Figura 1 – Célula básica de um contador binário assíncrono.**

A **Figura 1** mostra a célula básica de um contador binário assíncrono. Cada estágio é ligado de modo a mudar de estado sempre que receber um pulso de relógio. A saída é usada para comandar a transição de outro estágio, geralmente o seguinte.

A implementação assíncrona constitui uma opção simples e econômica para os contadores, mas os atrasos acumulados em cada estágio limitam sua velocidade de operação.

Considere, por exemplo, um contador binário progressivo assíncrono passando de 111...1 para 000...0. A mudança completa de estado dos  $n$  estágios leva um tempo da ordem de  $n$  vezes o atraso relativo a cada estágio. Neste intervalo de tempo o contador não deve receber um novo pulso para contagem.

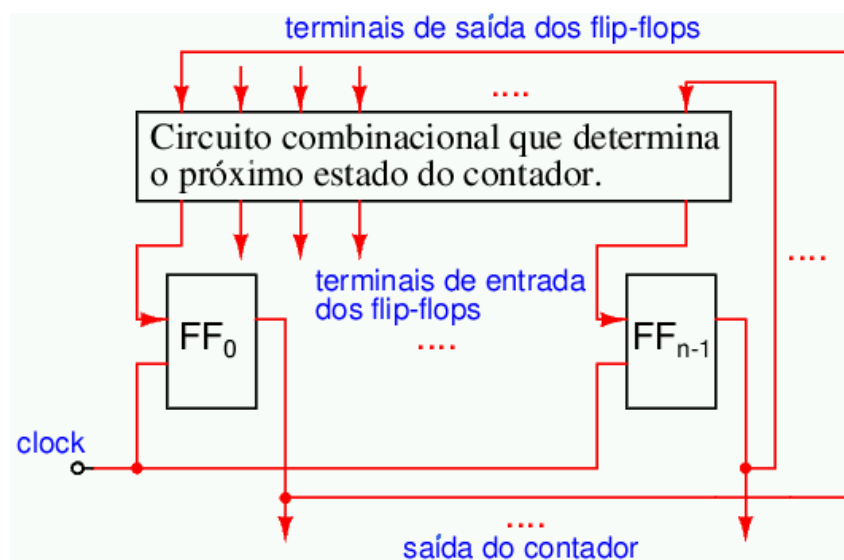
Além disso, em cada mudança de estado o contador passa por uma sucessão de estados transitórios, até que todos os estágios se estabeleçam na nova situação. Se os circuitos ligados às suas saídas forem suficientemente rápidos, eles poderão responder a esses estados intermediários, causando erros de decodificação.

### 1.1. CONTADORES SÍNCRONOS E ASSÍNCRONOS

Os circuitos síncronos são aqueles onde as transições de todos os flip-flops são comandadas simultaneamente pelo terminal de relógio ou sincronismo. As entradas dos flip-flops são usadas para determinar qual será o novo estado após cada transição.

Nos circuitos assíncronos por outro lado, a saída de cada flip-flop é ligada ao terminal de relógio de outros, de tal forma que a mudança de estado do primeiro engatilha os outros.

Nesta experiência será montado ainda um contador síncrono. A **Figura 2** mostra a estrutura básica desse tipo de contador.



**Figura 2 – Os contadores síncronos têm a estrutura básica das máquinas sequenciais síncronas. As unidades de memória são flip-flops comandados pelo relógio.**

Dispondo-se de um certo módulo, um contador pode ser implementado na forma síncrona ou assíncrona, para contar de acordo com um determinado código.

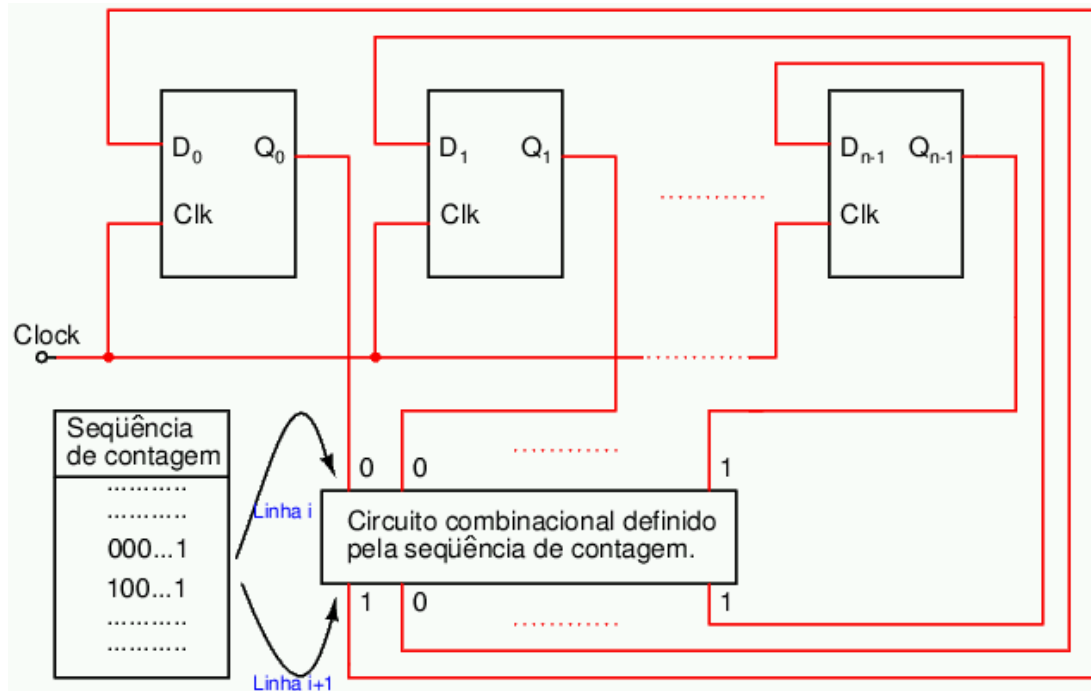
Em um contador assíncrono, cada transição completa exige um intervalo de tempo maior, pois é necessário que as transições dos diversos estágios se propaguem pelo circuito. Isso limita sua máxima frequência de operação. Esses contadores são também mais suscetíveis a problemas de riscos na decodificação, pois os estados transitórios têm maior duração.

Os contadores síncronos, em contrapartida, exigem circuitos combinacionais mais complexos para definir as entradas de cada flip-flop antes de uma transição.

Os contadores síncronos são os mais usados na prática devido a sua maior confiabilidade.

### 1.2. SÍNTESE DE CONTADORES SÍNCRONOS

A **Figura 3** mostra a implementação de um contador síncrono utilizando flip-flops tipo D. O circuito combinacional neste caso é definido simplesmente pelas linhas sucessivas da tabela de sequência de contagem.



**Figura 3 – Implementação com flip-flops D.**

**As saídas do circuito combinacional estão sempre adiantadas de uma linha na sequência de contagem, em relação às entradas.**

Considere-se o problema da síntese de um contador síncrono a ser implementado com flip-flops JK. Cada unidade de memória agora tem duas entradas, que devem ser acionadas pelo circuito combinacional. Uma possibilidade óbvia é ligar os terminais de cada flip-flop de modo a transformá-los em flip-flops do tipo D. Entretanto, isso significaria deixar de usar eficientemente as capacidades do flip-flop JK.

No caso geral, selecionado um determinado tipo de flip-flop como unidade de memória, o projeto de um contador (ou de outro circuito sequencial síncrono) é efetuado em 3 etapas:

- A partir da sequência de contagem especificada, determinam-se os mapas ou tabela de transição do contador.
- Da tabela ou mapa de transição do contador, e da tabela de transição do próprio flip-flop, constroem-se as tabelas verdade ou mapas de Karnaugh das funções que devem acionar as entradas de cada estágio (flip-flop) do contador.
- O circuito combinacional é implementado a partir desses resultados, pelas técnicas convencionais.

### 1.3. EXEMPLO DE PROJETO

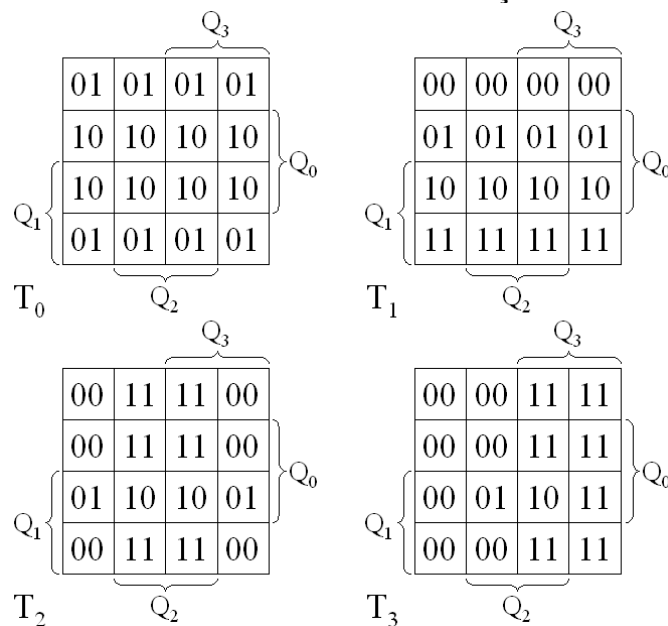
Vamos projetar um contador binário progressivo de módulo 16 com flip-flops JK. O circuito que se obtém é usado nos contadores síncronos em MSI.



a) Dada a sequência de contagem, determinar a tabela ou mapas de transição.

Nº de Pulsos	Sequência de Contagem				Tabela de Transição			
	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$T_0$	$T_1$	$T_2$	$T_3$
0	0	0	0	0	0→1	00	00	00
1	1	0	0	0	10	01	00	00
2	0	1	0	0	01	11	00	00
3	1	1	0	0	10	10	01	00
4	0	0	1	0	01	00	11	00
5	1	0	1	0	10	01	11	00
6	0	1	1	0	01	11	11	00
7	1	1	1	0	10	10	10	01
8	0	0	0	1	01	00	00	11
9	1	0	0	1	10	01	00	11
10	0	1	0	1	01	11	00	11
11	1	1	0	1	10	10	01	11
12	0	0	1	1	01	00	11	11
13	1	0	1	1	10	01	11	11
14	0	1	1	1	01	11	11	11
15	1	1	1	1	10	10	10	10

**Tabela I – Tabela de transição.**



**Figura 4 – Mapas de transição.**

Observe que a tabela e os mapas de transição dão a mesma informação já contida na sequência de contagem.

b) Dada a tabela de transição do flip-flop JK, determinar os mapas de Karnaugh das suas entradas, para cada estágio.

$Q_n \rightarrow Q_{n+1}$	<b>J K</b>
0 → 0	0 X
0 → 1	1 X
1 → 0	X 1
1 → 1	X 0

**Tabela II – Tabela de transição do flip-flop JK.**



Essa tabela diz que se deve fazer  $J = 0$ , se a transição na saída é para ser de 0 para 0, e  $J = 1$ , se for de 0 para 1.  $J$  pode assumir qualquer valor se a transição é para ser de 1 para 0 ou de 1 para 1. Analogamente, podemos obter essas informações em relação à entrada  $K$ .

<table><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr><tr><td>X</td><td>X</td><td>X</td><td>X</td></tr><tr><td>X</td><td>X</td><td>X</td><td>X</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr></table> $J_0$	1	1	1	1	X	X	X	X	X	X	X	X	1	1	1	1	<table><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr><tr><td>X</td><td>X</td><td>X</td><td>X</td></tr><tr><td>X</td><td>X</td><td>X</td><td>X</td></tr></table> $J_1$	0	0	0	0	1	1	1	1	X	X	X	X	X	X	X	X	<table><tr><td>0</td><td>X</td><td>X</td><td>0</td></tr><tr><td>0</td><td>X</td><td>X</td><td>0</td></tr><tr><td>1</td><td>X</td><td>X</td><td>1</td></tr><tr><td>0</td><td>X</td><td>X</td><td>0</td></tr></table> $J_2$	0	X	X	0	0	X	X	0	1	X	X	1	0	X	X	0	<table><tr><td>0</td><td>0</td><td>X</td><td>X</td></tr><tr><td>0</td><td>0</td><td>X</td><td>X</td></tr><tr><td>0</td><td>1</td><td>X</td><td>X</td></tr><tr><td>0</td><td>0</td><td>X</td><td>X</td></tr></table> $J_3$	0	0	X	X	0	0	X	X	0	1	X	X	0	0	X	X
1	1	1	1																																																																
X	X	X	X																																																																
X	X	X	X																																																																
1	1	1	1																																																																
0	0	0	0																																																																
1	1	1	1																																																																
X	X	X	X																																																																
X	X	X	X																																																																
0	X	X	0																																																																
0	X	X	0																																																																
1	X	X	1																																																																
0	X	X	0																																																																
0	0	X	X																																																																
0	0	X	X																																																																
0	1	X	X																																																																
0	0	X	X																																																																
<table><tr><td>X</td><td>X</td><td>X</td><td>X</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr><tr><td>X</td><td>X</td><td>X</td><td>X</td></tr></table> $K_0$	X	X	X	X	1	1	1	1	1	1	1	1	X	X	X	X	<table><tr><td>X</td><td>X</td><td>X</td><td>X</td></tr><tr><td>X</td><td>X</td><td>X</td><td>X</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr></table> $K_1$	X	X	X	X	X	X	X	X	1	1	1	1	0	0	0	0	<table><tr><td>X</td><td>0</td><td>0</td><td>X</td></tr><tr><td>X</td><td>0</td><td>0</td><td>X</td></tr><tr><td>X</td><td>1</td><td>1</td><td>X</td></tr><tr><td>X</td><td>0</td><td>0</td><td>X</td></tr></table> $K_2$	X	0	0	X	X	0	0	X	X	1	1	X	X	0	0	X	<table><tr><td>X</td><td>X</td><td>0</td><td>0</td></tr><tr><td>X</td><td>X</td><td>0</td><td>0</td></tr><tr><td>X</td><td>X</td><td>1</td><td>0</td></tr><tr><td>X</td><td>X</td><td>0</td><td>0</td></tr></table> $K_3$	X	X	0	0	X	X	0	0	X	X	1	0	X	X	0	0
X	X	X	X																																																																
1	1	1	1																																																																
1	1	1	1																																																																
X	X	X	X																																																																
X	X	X	X																																																																
X	X	X	X																																																																
1	1	1	1																																																																
0	0	0	0																																																																
X	0	0	X																																																																
X	0	0	X																																																																
X	1	1	X																																																																
X	0	0	X																																																																
X	X	0	0																																																																
X	X	0	0																																																																
X	X	1	0																																																																
X	X	0	0																																																																

**Figura 5 – Mapas de Karnaugh de  $J_i$  e  $K_i$ ,  $i = \{0, 1, 2, 3\}$ .**

Dos mapas acima obtêm-se as seguintes equações:

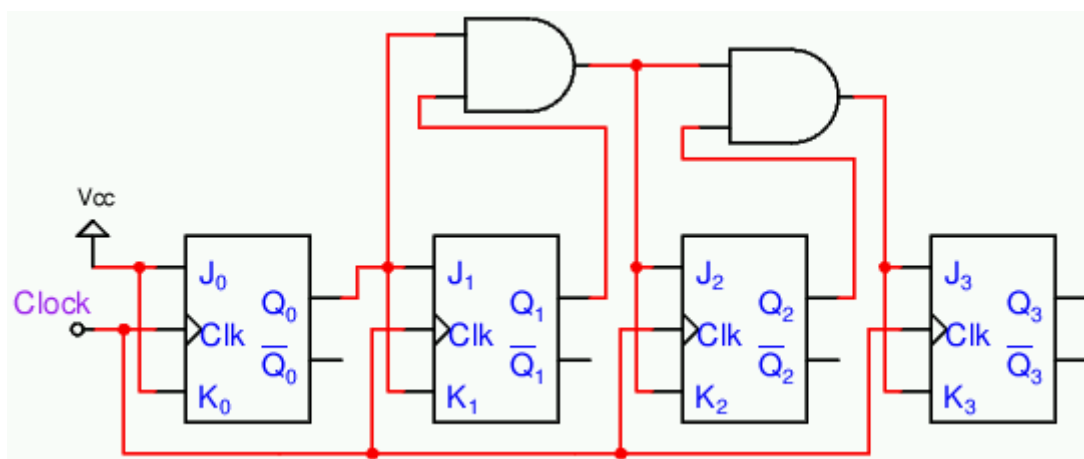
$$J_0 = K_0 = 1$$

$$J_1 = K_1 = Q_0$$

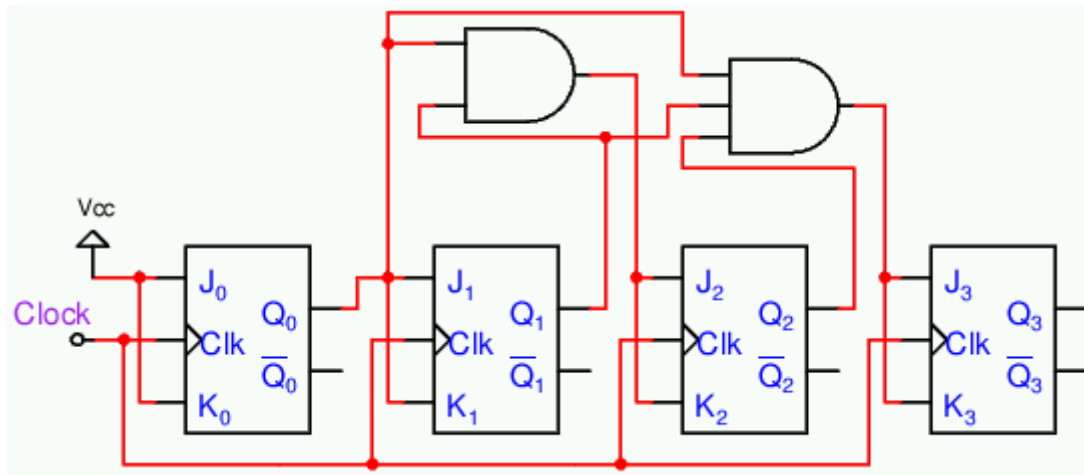
$$J_2 = K_2 = Q_0 \cdot Q_1$$

$$J_3 = K_3 = Q_0 \cdot Q_1 \cdot Q_2$$

c) Implementação do circuito:



**Figura 6 – Implementação série do contador síncrono de 4 bits.**

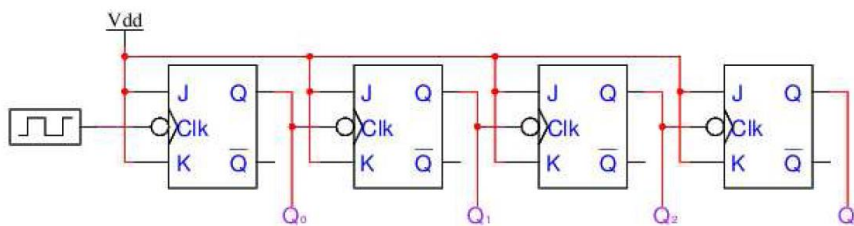


**Figura 7 – Implementação paralela do contador síncrono de 4 bits.**

## 2. PARTE EXPERIMENTAL

### 2.1. EXERCÍCIO PRELIMINAR: CONTADOR BINÁRIO PROGRESSIVO ASSÍNCRONO

Considere o contador da **Figura 8** que conta os pulsos de um relógio. ~~Sabe-se que os atrasos dos flip-flops usados podem estar entre 20 e 25 nanossegundos.~~



**Figura 8 – Implementação de um contador assíncrono com flip-flops JK.**  
As entradas J e K devem estar todas no nível lógico 1.

**Tabela III – Sequência de contagem do contador da Figura 8.**

Nº de Pulsos	Sequência de contagem			
	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1

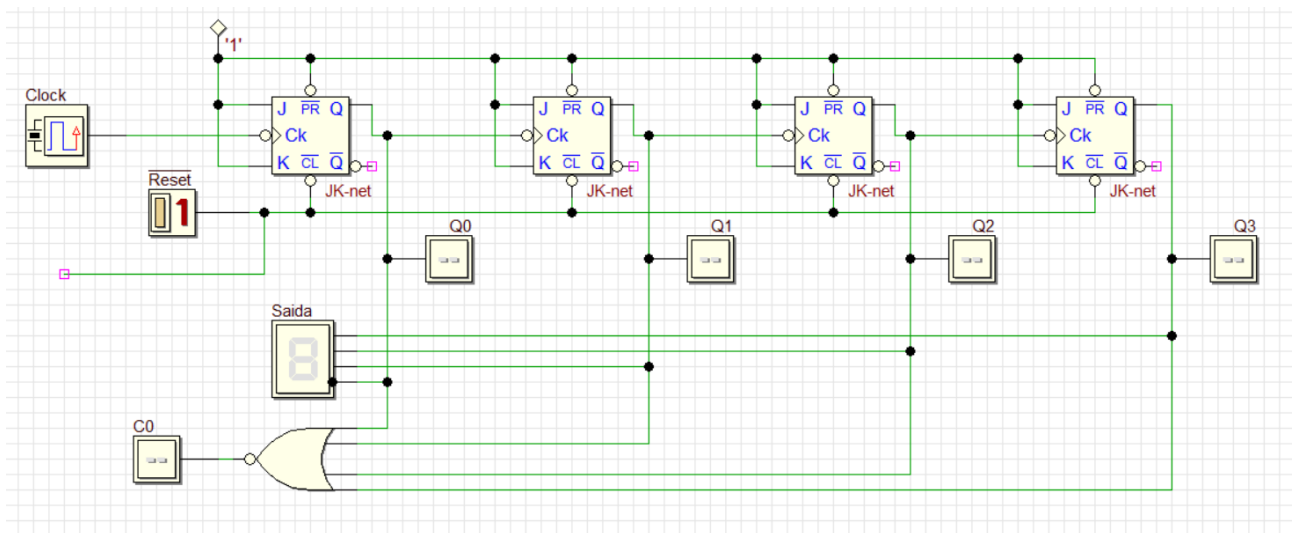
Nº de Pulsos	Sequência de contagem			
	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1



- Meça o tempo de atraso  $t_{co}$  de um flip-flop JK-pet do Deeds. Qual é a máxima frequência do relógio para contagem confiável, no caso de 4 estágios?
- Suponha que o relógio tenha uma frequência de 18 MHz. Qual será o maior número de estágios que podem ser decodificados sem erros por um circuito combinacional nas saídas do contador?
- Suponha que o relógio tenha uma frequência de 10 Hz e uma porta NOR de 4 entradas seja usada para decodificar o estado 0000. Explique teoricamente em que transições da sequência de contagem (0 a 15) esse estado será identificado na forma de uma flutuação transitória na saída da porta?

## 2.2. IMPLEMENTAÇÃO DE UM CONTADOR BINÁRIO PROGRESSIVO ASSÍNCRONO

- Desenhe o circuito do contador assíncrono de 4 estágios da **Figura 9** no Deeds usando o flip-flop JK (Flip-Flop JK-net) já existente.



**Figura 9 – Implementação de um contador assíncrono com flip-flops JK.**

- Faça a simulação por interação com usuário ~~Sintetize o contador no FPGA do kit de desenvolvimento DE2 ou DE2-70~~, filme e explique no vídeo seu funcionamento.
- Faça a simulação por forma de onda com clock 5MHz, verifique o aparecimento transitório do estado 0000 e compare com o previsto no exercício 2.1-c. Apresente os seguintes itens como resultados: tabelas com todas as medidas e gráficos contendo as formas de onda completamente especificadas.
- Faça a simulação por forma de onda com frequência de clock um pouco acima do calculado no item 2.1-a, mostre no diagrama e explique por que não é possível usar o contador nessa frequência. Apresente os seguintes itens como resultados: tabelas com todas as medidas e gráficos contendo as formas de onda completamente especificadas.

*Dica:* ~~Inclua no projeto, crie o símbolo e utilize o decoder7.v que está disponível no Moodle para criar o módulo decodificador para display de 7 segmentos usado neste experimento.~~



### 2.3. IMPLEMENTAÇÃO DE UM CONTADOR EM ANEL

- Projete e desenhe no Deeds um contador em anel de 4 estágios.
- Faça a simulação com interação com o usuário ~~Implemente no kit DE2 ou DE2-70~~, filme e explique seu funcionamento no vídeo.
- Faça a simulação por forma de onda com frequência de clock de 5MHz. Verifique se existem estados transitórios significativos. Meça os tempos de atraso de cada estágio.

### 2.4. IMPLEMENTAÇÃO DE UM CONTADOR SÍNCRONO

- Projete e desenhe no software Deeds um contador síncrono progressivo de módulo 6 que conte segundo a sequência abaixo, e use flip-flops JK (flip-flop JK-pet) e portas NANDs.

Sequência	$Q_0$	$Q_1$	$Q_2$
0	0	0	0
1	1	0	0
2	0	1	1
3	0	1	0
4	1	0	1
5	1	1	1

**Tabela IV – Sequência de contagem.**

- Faça a simulação com interação com o usuário. Filme e explique no vídeo o funcionamento.
- Realize a simulação por forma de onda com frequência de clock de 5MHz. Analise seu circuito e verifique se existem sequências ou estados estáveis que não aparecem na sequência pedida. Se esse for o caso, altere o projeto para eliminar tal problema e faça uma nova simulação em forma de onda mostrando o resultado obtido com a eliminação.
- ~~Sintetize no FPGA do kit de desenvolvimento DE2 ou DE2-70 usando os LEDR[2:0] como dispositivos de saída. Utilize o sinal de entrada CLOCK\_50 juntamente com o módulo divisor de frequência (fdiv.v) disponível no Moodle para a geração automática dos pulsos de entrada, e filme seu funcionamento.~~

## 3. SUMÁRIO

Os contadores assíncronos possibilitam implementação simples e econômica em relação aos síncronos, mas são limitados por uma velocidade de contagem bem menor. Em frequências elevadas seu projeto torna-se complicado, pois se devem considerar os atrasos de propagação. No curso da experiência, ênfase essencial é dada aos problemas decorrentes desses atrasos. Um contador progressivo é montado e testado quanto à máxima frequência de funcionamento confiável e flutuações transitórias (riscos ou *hazards*) na decodificação. Também é realizada a montagem de um contador síncrono em anel.

As principais vantagens da opção síncrona são maior velocidade de operação e menor probabilidade de riscos na decodificação. Foi realizada ainda a síntese de circuitos sequenciais síncronos usando flip-flops JK. Um contador de módulo 6 é projetado pelas técnicas usuais. As funções das entradas J e K de cada estágio são obtidas a partir da tabela de transição do flip-flop e do mapa de transição do contador.





#### **4. EQUIPAMENTOS E MATERIAL**

- ~~Software Quartus II v13.0 SP1~~
- ~~Kit de desenvolvimento FPGA DE2 ou DE2-70 Intel~~
- ~~Pendrive com os projetos~~
- Software Deeds



## 5. TESTE DE AUTOAVALIAÇÃO

Nos seguintes itens, marque com V (verdadeiro) ou F (falso):

1. ( ) Os contadores assíncronos podem ser implementados com flip-flops JK.
2. ( ) Os contadores síncronos estão associados a simultaneidade, enquanto que os assíncronos se relacionam com sucessão.
3. ( ) Em um contador assíncrono é muito importante que os flip-flops usados sejam os mais rápidos possíveis.
4. ( ) Quanto mais rápidos forem os flip-flops usados em um contador assíncrono, maior é a frequência confiável de contagem.
5. ( ) Quanto maior for o número de estágios de um contador assíncrono, menor é o intervalo de tempo necessário para decodificação.
6. ( ) O registrador em anel é um contador síncrono.
7. ( ) Em um contador assíncrono, quanto maior for a frequência desejada de contagem, maior deve ser o número de estágios.
8. ( ) Em um contador binário progressivo assíncrono implementado com flip-flops JK, as entradas J e K de todos os estágios devem ficar permanentemente em 1.
9. ( ) Em um contador binário regressivo assíncrono implementado com flip-flops JK, as entradas J e K de todos os estágios devem ficar permanentemente em 0.
10. ( ) A decodificação de estados nos contadores assíncronos é em geral mais suscetível a riscos (*hazards*) do que nos síncronos.

Nas questões 11, 12 e 13, uma porta decodificadora para um único estado é ligada às saídas de um contador binário.

11. ( ) Se o contador for assíncrono, sua saída pode comutar diversas vezes entre 0 e 1, durante uma mudança de estado do contador.
12. ( ) Se o contador for assíncrono, sua saída pode comutar apenas uma vez entre 0 e 1, durante certas mudanças de estado do contador.
13. ( ) Se o contador for síncrono, a decodificação será livre de flutuações transitórias.

Nas questões 14, 15 e 16, considere um contador assíncrono de  $n$  estágios sendo usado como **divisor de frequência** do relógio.

14. ( ) A frequência no último estágio (saída do divisor) é igual a  $1/2^n$  vezes a frequência do relógio.
15. ( ) Se o atraso individual de cada flip-flop for da ordem de  $\Delta t$ , a máxima frequência de operação do relógio deve ser da ordem de  $1/\Delta t$ .
16. ( ) A forma de onda na saída do divisor é livre de flutuações transitórias.

Nos seguintes itens, marque com V (verdadeiro) ou F (falso):

17. ( ) Num contador assíncrono, quanto maior for a frequência desejada de contagem, menor deverá ser o número de estágios.
18. ( ) Num contador síncrono, quanto maior for a frequência desejada de contagem, menor deverá ser o número de estágios.



19. ( ) Um contador síncrono de  $n$  estágios, implementado com flip-flops JK, onde todas as entradas J e K ficam permanentemente em 1 terá módulo 2.
20. ( ) Os contadores síncronos geralmente exigem mais circuitos combinacionais do que os assíncronos.
21. ( ) Os contadores que usam registradores de deslocamento como unidade de memória são síncronos.
22. ( ) Um registrador de deslocamento de  $n$  estágios nunca pode ser usado como unidade de memória de um contador síncrono de módulo  $n$ .
23. ( ) A construção de um contador síncrono de alta velocidade e muitos estágios fica limitada pelo número de terminais de entrada das portas disponíveis.
24. ( ) A tabela de transição de um flip-flop diz quais são as condições que devem existir nas suas entradas para que ocorra cada transição.
25. ( ) Se a tabela de transição de um flip-flop for dada na forma de funções lógicas, as variáveis independentes serão as entradas do flip-flop, e as variáveis dependentes serão as transições.
26. ( ) Se a tabela de transição de um flip-flop for dada na forma de funções lógicas, as variáveis independentes serão as transições, e as variáveis dependentes serão as entradas do flip-flop.
27. ( ) Um contador progressivo de 4 estágios possui 4 mapas de transição de 16 quadrinhos.
28. ( ) Num contador síncrono implementado com flip-flops tipo D, as entradas dos estágios são dadas diretamente pelas equações de estado do contador.
29. ( ) Num contador síncrono de 4 estágios implementado com flip-flops do tipo T, as entradas dos estágios na transição  $0110 \rightarrow 0101$  serão 0011.
30. ( ) Num contador síncrono de 4 estágios com flip-flops do tipo D, as entradas na transição  $0110 \rightarrow 0101$  serão 0101.
31. ( ) Num contador síncrono de 4 estágios implementado com flip-flops JK, durante a transição  $0110 \rightarrow 0101$ , as entradas J e K deverão ser 0001 e 0010, respectivamente.
32. ( ) Considere um contador síncrono reversível de 3 estágios. A sua implementação com maior velocidade possível de contagem exigirá portas com no máximo 3 terminais de entrada.