

# LOGICKÉ SYSTÉMY

Prednáška 5, 2014-2015

Ing. Adam Jaroš, PhD – prednášky, cvičenia

Ing. Michal Chovanec – cvičenia

Katedra technickej kybernetiky

Web predmetu: <http://frtk.fri.uniza.sk>

# OPAKOVANIE – DYNAMICKÁ NEDOKONALOSŤ STAVEBNÝCH PRVKOV

Pri návrhu číslicových logických systémov musíme zohľadniť **časové parametre stavebných prvkov**.

V prípade rýchlych systémov je to predovšetkým časové **oneskorenie hradla** alebo **celého obvodu**.

Časové i ďalšie parametre **získavame od výrobcu súčiastky** z katalógu (*datasheets*).

Jedna súčiastka môže byť vyrobená rôznymi technologickými postupmi.

Pri zložitejších systémoch musíme zvážiť ich **vzájomnú kompatibilitu**.

Pri kombinačných obvodoch nám niekedy časové oneskorenie neprekáža. Avšak vždy s ním musíme počítať pri návrhu sekvenčných systémov.

# OPAKOVANIE – VLASTNOSTI STAVEBNÝCH PRVKOV – HRADIEL

## Základné vlastnosti hradiel rady 74xx

- technológia výroby (TTL, CMOS, HS-CMOS, AHS-CMOS, BiCMOS, Shottky, ...)
- rýchlosť obvodu
- rozsah napájacieho napätia ( $+U_{cc}$ ,  $+V_{cc}$ , od 1.25V až 18V)
- spotreba (obvykle rastie s vyššou pracovnou frekvenciou)
- zaťažiteľnosť a vetvenie (fan—out)
- veľkosť puzdra obvodu (DIL, SOP, ...)



řada	technologie	log. úroveň (V)	rozsah $U_c$ (V)	$I_c$ ( $\mu A$ )	$t_{pd}$ max (ns)	vstup	výstup
MOS 4000	Standard CMOS	5.0	3.0 ~ 18.0	20		CMOS	CMOS
74 HC	High Speed CMOS	5.0	2.0 ~ 6.0	80	21	CMOS	CMOS
74 HCT	High Speed CMOS / TTL	5.0	4.5 ~ 5.5	80	30	TTL	CMOS
74 AC	Advanced CMOS	5.0	3.0 ~ 5.5	40	6.5	CMOS	CMOS
74 ACT	Advanced CMOS / TTL	5.0	4.5 ~ 5.5	40	8.0	TTL	CMOS
74 AHC	Advanced High Speed CMOS	5.0	2.0 ~ 5.5	40	7.5	CMOS	CMOS
74 AHCT	Advanced High Speed CMOS / TTL	5.0	4.5 ~ 5.5	40	7.7	TTL	CMOS
74 BCT	BiCMOS	5.0	4.5 ~ 5.5	90 mA	6.6	TTL	TTL
74 LV	Low Voltage CMOS	3.3	2.0 ~ 5.5	20	14	LV CMOS	LV TTL
74 LVC	Low Voltage CMOS / TTL	3.3	1.65 ~ 3.6	10	4.0	LV TTL	LV CMOS
74 LS	Low Power Schottky TTL	5.0	4.75 ~ 5.25	95 mA	12	TTL	TTL
74 ALS	Advanced Low Power Schottky TTL	5.0	4.5 ~ 5.5	58mA	10	TTL	TTL
74 F	Fast TTL	5.0	4.5 ~ 5.5	120 mA	6	TTL	TTL

logická úroveň (V)    jmenovitá hodnota napětí logické úrovně H  
 $U_c$  (V)                napájecí napětí  
 $I_c$  ( $\mu A$ )                spotřeba nezátíženého hradla  
 $t_{pdmax}$  (ns)            zpoždění výstupního signálu

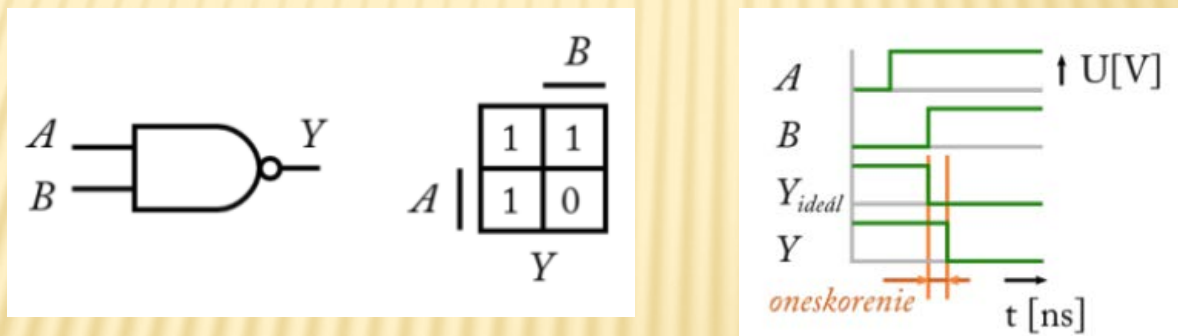


# OPAKOVANIE – ČASOVÝ PRIEBEH VÝSTUPU LOGICKÉHO HRADLA

Ideálny a reálny (zjednodušený) časový priebeh prechodu signálu cez logický člen.

Medzi významné parametre logického hradla patrí

- časové oneskorenie
- tvarové skreslenie výstupného napätia oproti ideálnemu priebehu



Logické hradlo sa správa ako dynamický systém s určitými frekvenčnými vlastnosťami.

# OPAKOVANIE – ČASOVÝ PRIEBEH VÝSTUPU LOGICKÉHO HRADLA

---

Zmena vstupnej a výstupnej hodnoty nenastáva však okamžite ale postupne.

Výrobcovia používajú rôzne riešenia, každé ma svoje výhody a nevýhody.

Jedná sa o technologickú záležitosť a s postupom času sa vlastnosti tranzistorov použitých pre zostavenie hradiel zlepšujú.

Matematický popis logického—obdĺžnikového signálu vyjadríme napr. s **Fourierovým rozkladom** ako súčet harmonických signálov s rozdielnou amplitúdou a fázou.

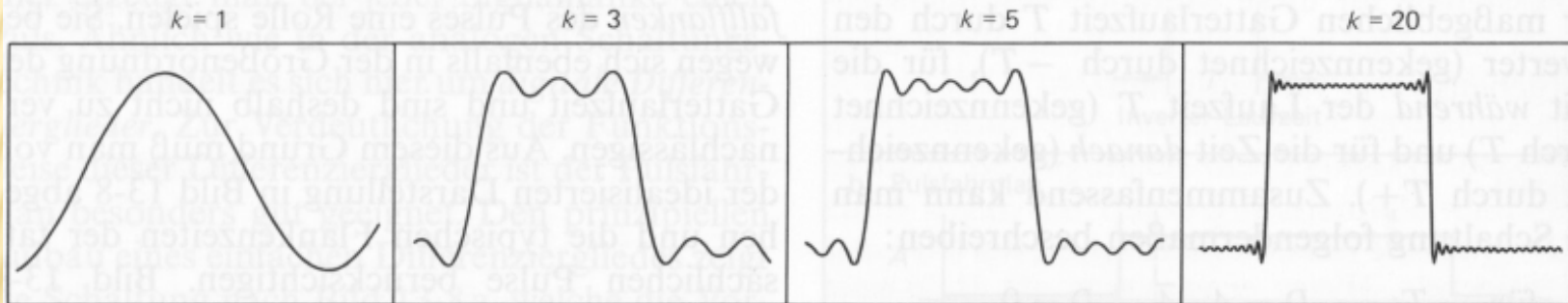
# OPAKOVANIE – ČASOVÝ PRIEBEH VÝSTUPU LOGICKÉHO HRADLA

## Fourierová transformácia

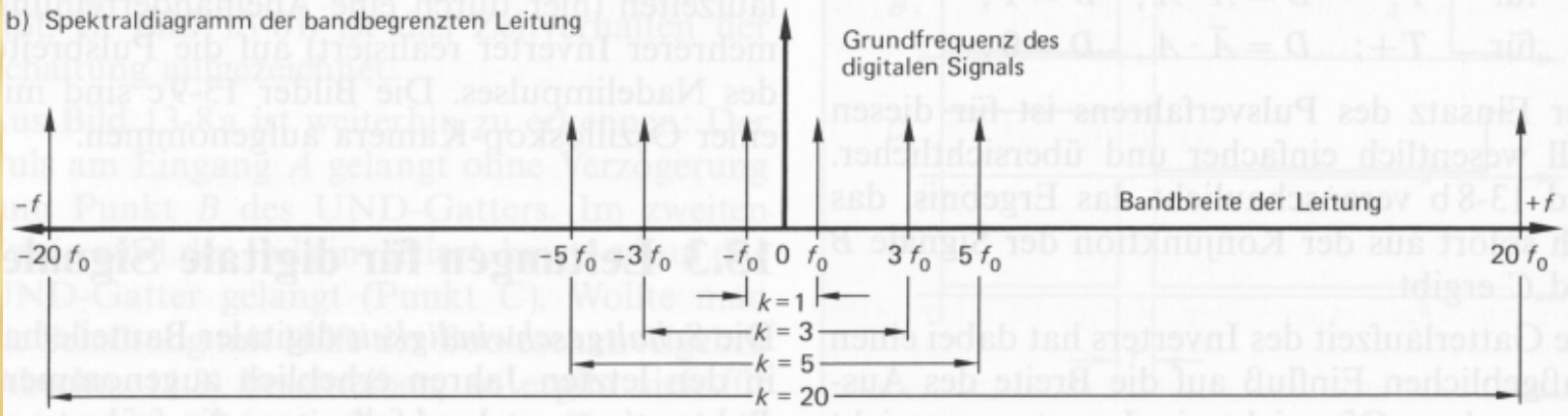
$$y(x) = A \cdot \sum_{n=1}^{\infty} \frac{1}{(2n-1)} \sin(2n-1) \cdot x$$

a) Rechtecksignal auf bandbegrenzter Leitung

$$k = \frac{\text{Leitungsbandbreite}}{\text{Signalfrequenz}}$$



b) Spektraldiagramm der bandbegrenzten Leitung





# OPAKOVANIE — VLASTNOSTI TECHNOLOGICKÝCH HRADIEL V INTEGROVANÝCH OBVODOCH –IO

Pri návrhu logických obvodov nás zaujímajú nasledovné vlastnosti použitých hradiel—integrovaných obvodov:

- **elektrické vlastnosti** nám určujú spotrebu energie, napájacie napätia a prúdovú spotrebu, taktiež správanie sa vstupu (napr. impedancia) a výstupu
- **prevádzkové a technické parametre** predstavujú bežne rozsahy pracovných teplôt, typ a veľkosť puzdra, tvary vývodov, technológia montáže
- medzi najdôležitejšie **časové parametre** patrie *doba nábehu*, *doba poklesu* a *rýchlosť logických hradiel* (maximálna pracovná frekvencia, ktorú dokáže prenášať na výstup), zvlnenie výstupného napätia a iné.

Tieto údaje získavame od výrobcu z katalógu súčiastok.

# OPAKOVANIE – VLASTNOSTI TECHNOLOGICKÝCH HRADIEL V INTEGROVANÝCH OBVODOCH –IO

## Ukážka katalógového listu obvodu TTL rady 74xx

**FAIRCHILD**  
SEMICONDUCTOR™

### DM7400 Quad 2-Input NAND Gates

#### General Description

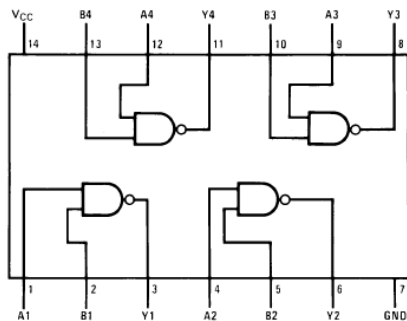
This device contains four independent gates each of which performs the logic NAND function.

#### Ordering Code:

Order Number	Package Number	Package Description
DM7400M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM7400N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

#### Connection Diagram



#### Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level  
L = LOW Logic Level

#### Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
$V_{CC}$	Supply Voltage	4.75	5	5.25	V
$V_{IH}$	HIGH Level Input Voltage	2			V
$V_{IL}$	LOW Level Input Voltage			0.8	V
$I_{OH}$	HIGH Level Output Current			-0.4	mA
$I_{OL}$	LOW Level Output Current			16	mA
$T_A$	Free Air Operating Temperature	0		70	°C

#### Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -12 \text{ mA}$			-1.5	V
$V_{OH}$	HIGH Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}$ $V_{IL} = \text{Max}$	2.4	3.4		V
$V_{OL}$	LOW Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}$ $V_{IH} = \text{Min}$		0.2	0.4	V
$I_I$	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 5.5 \text{ V}$			1	mA
$I_{IH}$	HIGH Level Input Current	$V_{CC} = \text{Max}, V_I = 2.4 \text{ V}$			40	$\mu\text{A}$
$I_{IL}$	LOW Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4 \text{ V}$			-1.6	mA
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 3)	-18		-55	mA
$I_{CCH}$	Supply Current with Outputs HIGH	$V_{CC} = \text{Max}$		4	8	mA
$I_{CCL}$	Supply Current with Outputs LOW	$V_{CC} = \text{Max}$		12	22	mA

Note 2: All typicals are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$ .

Note 3: Not more than one output should be shorted at a time.



# OPAKOVANIE – VLASTNOSTI TECHNOLOGICKÝCH HRADIEL V INTEGROVANÝCH OBVODOCH –IO

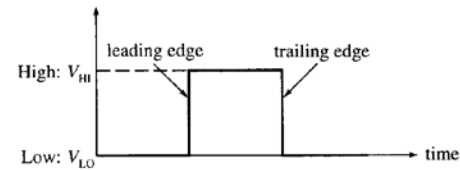
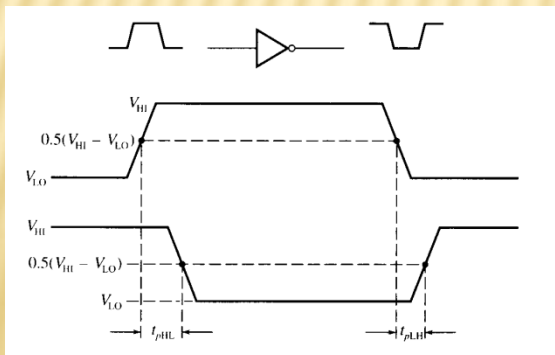
Ukážka katalógového listu obvodu TTL rady 74xx  
*pokračovanie*

## Switching Characteristics

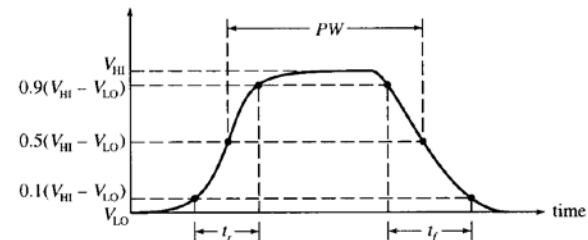
at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$

Symbol	Parameter	Conditions	Min	Max	Units
$t_{PLH}$	Propagation Delay Time LOW-to-HIGH Level Output	$C_L = 15 \text{ pF}$ $R_L = 400\Omega$		22	ns
$t_{PHL}$	Propagation Delay Time HIGH-to-LOW Level Output			15	ns

*detail –  $t_{pHL}$  a  $t_{pLH}$*



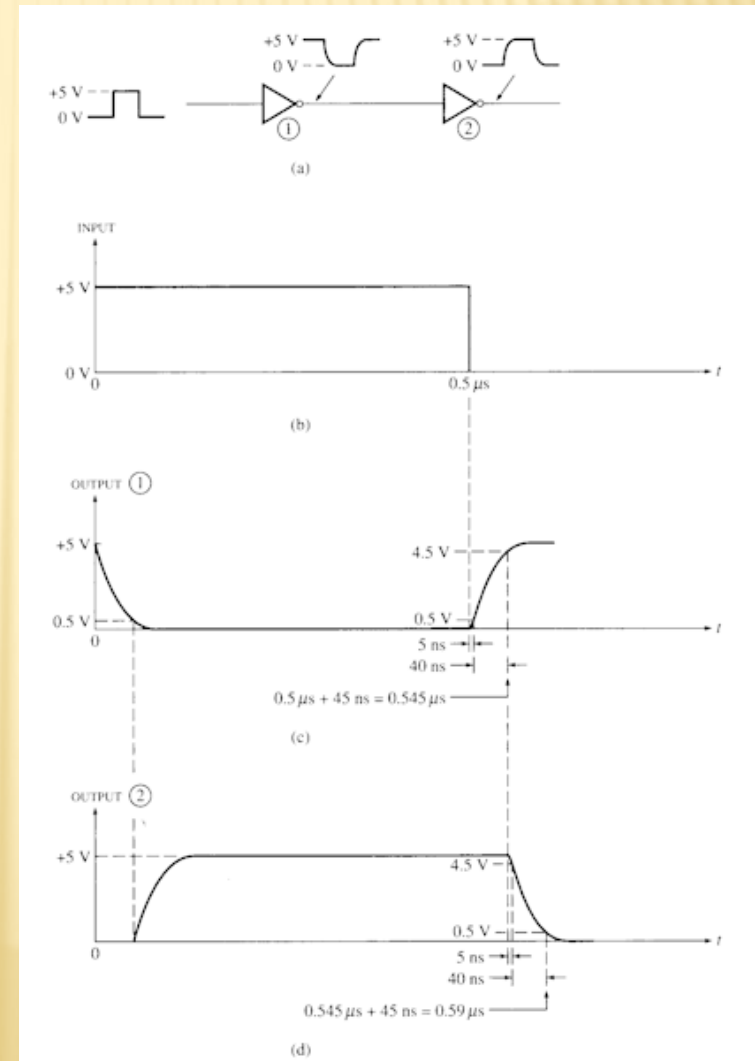
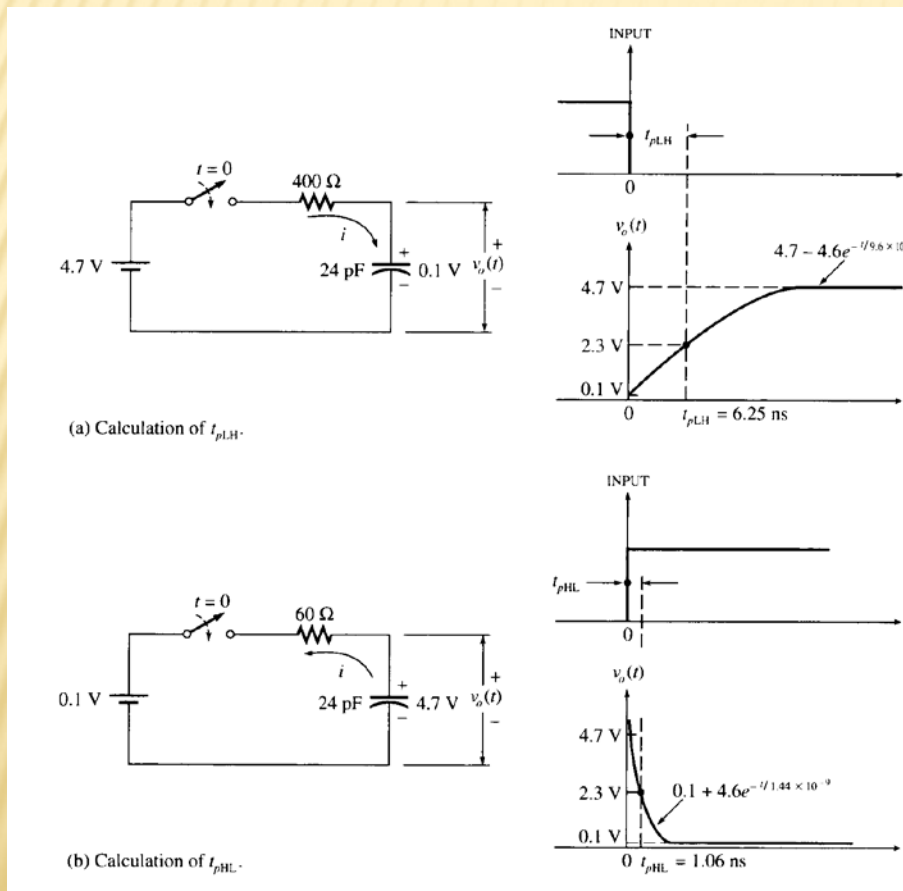
(a) An ideal pulse.



(b) A real pulse, showing definitions of rise-time ( $t_r$ ), fall-time ( $t_f$ ), and pulsewidth ( $PW$ ).

# OPAKOVANIE – VLASTNOSTI TECHNOLOGICKÝCH HRADIEL V INTEGROVANÝCH OBVODOCH –10

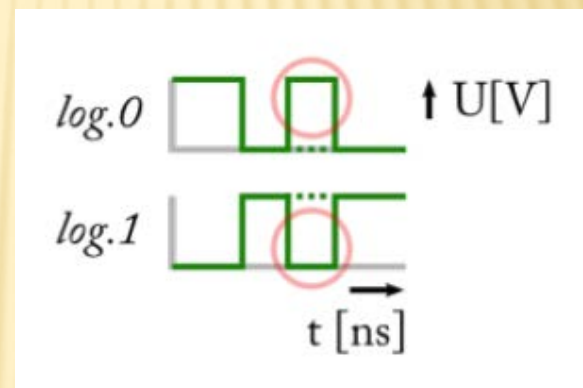
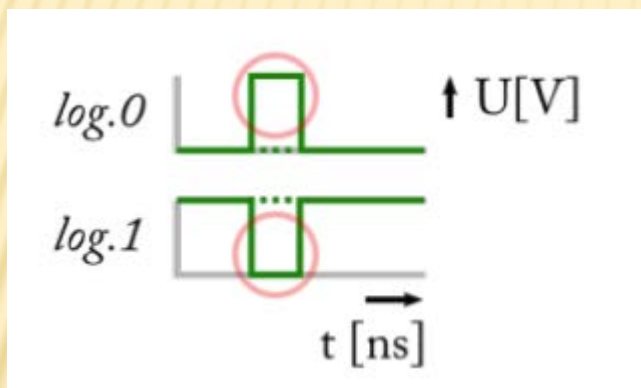
Integračný článok (R-C člen) – princíp  
(vpravo) pôsobenie integračného článku



# OPAKOVANIE — HAZARD V LOGICKÝCH OBVODOCH

**Hazard** je také správanie kombinačného systému, ktoré vzniká v dôsledku zmien vstupných signálov (*nie je popísané Karnaughovou mapou*).

Rozpoznávame dva typy hazardov *statický* a *dynamický*.



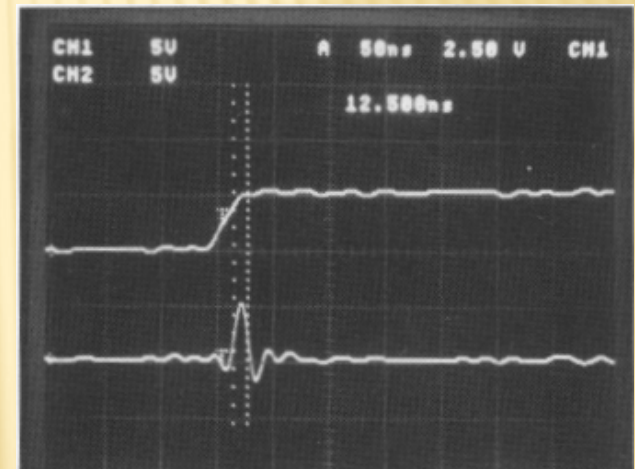
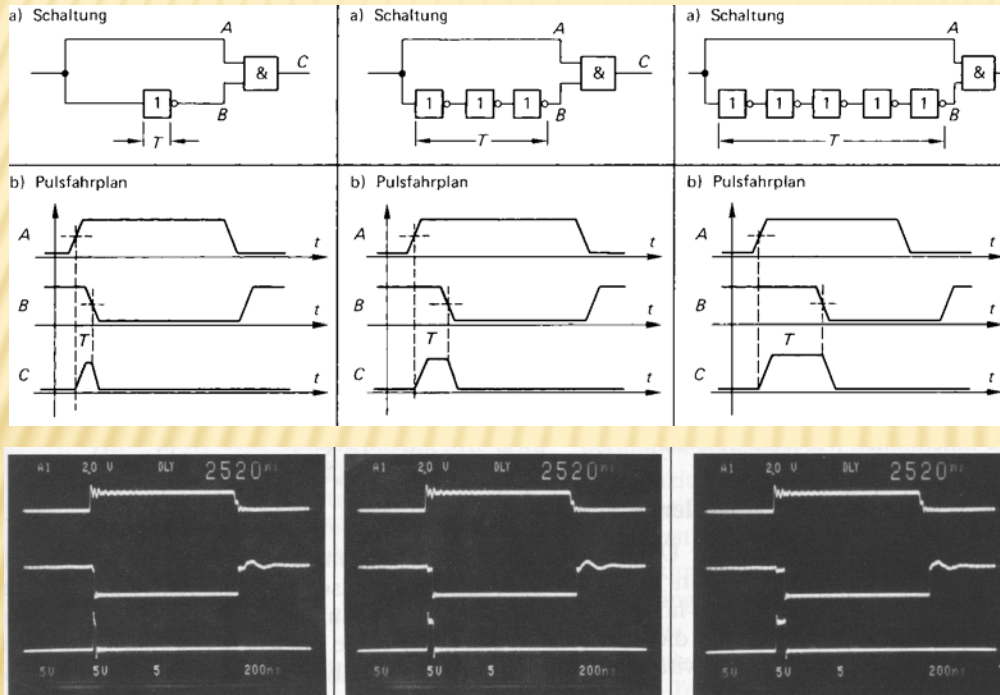
Poznámka: Označenie vychádza z toho v akej hodnote hazard nastáva.

Podmienkou existencie dynamického hazardu v kombinačnom obvode je prítomnosť statického hazardu.



# OPAKOVANIE – HAZARD V LOGICKÝCH OBVODOCH

## Statický hazard v LO



# OPAKOVANIE — IDENTIFIKÁCIA HAZARDU A SPÔSOBY JEHO ODSTRÁNENIA

---

## Zistenie prítomnosti hazardu

Existenciu statického hazardu vieme určiť z rozmiestnenia pravidelných konfigurácií v Karnaughovej mape.

- ✗ Ak sa dve konfigurácie neprekrývajú, tak v zapojení vždy existuje statický hazard, ak sa zmenia príslušné vstupné premenné súčasne.

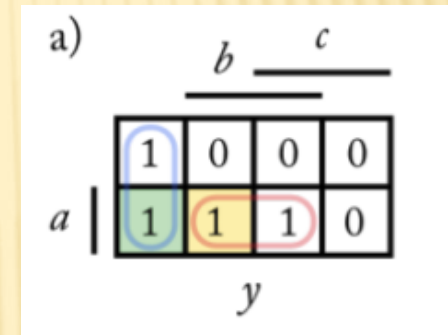
## Odstránenie hazardu

- ✗ *Univerzálne riešenie*—odstránenie statického hazardu na výstupe—spočíva v kompenzácii oneskorenia v príslušnej vetve logickej siete a to zaradením prídavných oneskorujúcich hradiel do navrhnutej schémy.
- ✗ *Špecifické riešenie* spočíva v pridaní redundantnej konfigurácie v Karnaughovej mape, ktorá premostí susediace konfigurácie.

# OPAKOVANIE – IDENTIFIKÁCIA HAZARDU A SPÔSOBY JEHO ODSTRÁNENIA

## Príklad

Navrhnete zapojenie s logickými hradlami NAND, ktoré neobsahuje hazard.

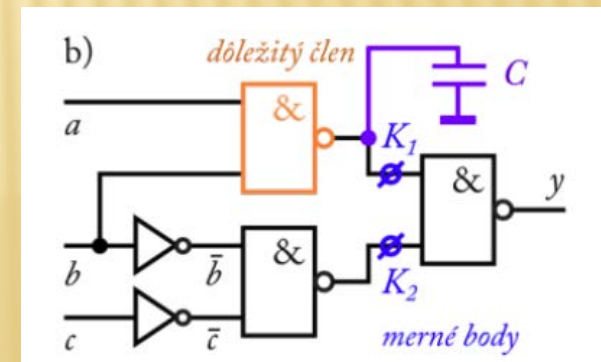


## Riešenie

Zapíšme optimálne konfigurácie úlohy z obrázku a preved'me výraz do 1. NSF.

$$y = \overline{b} \cdot \overline{c} + a \cdot b$$
$$= (\overline{b} | \overline{c}) | (a | b)$$

V zapojení existuje statický hazard, čo vidieť z umiestnenia konfigurácií v Karnaughovej mape. Rozhodujúce hradlo je zakreslené oranžovou farbou.



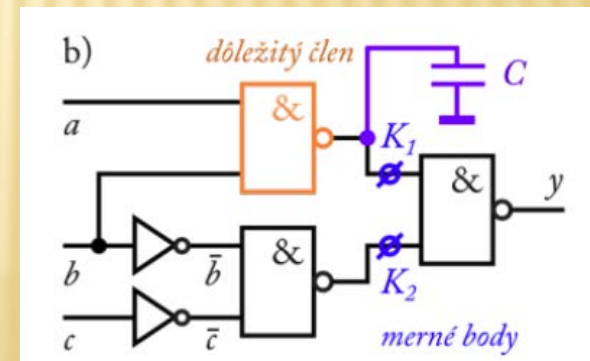
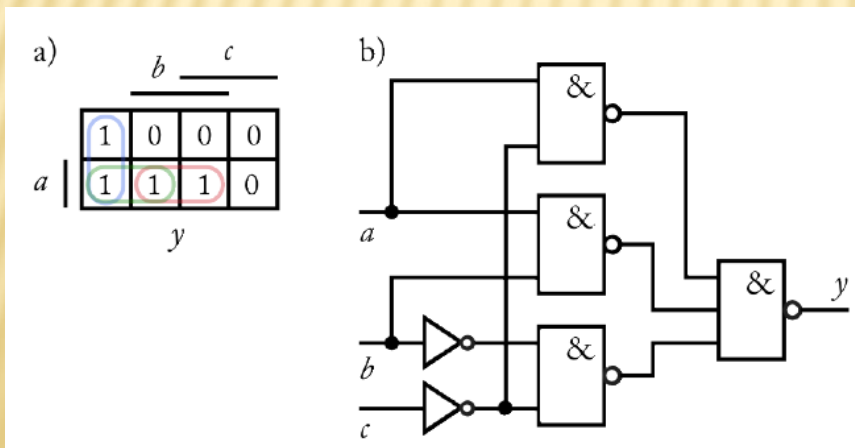


# OPAKOVANIE – IDENTIFIKÁCIA HAZARDU A SPÔSOBY JEHO ODSTRÁNENIA

## Príklad

### *pokračovanie*

- ✗ Jedným z možných riešení je oneskorenie výstupu pripojením kondenzátora s vhodnou kapacitou „oproti zemi“ na výstup tohto hradla. V súčinnosti s výstupnou impedanciou hradla tak tvorí „spomaľujúci“ R-C článok.
- ✗ Druhým lepším riešením by bolo zaradenie *bufera* na výstup tohto logického hradla, ktorý si vytvoríme z bežného hradla vhodným zapojením.
- ✗ Tretie riešenie spočíva v premostení konfigurácií v obr. 3a ďalšou konfiguráciou. Výsledok návrhu zapojenia bez hazardov je na obr ázku.



# OPAKOVANIE – ČASOVÝ PRIEBEH ZMENY VÝSTUPU LOGICKEJ SIETE—SIMULÁCIA ČINNOSTI

---

Sledovanie zmien výstupov hradiel v zapojeniach logických obvodov je častou úlohou návrhára.

K meraniu priebehov sa používajú v súčasnosti digitálne osciloskopy, ktoré sú vybavené pamäťovými funkciami.

## Zjednodušenie simulácie činnosti LO v čase

Predpokladajme pri kreslení „simulácie“ činnosti logického obvodu rovnaké časové oneskorenie u všetkých hradiel.

Taktiež sa obmedzíme na hazardy spôsobené zmenou len jednej vstupnej premennej. (Predpokladáme, že bežne je to „najčastejší“ prípad)

# OPAKOVANIE – ČASOVÝ PRIEBEH ZMENY VÝSTUPU LOGICKEJ SIETE—SIMULÁCIA ČINNOSTI

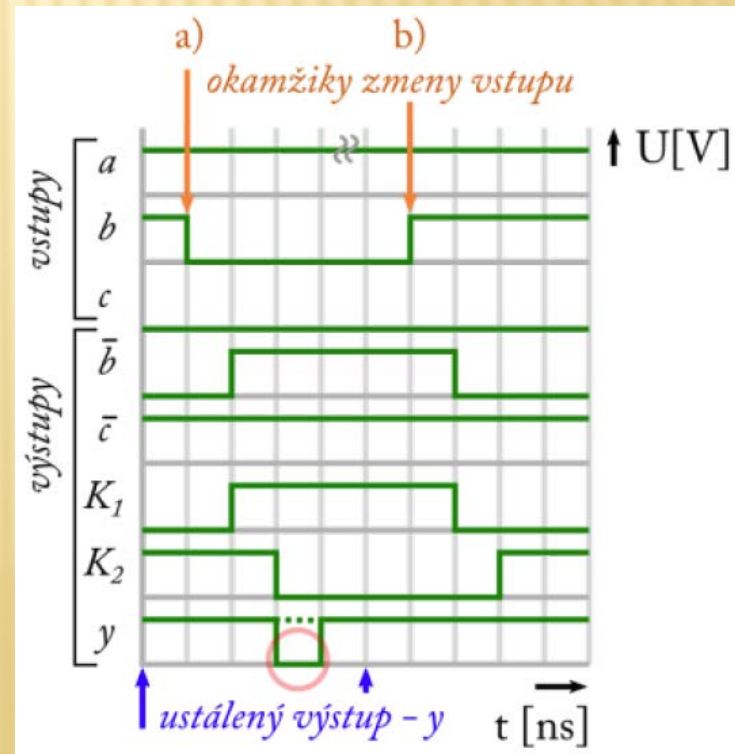
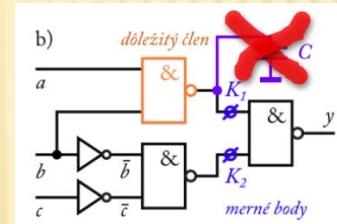
## Príklad

Zakreslite simuláciu činnosti LO (bez zapojeného kondenzátora  $C$ ) tak, aby zachytával priebeh hazardu.

## Riešenie

Simulujeme zmenu len jednej vstupnej premennej v čase, ktorá spôsobuje hazard na výstupe zapojenia.

Jedná sa o vstupnú premennú  $b$ .





# OPAKOVANIE – ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

---

V aplikačnej praxi sa určité zapojenia kombinačných obvodov často opakujú, preto sa vyrábajú v podobe integrovaných obvodov – IO (angl. IC – Integrated Circuit).

Multiplexor – MUX

Demultiplexor – DEMUX

Komparátor

Kóder – CD

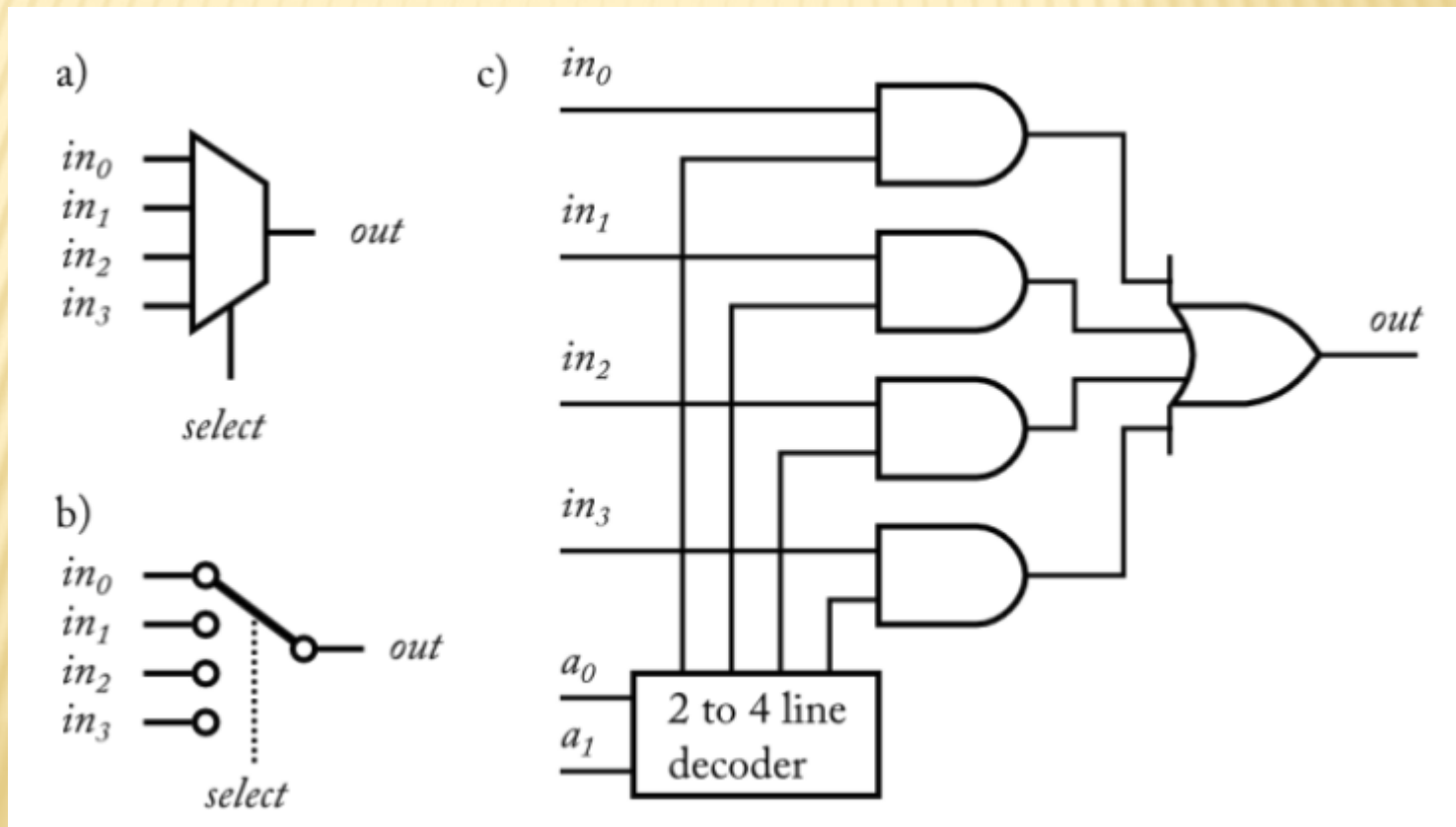
Dekóder – DEC

Sčítačka – plná, polovičná

# OPAKOVANIE – ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

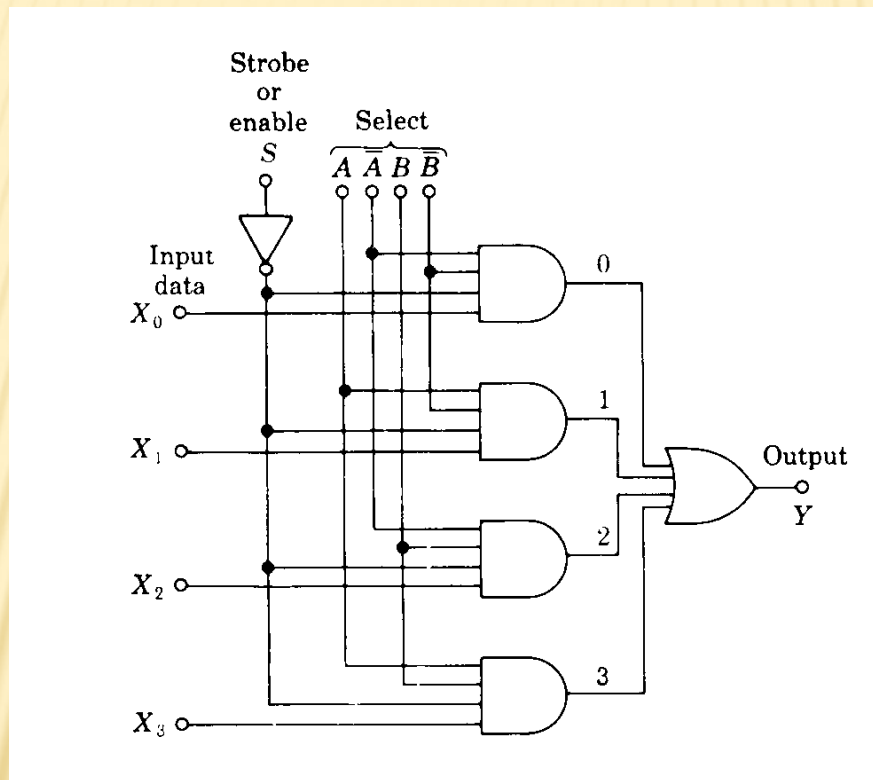
## Multiplexor – MUX

- ✗ Funkcia: prepnutie 1 vstupu z viacerých možných (spravidla ich počet je mocnina čísla 2, t.j. 2, 4, 8 a 16) na výstup.



# OPAKOVANIE – ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Multiplexor – MUX

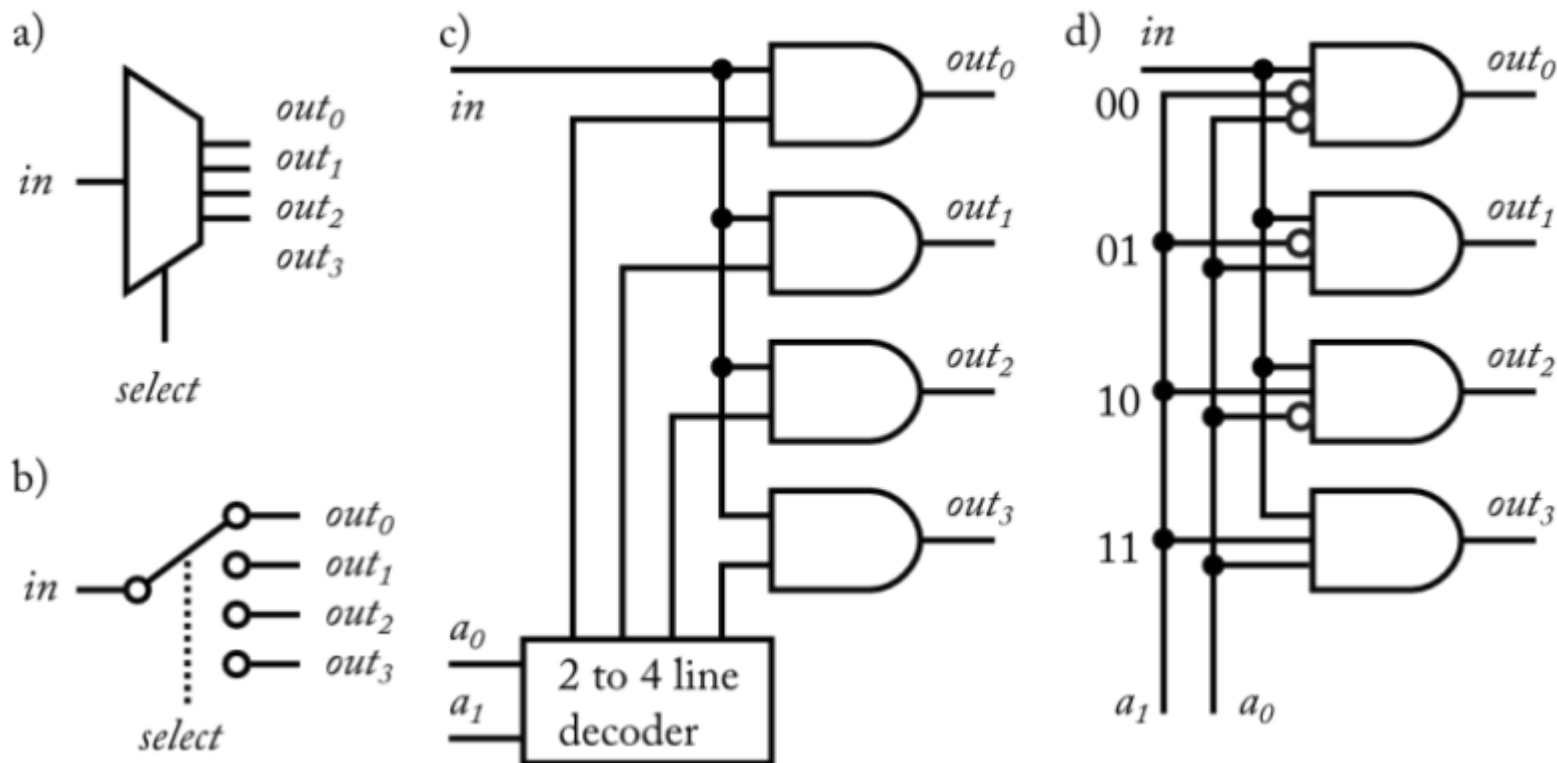




# OPAKOVANIE – ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Demultiplexor – DEMUX

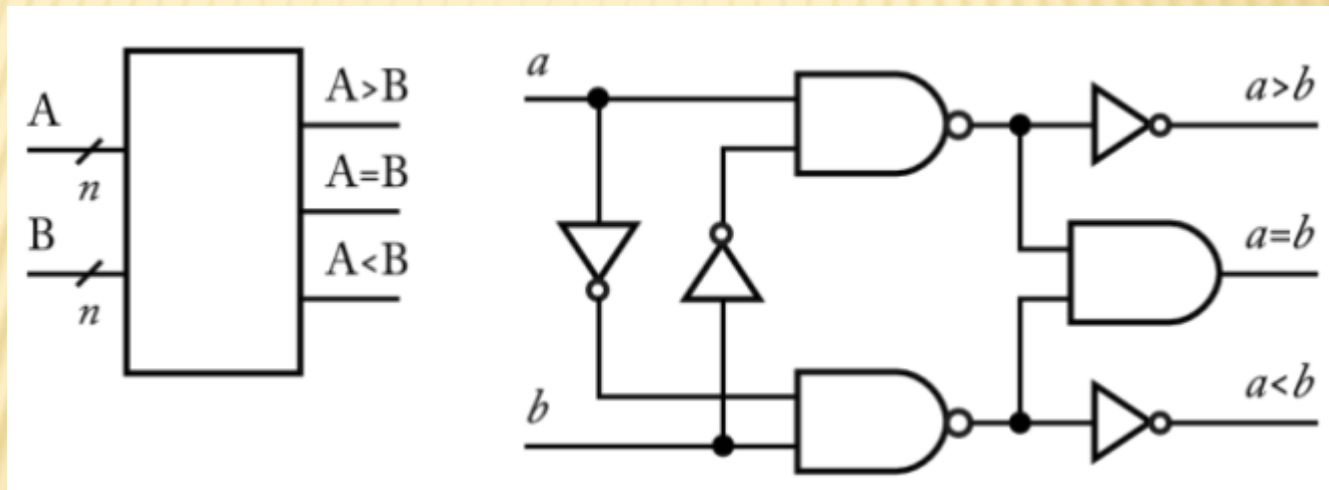
- ✗ Funkcia: prepínanie jediného vstupu na 1 z viac možných (spravidla ich počet je mocnina čísla 2, t.j. 2, 4, 8 a 16).



# OPAKOVANIE – ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Komparátor

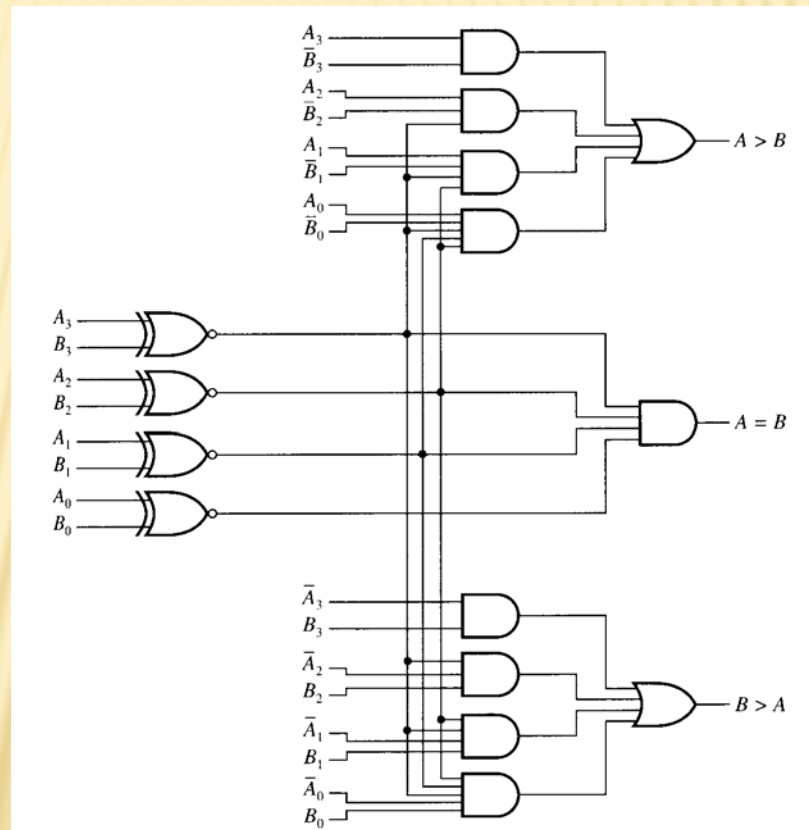
- ✗ Funkcia: porovnanie dvoch  $n$ -bitových čísiel. Plná verzia komparátora obsahuje všetky tri výstupy, vid'. obrázok. V praxi však často používame len jediný výstup komparátora.



# OPAKOVANIE – ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Komparátor

zapojenie 4-bitového úplného komparátora

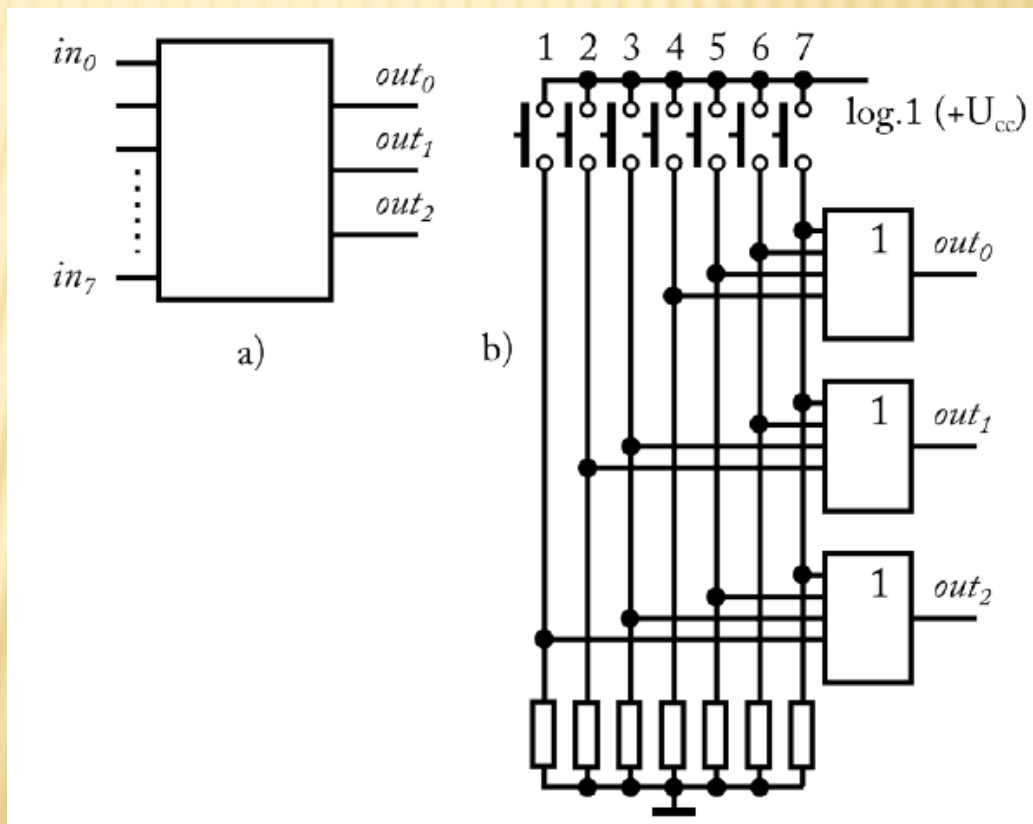




# OPAKOVANIE – ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Kóder – CD

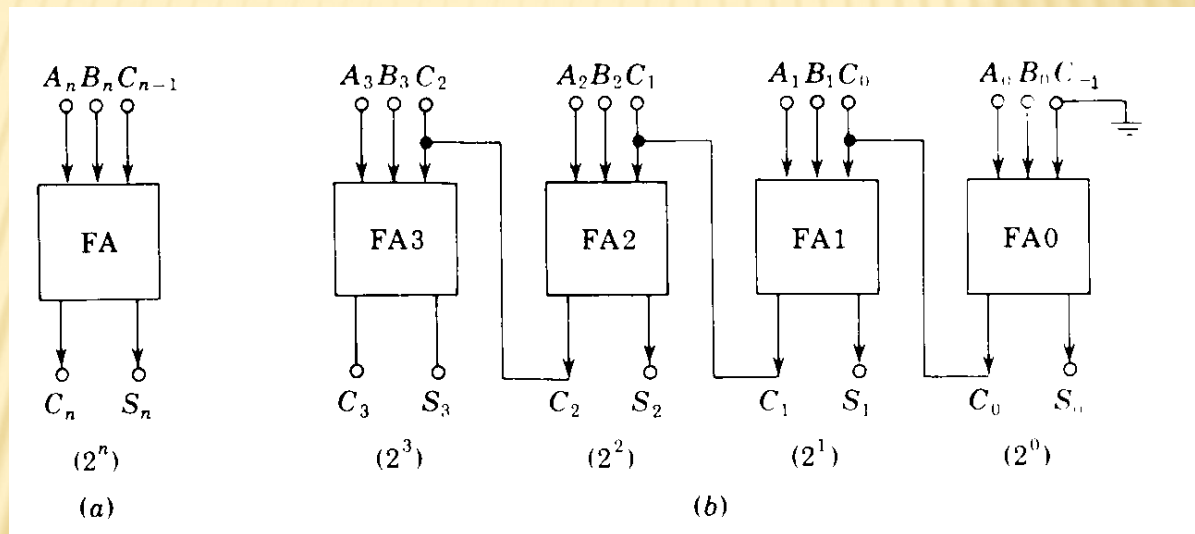
- ✗ Funkcia: prevod kódu 1 z N (spravidla ich počet je mocnina čísla 2, t.j. 2, 4, 8 a 16 alebo práve 10 t.j. BCD resp. 9–klávesnica bez „nuly“) najčastejšie na binárne číslo.



# OPAKOVANIE – ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Sčítačka

Viac bitová sčítačka vytvorená z plnej jednobitovej sčítačky







# PREDNÁŠKA 5

## Embedded Linux

Témy prednášky:

- 1) Sekvenčné systémy — automaty
- 2) Úvod do sekvenčných systémov — základné pojmy
- 3) Metódy popisu a návrhu automatov
- 4) Moorov a Mealyho automat — matematický popis
- 5) Stavová a výstupná funkcia
- 6) Grafický zápis automatu, tabuľka prechodov, výstupná funkcia
- 7) Štruktúra Moorovho a Mealyho automatu (spätná väzba)



# SEKVENČNÉ SYSTÉMY

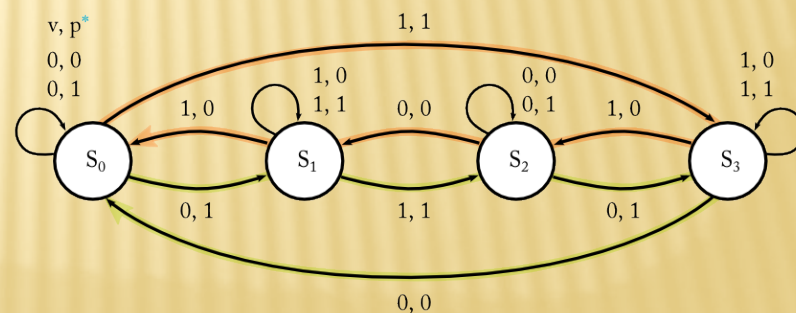
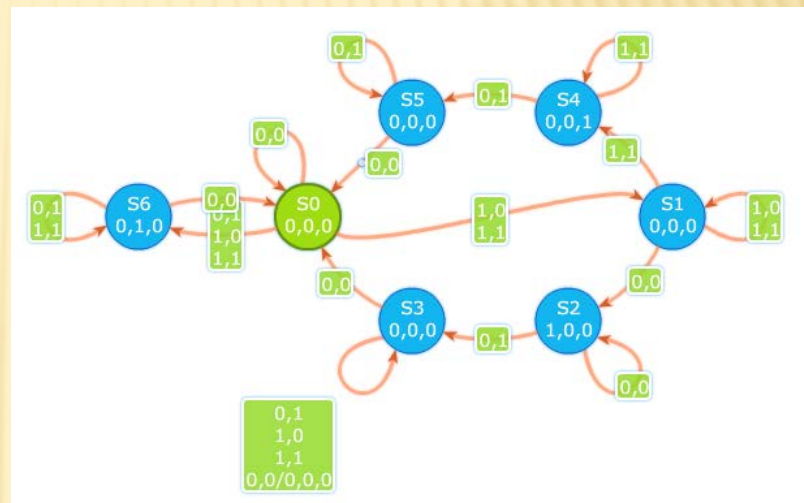
---

- ✗ V predchádzajúcich štyroch prednáškach sme si ukázali všetky potrebné aspekty návrhu kombinačných logických systémov.
- ✗ V reálnych úlohách existuje stále mnoho prípadov, kedy logický systém musí **reagovať na vstupné podnety s ohľadom na predošlé vstupy**, t.j. jeho predchádzajúci stav.
- ✗ Predchádzajúci stav je definovaný ako **postupnosť zmien logických signálov na vstupe logického systému od určitého času** (napr. od vykonania „resetu“).
- ✗ Takého logické systémy, ktoré vykazujú pamäťové správanie nazývame **sekvenčné systémy** alebo často len **automaty**.



# POPIS SPRÁVANIA SA SEKVENČNÝCH SYSTÉMOV

- ✗ Činnosť automatu bežne zapisujeme v podobe **orientovaného grafu**.
- ✗ Klasické spôsoby zápisu správania sekvenčného systému – **Moorov** a **Mealyho** automat. **Petriho siete**.
- ✗ **Mealyho automat** je zovšeobecnením postupu, ktorý navrhol **Moore**. Mealyho zápis automatu má obvykle menší počet stavov.
- ✗ Budeme sa zaoberať výhradne návrhom **konečných deterministických automatov** na **báze číslicových logických obvodov**.



\* v stave  $S_0$  sa nastaví  $p \leftarrow p$



# AUTOMAT MOORE – MATEMATICKÁ FORMULÁCIA

- ✗ Moorov aparát. Správanie sekvenčného systému zapíšeme pomocou dvoch **stavových rovníc**.
- ✗ Prvá rovnica je **stavová prechodová funkcia**, ktorá určuje stav v čase  $t + \tau$ .
- ✗ Druhá je funkcia výstupného priradenia, skrátene **výstupná funkcia** a určuje hodnotu výstupu automatu v čase  $t$ .

$$\begin{aligned} S_{(t+\tau)} &= \delta(S_{(t)}, x_{(t)}) \approx S_{t+\tau} = \delta(S_t, x_t) \approx S^* = \delta(S, x) \\ y_{(t)} &= \lambda(S_{(t)}) \approx y_t = \lambda(S_t) \approx y = \lambda(S) \end{aligned}$$

kde:

- $S_t$  – stav v čase  $t$ , pričom  $S_0$  – stav v čase  $t = 0$  (v čase „nula“), množina stavov  $S_i$  je konečná,  $S^*$  – stav v čase  $t + \tau$  (nový stav),
- $x_t$  – vstup v čase  $t$ ,
- $\delta, \lambda$  – kombinačné siete, deterministické funkcie (na rovnaký vstup dostaneme vždy rovnaký výstup),
- $\tau$  – predstavuje časový interval zmien stavu automatu; **takt hodín**.

# AUTOMAT MEALY – MATEMATICKÁ FORMULÁCIA

- ✗ Mealyho aparát. Správanie sekvenčného systému zapíšeme pomocou dvoch **stavových rovníc**.
- ✗ **Stavová prechodová funkcia** určuje stav v čase  $t + \tau$ .
- ✗ Funkcia výstupného priradenia—**výstupná funkcia** určuje hodnotu výstupu automatu v čase  $t$ .

$$\begin{aligned} S_{t+\tau} &= \delta(S_t, x_t) \\ y_t &= \lambda(S_t, x_t) \end{aligned}$$

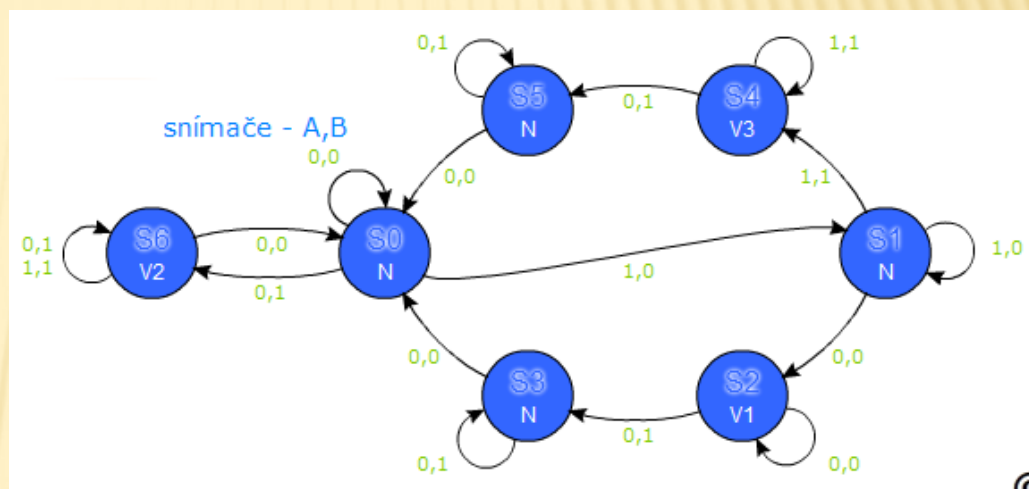
Zmena oproti Moorovmu automatu je vo *výstupnej funkcii*.

# PRÍKLADY A POROVNANIE AUTOMATOV

Porovnanie **ekvivalentných** automatov, ktoré popisujú rovnakú úlohu.

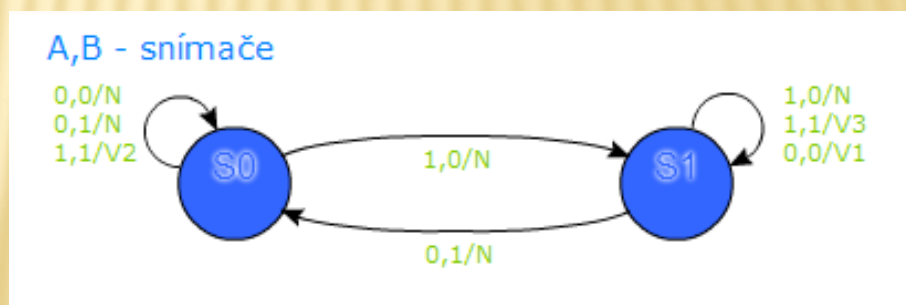
## Moorov automat

- jednoduchšie vytvoríme
- často viac stavov



## Mealyho automat

- náročnejší návrh (obvykle vychádzame z Moorovho)
- menší počet stavov





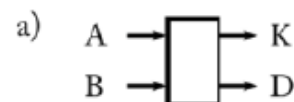
# PRÍKLAD – DOPRAVNÝ PÁS

## Príklad

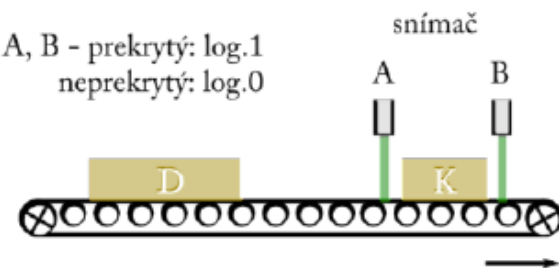
Majme dopravníkový pás, po ktorom prechádzajú dva typy výrobkov v dostatočnej vzdialenosti od seba.

Dlhý a krátky výrobok prechádzajú cez dva snímače (vždy prechádza len jeden výrobok pred snímačmi).

Zakreslite Moorov a Mealyho automat, ktorý správne rozpozná typ výrobku.



b) A, B - prekrytý: log.1  
neprekrytý: log.0



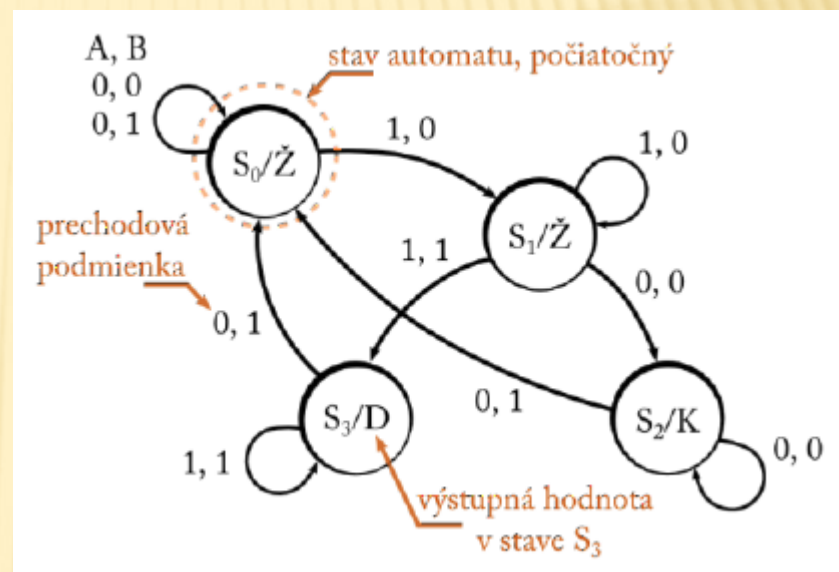
# PRÍKLAD – DOPRAVNÝ PÁS

## Riešenie

Začneme s *Moorovým automatom*.

Začíname voľbou podmienok a výstupnej hodnoty pre *počiatočný stav*  $S_0$ .

Ten si zvolíme ako kľudový stav – pred snímačmi neprechádza žiadny výrobok (podmienka  $A=0$ ,  $B=0$ ).



*Výstupná hodnota*  $\bar{Z}$  (žiadny výrobok, t.j.  $K=0$ ,  $D=0$ ) je zapísaná vo vnútri stavu.

Zmena nastáva pri prechode niektorého výrobku cez snímač  $A$ . Vzhľadom na ďalší vývoj zmien musíme vytvoriť nový stav –  $S_1$ . Zakreslíme obe podmienky.

Takýmto spôsobom, kedy pre každú zmenu snímačov zakreslíme nový stav získame prvotný návrh automatu.

# PRÍKLAD – DOPRAVNÝ PÁS

## Riešenie

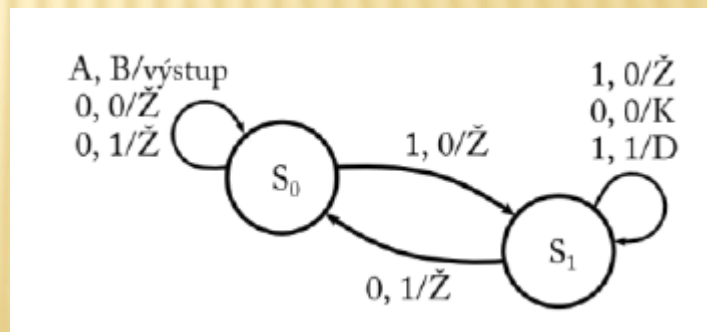
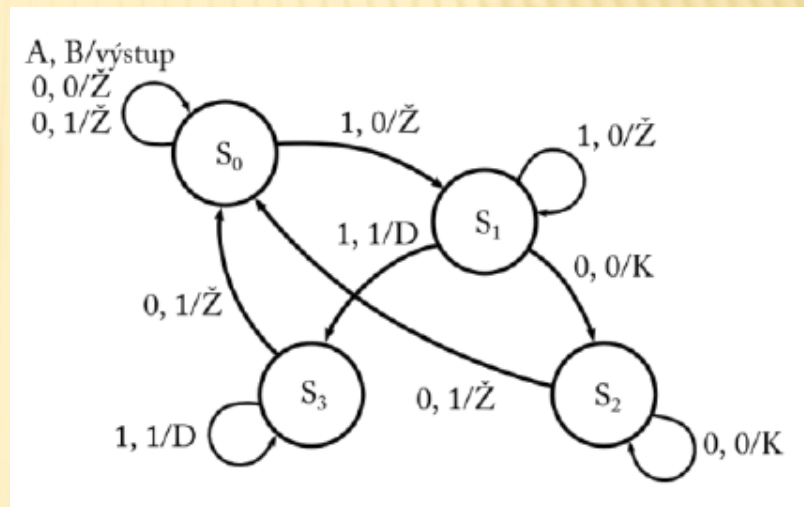
*Mealyho automat*—jeho prvotný zápis vytvoríme prekreslením z Moorovho automatu.

Jediná zmena je v zápise symbolu výstupnej hodnoty priamo za podmienku (vstupný symbol).

Postupnou *redukciou počtu stavov* možno zapísať riešenie úlohy.

Návrh automatu je mnohokrát *nejednoznačný*.

Je to *tvorivá, kreatívna činnosť*.

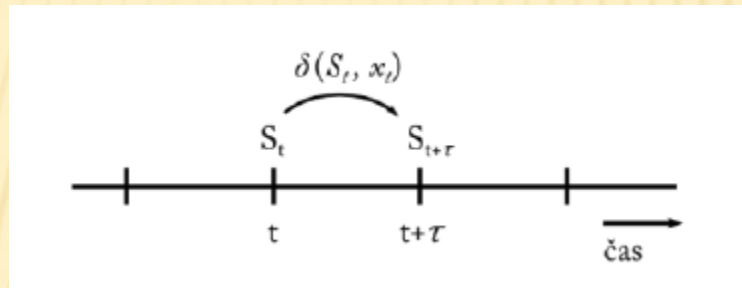




# ZMENY STAVOV AUTOMATU V ČASE

Zmeny v automate—prechody medzi stavmi *prebiehajú v čase*.

Nový stav je určený *stavovou funkciou*.



# ZÁPIS AUTOMATU DO TABUĽKOVEJ FORMY

Pre ďalšie spracovanie *orientovaného grafu* automatu ho zapisujeme *v tabuľkovej reprezentácii*.

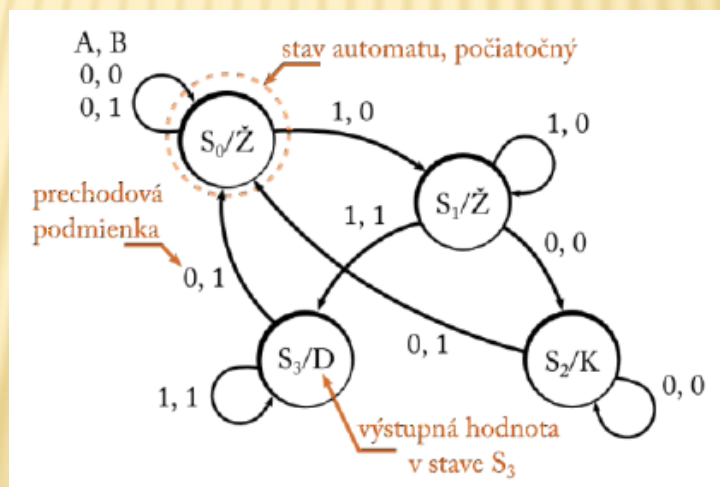
## Tabuľkový zápis automatu

- pozostáva z dvoch častí—prechodovej a výstupnej tabuľky
- Moorov a Mealyho automat sa líšia len v zápise výstupnej časti, blok  $\lambda$

## Príklad

Zapíšte do tabuľky

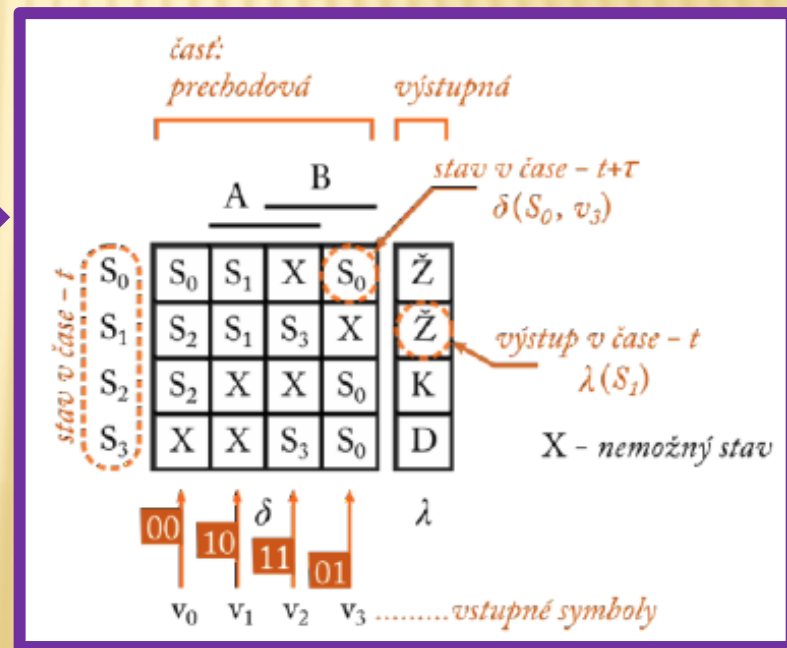
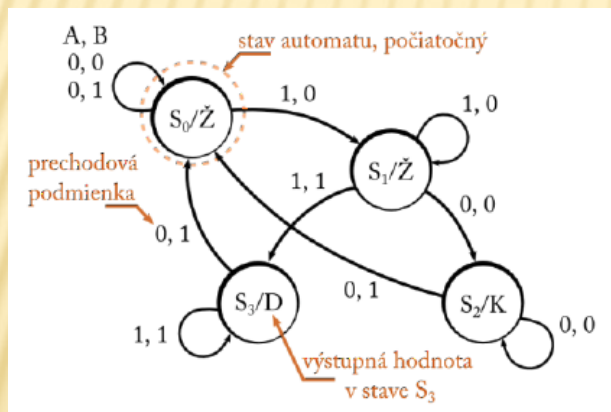
Moorov automat.



# ZÁPIS AUTOMATU DO TABUĽKOVEJ FORMY

## Riešenie

- ✗ **Prechodová časť** popisuje zmenu stavu logického systému a podmienky, pri ktorých k nemu dochádza. Má toľko riadkov, koľko máme stavov. Má toľko stĺpcov, koľko je možností vstupných signálov (symbolov). *Blok  $\delta$ .*
- ✗ **Výstupná časť** priradzuje výstupný symbol (hodnotu) príslušnému stavu. *Blok  $\lambda$ .* Často používame v tejto fáze *symbolický zápis*.

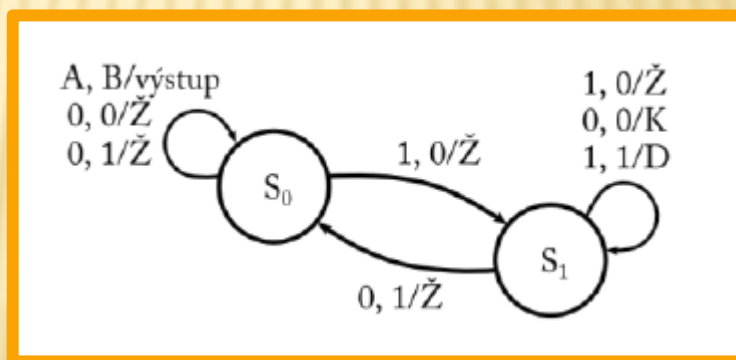
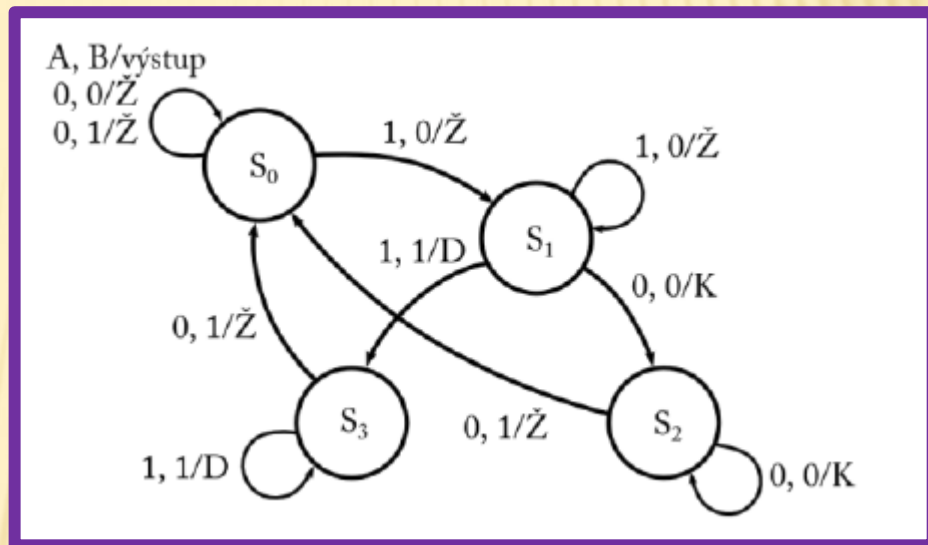




# ZÁPIS AUTOMATU DO TABUĽKOVEJ FORMY

## Príklad

Zapíšte do tabuľky  
oba Mealyho automaty.



# ZÁPIS AUTOMATU DO TABUĽKOVEJ FORMY

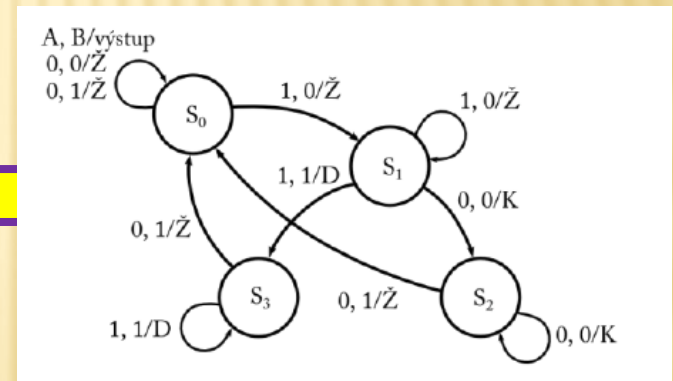
Riešenie (Mealy, 1. automat)

- ✗ **Prechodová časť** popisuje zmenu stavu, blok  $\delta$
- ✗ **Výstupná časť** priraduje výstupný symbol, blok  $\lambda$ . Symbolický zápis.

časť:

	prechodová				výstupná			
	A		B		A		B	
S <sub>0</sub>	S <sub>0</sub>	S <sub>1</sub>	X	S <sub>0</sub>	Ž	Ž	-	Ž
S <sub>1</sub>	S <sub>2</sub>	S <sub>1</sub>	S <sub>3</sub>	X	K	Ž	D	-
S <sub>2</sub>	S <sub>2</sub>	X	X	S <sub>0</sub>	K	-	-	Ž
S <sub>3</sub>	X	X	S <sub>3</sub>	S <sub>0</sub>	-	-	D	Ž
	$\delta$				$\lambda$			

výstup v čase -  $t$   
 $\lambda(S_1, v_3)$



# ZÁPIS AUTOMATU DO TABUĽKOVEJ FORMY

## Riešenie

(pokračovanie)

- ✖ **Výstupná časť** prirad'uje výstupný symbol, *blok*  $\lambda$ . **Symbolický zápis—zakódovanie výstupných symbolov.**

časť:  
prechodová      výstupná

	A    B				A    B			
$s_0$	$s_0$	$s_1$	X	$s_0$	Ž	Ž	-	Ž
$s_1$	$s_2$	$s_1$	$s_3$	X	K	Ž	D	-
$s_2$	$s_2$	X	X	$s_0$	K	-	-	Ž
$s_3$	X	X	$s_3$	$s_0$	-	-	D	Ž
	$\delta$				$\lambda$			

výstup v čase -  $t$   
 $\lambda(s_1, v_3)$

A    B				A    B			
0	0	X	0	0	0	X	0
1	0	0	X	0	0	1	X
1	X	X	0	0	X	X	0
X	X	0	0	X	X	1	0
K				D			

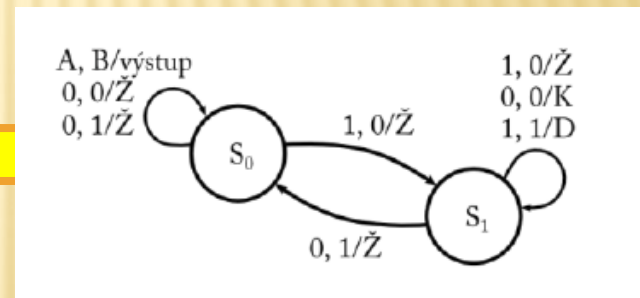
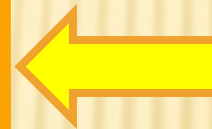


# ZÁPIS AUTOMATU DO TABUĽKOVEJ FORMY

Riešenie (Mealy, 2. automat)

- ✗ **Prechodová časť** popisuje zmenu stavu, *blok  $\delta$*
- ✗ **Výstupná časť** priraduje výstupný symbol, *blok  $\lambda$* . Symbolický zápis.

	<div> <div>A</div> <div>B</div> </div>					<div> <div>A</div> <div>B</div> </div>			
$S_0$	$S_0$	$S_1$	X	$S_0$	Ž	Ž	-	Ž	
$S_1$	$S_1$	$S_1$	$S_1$	$S_0$	K	Ž	D	Ž	
	$\delta$					$\lambda$			



- ✗ **Symbolický zápis—zakódovanie výstupného symbolu.** Výstupné symboly — **Ž**, **K** a **D** zakódujeme podobne ako v predošlom prípade (1. automat).

# PREPIS AUTOMATU NA LOGICKÝ SYSTÉM

Doposiaľ sme popisovali správanie automatu a to formou *orientovaného grafu* alebo *tabuliek*.

Ako však vyzerá **bloková schéma automatu**?

Vychádzame z matematického zápisu Moorovho a Mealyho automatu.

$$S_{(t+\tau)} = \delta(S_{(t)}, x_{(t)}) \approx S_{t+\tau} = \delta(S_t, x_t) \approx S' = \delta(S, x) \\ y_{(t)} = \lambda(S_{(t)}) \approx y_t = \lambda(S_t) \approx y = \lambda(S)$$

$$S_{t+\tau} = \delta(S_t, x_t) \\ y_t = \lambda(S_t, x_t)$$

