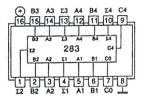
Tato úplná sčítačka (sumátor) je vhodná pro sčítání dvou čtyřbitových slov. Pro každý bit je k disposici výstup součtu. V závislosti na celkovém výsledku vzniká na výstupu C4 bit přenosu. Typická doba součtu pro osm bitů je 23 ns a pro 16 bitů 43 ns.

83, 283 4-bitová úplná sčítačka Pravdívostní tabulka

TUP	B4 Σ4 C4 C0 - B1 A1 Σ1
Když CO = H	16 15 14 13 12 11 10 9
Když C2 = H	14 C4 C0 B1 A1 B1
Σ1 Σ2 C2	13 A3 B3 12 B2
/E3 /E4 /C4	
HLLL	- กับรางางกับการก
LHL	A4 13 A3 B3 + 12 B2 A2
LHL	

,	VSTU	P		C0'=L			C0'= H			
					/ Ko	tyž 2 = L		C	tyž 2 = H	
A1/	B1/	A2/	B2/	Σ1/	12/	C2/	Σ1/	12/	C2/	
/A3	/вз	/A4	/B4	/E3	EA	/C4	Z3	EA	/C4	
L	L	L	L	L	L	L	Н	L	L	
Н	L	L	L	Н	L	l,	Ļ	Н	L	
L	Н	L	Ļ	Н	L	L	L	Н	L	
Н	Н	L	L	L	Н	L	Н	Н	L	
L	L	Н	L	L	Н	1	Н	Н	L	
Н	L	Н	L	Н	Н	L	4	L	Н	
L	Н	Н	L	Н	Н	L	L	L	Н	
Н	Н	Н	L	L	L	Н	Н	L	Н	
L	L	L	Н	L	Н	L	Н	Н	L	
Н	L	L	Н	Н	Н	L	L	L	Н	
L	н	L	Н	Н	Н	L	L	L	Н	
Н	Н	L	Н	L	L	Н	Н	L	Н	
L	L	Н	Н	L	L	Н	Н	L	Н	
Н	L	Н	Н	Н	L	Н	L	Н	Н	
L	Н	Н	н	Н	L	Н	L	Н	Н	
Н	н	Н	Н	L	Н	Н	Н	Н	Н	



7483

74283

Poznámka: Hodnoty výstupů Σ1, Σ2 a interního přenosu C2 jsou dány podmínkami na vstupech A1, B1, A2, B2 a C0. Logické stavy na C2, A3, B3, A4 a B4 určují hodnotu výstupů Σ3, Σ4 a přenosu C4.

		83A	LS83A	L283	L\$283A	
Odběr proudu		62	19	62	19	mA
Typ. doba součtu	2 x 8 bit	23	25	23	25	ns
	2 x 16 bit	43	45	43	45	กร

LS83A, LS283A: logická zátěž (fan-in) vstupů A a B = 2

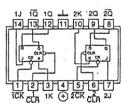
Int. obvod 7485 vzájemně porovnává dvě 4-bitová slova. Na jednom ze tří výstupů je výsledek porovnání těchto dvou čtvřbitových slov A a B: A > B, A = B a A < B. Pomocí tří přenosových vstupů (vývody 2, 3, 4) je možno tyto obvody bez další přídavné logiky rozšířit pro porovnání dvou slov libovolné délky, a to tak, že se přímo spojí výstupy A > B, A=B, A < Bnižšího stupně se vstupy A > B, A = B. A < B vvššího stupně. Při sériovém zapojení několika komparátorů musí být na první vstup A = B přiveden signál HIGH. Doba zpoždění se připojením každého dalšího čtyřbitového komparátoru zvýší o dobu průchodu dvou hradel.

4-bitový komparátor

Pravdivostní tabulka

POROVNÁVACÍ VSTUPY				PŘENOSOVÉ VSTUPY			VÝSTUPY		
A3,B3	A2,B2	A1,81	AQ,B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	Х	X	X	X	, X	X	H	L	L
A3 < B3	×	X	X	X	X	^ x	L	н	L
A3 = B3	A2 > B2	X	X	X	X	X	н	L	L
A3 = B3	A2 < B2	*•X/.	X	×	X	X	L	н	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	н	L	L
A3 = B3	A2 = B2	A1 < B1	×	×	X	X	L	н	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	н	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	н	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	н	L	L	н	L	L
A3 = B3	A2 = B2	A1 . B1	A0 = B0	L	н	L	L	н	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	н	L	L	н
A3 = B3	A2 = B2	A1 = B1	A0 = B0	х	×	н	L	L	н
A3 = B3	A2 = B2	A1 = B1	A0 = B0	н	н	L	L	L	L
43 - B3	A2 - B2	A1 - R1	AO - BO	1	L	l L	н	н	L

Logická zátěž vstupů A, B a A=B je 3



7473

Dva klopné obvody J-K s nulovacím vstupem (Clear)

Pravdivostní tabulky

73

	Vstu	Vý	stupy			
Člear	Člock	J	K	Q	Q	
L	Х	Х	X	L	н	
н	Л	L	L	Qo	\overline{Q}_0	
н	Л	н	L	н	· L	
н	Л	L	н	L	H	
н	Л	н	н	Překlápění		

LS73A

	Vst	·Vý	stupy		
Clear	Clock	J	K	Q	ā
L	X	X	Х	L	н
н .	1	L	L	Q ₀	ā ₀
н.	1	H	L.	Н	L
н	1.	· L	н	L	H
н	1	Η .	н	Přel	dápění
Н	Н	X	X	Qq	Q ₀
S73A s	pouštěný	sestup	nou hra	nou	

73 spouštěný impulsem, Kladná logika

Klopný obvod se překlápí při sestupné hraně hodinového impulsu (přechod z HIGH do LOW)

		73	LS73A	
Odběr pro	udu	20 mA	4 mA	
Min. zaručená hodinová frekvence		15 MHz	30 MHz	
Min, šířka hodinového impulsu při HIGH		20 ns	20 ns	
Min. doba	předstihu	Of ns	201 ns	
Min. doba	přesahu	0↓ ns	ol ns	
tplH	od CK	. 16 ns	15 ns	
(PHL	Q nebo Q	25 ns	15 ns	

Log. zátěž (fan-in) vstupů CLR a CK obvodu 7473 = 2 Log. zátěž (fan-in) vstupů CLR a CK obvodu 74LS73 = 3 až 4

⊕ cfa 20 20x 2PF 20 20 14 13 12 11 10 19 8 10 10 10x 1PF 10 10 11

7474

74 Dva klopné obvody D spouštěné náběžnou (kladnou) hranou hodinového impulzu, s nulovacím (Clear) a nastavovacím (Preset) vstupem

Praydivostní tabulka

	Vst		Vystupy		
Preset	Clear	Clock	. D	Q	Q
L	Н	X	X	Н	L
н	L	X	X	L	н
L	L	. X	X	н•	H*
Η	н	1	н	н	L
н .	н	· 1	L	L	н
н	н	L	X	Q0	\overline{Q}_0

Kladná logika

* Tento stav není stabilní, t.j. nezůstane zachován, jakmile přejde vstup Preset a/nebo Clear do neaktivního stavu (HIGH).

		74	LS74A
	Odběr proudu	17 mA	4 mA
	Min. zaručená hodinová frekvence	15 MHz	25 MHz
	Min. šířka hodinového impulsu při HIGH	30 ns	25 ns
•	Min. doba předstihu	201 ns	25Î ns .
	Min. doba přesahu	51 ns	51 ns
	IPLH od CK	14 ns	13 ns
	tpHi Q nebo Q	20 ns	25 ns

74: log. zátěž (fan-in) vstupu $\overline{\text{CLR}} = 3$, vstupů CK a $\overline{\text{PR}}$ je 2. LS74A:log. zátěž (fan-in) vstupu $\overline{\text{CLR}}$ a $\overline{\text{PR}}$ je 2.

75 Dva dvoubitové střadače D s povolovacím vstupem (Enable)

Pravdivostní tabulka

Vs	lupy	Výs	tupy
D	Ε	Q	ā
L	н	L	Н
Н	н	н	L
X	L	Qo	\bar{Q}_0

Q₀: Úroveň na vývodu Q předtím, než záporná hrana na vstupech ENABLE (E) změní stav pamětí

7475

Kladná logika

		75	LS75	
Odběr proudu		32 mA	6,4 mA	
Min. šířka hodinového impulsu při HIGH		20 ns	20 ns	
Min. dob	a předstihu	20 ns	20 ns	
Min. doba přesahu		5 ns	5 ns	
tPLH tPHL	od E do Q	16	15 ns 14 ns	
IPLH IPHL	od E do Q	16 7	16 7	

75: log. zátěž (fan-in) vstupu D = 2 75, LS75: log. zátěž (fan-in) vstupu E = 4

76 Dva klopné obvody J-K s nastavením (Preset) a nulováním (Clear)

Pravdivostní tabulky

	VÝS	stupy				
Preset	Clear	Clock	J	_K	Q	ā.
L	Н	X	X	X	Н	L
H	L	X	X	X	L	н .
L	L	X	X	X	H*	H*
Н	Н	Л	L	L	Qo	\overline{Q}_0
Н	Н	Л	н	L	н	L
Н	Н	Л	L	Н	L	Н
Н	Н	Л	н	Н	Překl	ápění

	Vstupy					tupy
Preset	Clear	Clock	J	K	Q	ā
L	Н	X	X	X	Н	L
Н	L	X	X	X	L	Н
L	L	X	X	X	H*	H.
Н	Н	1	L	L	Qo	Q0
Н	Н	1	Н	L	н	L
Н	Н	1	L	Н	L	Н
Н	Н	1	H	H	Překl	ápění
Н	Н	Н	X	X	Qo	\overline{Q}_0

76: spouštěn impulsem

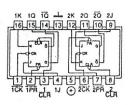
LS76A: spouštěn sestupnou hranou

Kladná logika

Překlopení: klopný obvod se překlopí při sestupné hraně hodinového impulsu

		76	LS76A
Odběr pr	oudu ~ ~	20 mA ·	4 mA
Min. zaručená hodinová frekvence		15 MHz	30 MHz
Min. šířka hodinového impulsu při HIGH		20 ns	20 ns
Min. doba předstihu		0 îns	20 ↓ ns
Min. dob	a přesahu	0 ↓ ns	0 ↓ ns
IPLH	od CK do	14 ns	13 ns
IPHL	Q.nebo Q	20 ns .	25 ns

76: log. zátěž (fan-in) vstupů CLR,PR a CK = 2 LS76A: log. zátěž (fan-in) vstupů CLR,PR = 3 vstupu CK = 4



7476

70 Klopný obvod J-K, spouštěný kladnou hranou, se třemi vstupy J i K, vstupem přednastavení (preset) a nulování (clear).

Pravdivostní tabulka

Vstupy					Výstupy	
Preset	Clear	Clock	J	K	Q	ā
L	Н	L	X	X	Н	L
Н	L	L	X	X	L	H
L	L	X	X	X	L.	Co L°
н	Н	T-	L	L	Qo	Q ₀
Н	н	1	H	L	Н	L
H	Н	1	L	H	L	Н
Н	Н	T	H	H	Překl	ápění
Н	Н	L	X	X	Qo	Qo

		70
Odběr pro	13 mA	
Min. zaruč frekvence	20 MHz	
Min, šířka Impulsu p	20 ns	
Min. doba	20 1 ns	
Min. doba	přesahu	5 T ns
tPLH	od CK	16 ns
tPHL	Q nebo Q	25 ns

→ PR CK K2 K1 K Q

7470

Překlápění: klopný obvod se překlopí do opačného stavu při náběžné hraně hodinového impulsu ($L \rightarrow H$).

* Tento stav není stabilní, t.zn. nezůstane zachován, když se signál Preset a /nebo Clear stane neaktivním (HIGH). Nepoužité vstupy \overline{J} a \overline{K} se musí připojit na zem.

Vstupy Preset (PR) a Clear (CLR) představují vstupní zátěž fan-in = 2.

Klopný obvod J-K Master-Slave spouštěný impulsem, se třemi vstupy J i K, vstupem přednastavení (preset) a vstupem nulování (clear).

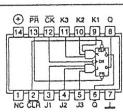
Pravdivostní tabulka

	Vstupy					Výslupy	
Preset	Clear	Clock	J	K	Q	ā	
L	Н	Χ -	X	X	Н	L	
Н	L	X	X	X	L	H	
L	L	X	X	X	H*	H*	
Н	Н	Л	L	r.	Qo	Q0	
Н	Н	Л	Н	L	н	L	
н	Н	Л	L	Н	L	Н	
Н	Н	Л	Н	H	Překl	ápění	

		12
Odběr pro	10 mA	
Min. żaruć frekvence	čená hodinová	15 MHz
Min, šířka impulsu p	hodinového ři HIGH	20 ns
Min. doba	0 T ns	
Min. doba	přesahu ·	o ↓ ns
IPLH	od CK	16 ns
TPHL	Q nebo Q	25 ns
ro vstupy P	R, CLR a CK je vstu	ipní zátěž fan-

Překlápění: klopný obvod se překlopí při sestupné hraně hodinového impulsu ($H \rightarrow L$).

* Tento stav není stabilní, t.j. nezůstane zachován, jakmile se signál Preset a/nebo Clear stane neaktivním (HIGH).



7472

Tento stav není stabilní, t.j. nezachová se, jakmile nastavovací a/nebo nulovací vstup přejde do neaktivního stavu (HiGH).