

# LOGICKÉ SYSTÉMY

Prednáška 4, 2014-2015

Ing. Adam Jaroš, PhD – prednášky, cvičenia

Ing. Michal Chovanec – cvičenia

Katedra technickej kybernetiky

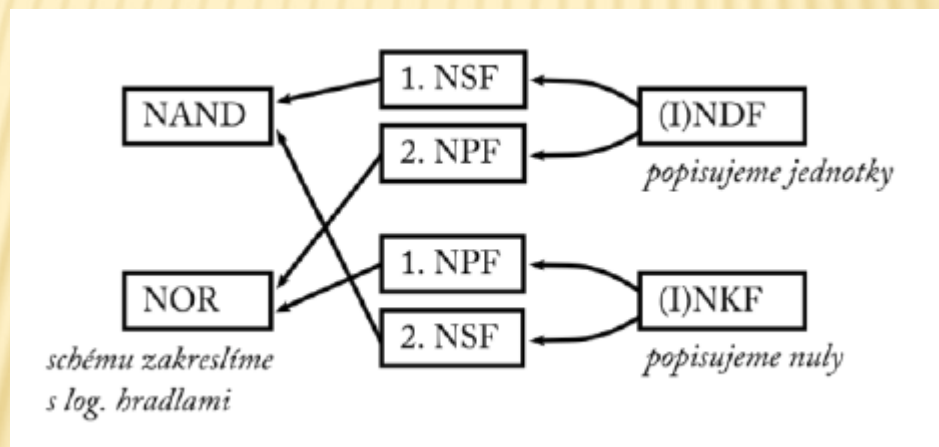
Web predmetu: <http://frtk.fri.uniza.sk>

# OPAKOVANIE – PREHĽAD NORMÁLNYCH FORIEM

Popis Karnaughovej mapy.

Normálne formy

- **Pierceová** funkcia
- **Shafferová** funkcia



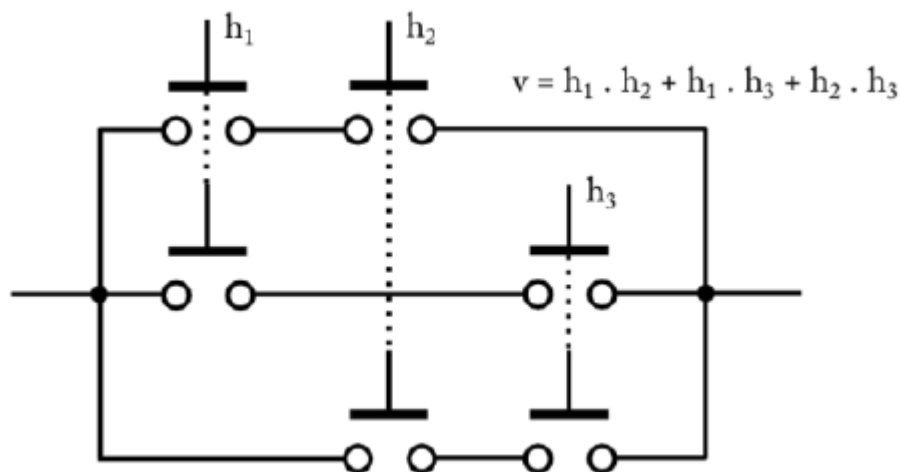
# OPAKOVANIE – KONTAKTNÉ SYSTÉMY

## Príklad

Kontaktná reprezentácia funkcie M3.

## Riešenie

Kontaktná štrukturálna schéma.





# OPAKOVANIE – KONTAKTNÉ SYSTÉMY

## Príklad

Kontaktná sieť a elektrická schéma s NAND a NOR.

Logický obvod zadaný Karnaughovou mapou.

	$b$		$c$		
	$\overline{b}$		$b$		
$a$	$\overline{a}$	0	0	1	1
	$a$	1	1	0	1
	$\overline{a}$		$a$		
	$y$				

## Riešenie

Optimálne konfigurácie sú zakreslené

- INDF (modrá farba)
- INKF (zelená farba)

$$\text{INDF: } y = (a \cdot \bar{c}) + (\bar{a} \cdot c) + (\bar{b} \cdot c)$$

$$\text{INKF: } y = (a + c) \cdot (\bar{a} + \bar{b} + \bar{c})$$

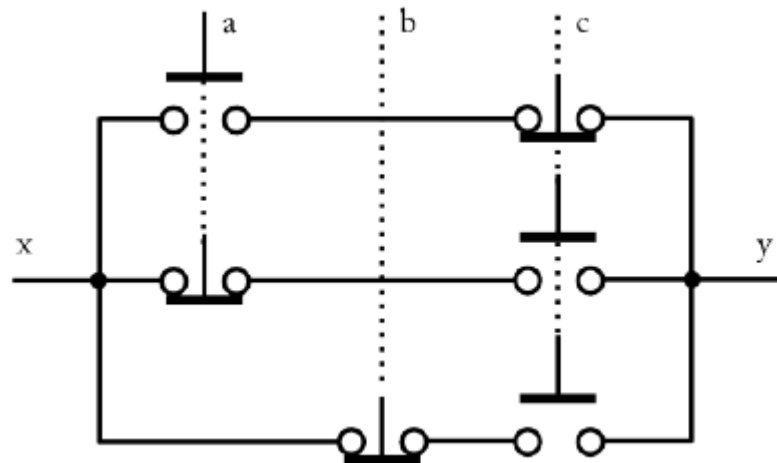
# OPAKOVANIE – KONTAKTNÉ SYSTÉMY

Riešenie

*pokračovanie*

$$\text{INDF: } y = (a \cdot \bar{c}) + (\bar{a} \cdot c) + (\bar{b} \cdot c)$$

$$\text{INKF: } y = (a + c) \cdot (\bar{a} + \bar{b} + \bar{c})$$



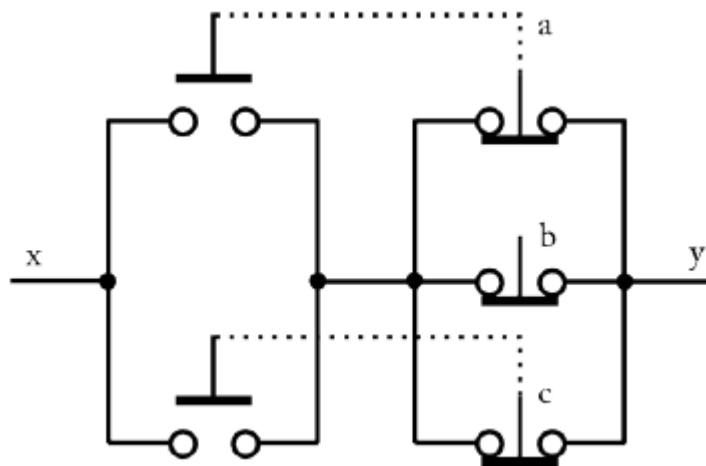
# OPAKOVANIE – KONTAKTNÉ SYSTÉMY

Riešenie

*pokračovanie*

$$\text{INDF: } y = (a \cdot \bar{c}) + (\bar{a} \cdot c) + (\bar{b} \cdot c)$$

$$\text{INKF: } y = (a + c) \cdot (\bar{a} + \bar{b} + \bar{c})$$





# OPAKOVANIE – KONTAKTNÉ SYSTÉMY

## Riešenie

*pokračovanie*

Prepis do foriem

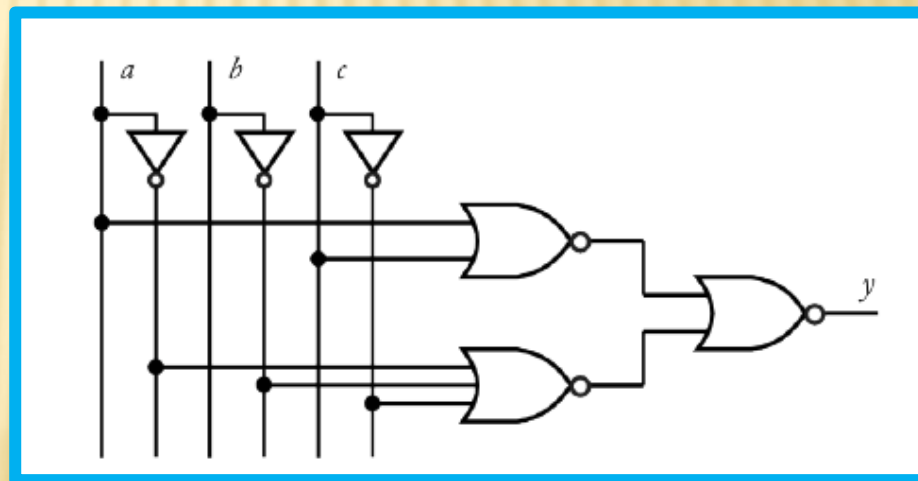
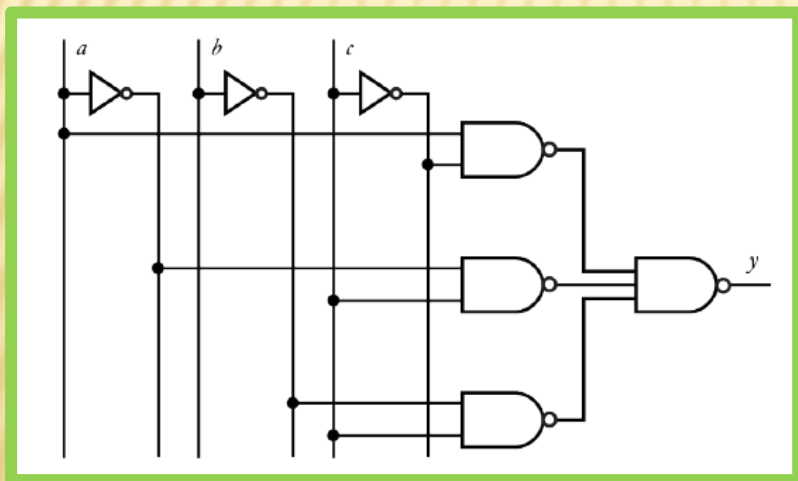
- INDF do 1. NSF
- INKF do 1. NPF.

$$\text{INDF: } y = (a \cdot \bar{c}) + (\bar{a} \cdot c) + (\bar{b} \cdot c)$$

$$\text{INKF: } y = (a + c) \cdot (\bar{a} + \bar{b} + \bar{c})$$

$$\text{INDF zapísaná v 1. NSF: } y = (a|\bar{c})|(\bar{a}|c)|(\bar{b}|c)$$

$$\text{INKF zapísaná v 1. NPF: } y = (a \downarrow c) \downarrow (\bar{a} \downarrow \bar{b} \downarrow \bar{c})$$



Spôsob kreslenia 1. vrstvy siete - inverzie vstupných premenných kreslíme len raz.

# OPAKOVANIE – KONTAKTNÉ SYSTÉMY

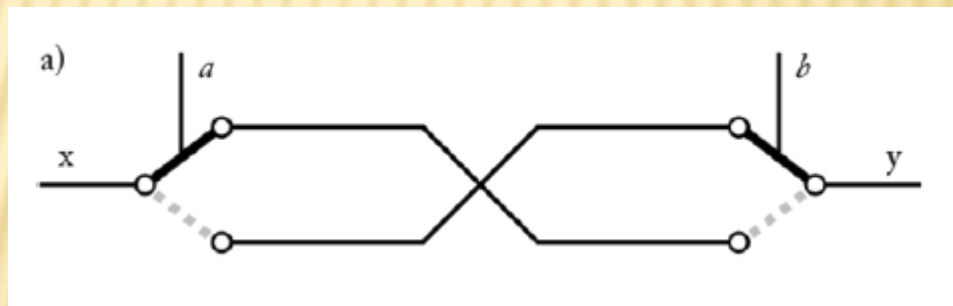
## Príklad

Kontaktná sieť chodbového / schodiskového prepínača osvetlenia.

Rozšírenie pre viac odbočiek.

## Riešenie

Použijeme kontaktné prevedenia funkcie XOR.



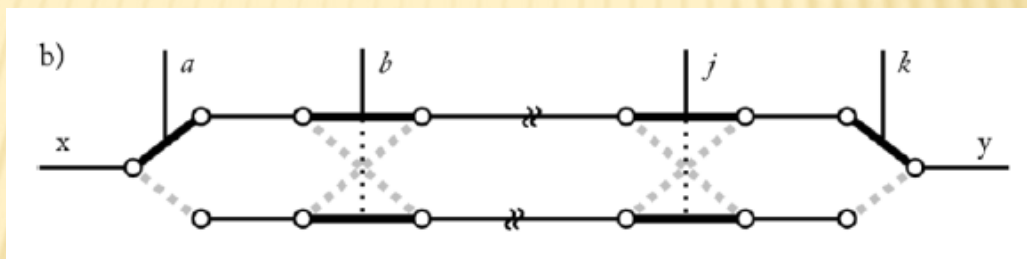


# OPAKOVANIE – KONTAKTNÉ SYSTÉMY

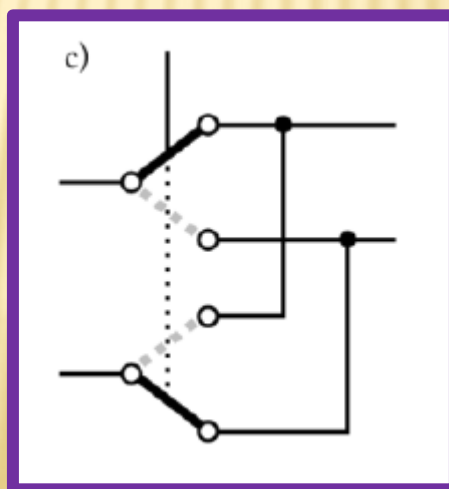
## Riešenie

*pokračovanie*

So špeciálnym typom—krížového prepínača je možné riešiť ľubovoľný počet odbočiek.



**Krížový  
prepínač**  
(princíp)



# OPAKOVANIE – PRINCÍPY HĽADANIA „OPTIMÁLNEHO“ RIEŠENIA – AKÉ KRITÉRIA MINIMALIZÁCIE POUŽIJEME?

- ✗ *pravidelné konfigurácie*
- ✗ použitie pravidiel Booleovej algebry  
(*zátvorkové pravidlá*)
- ✗ v praxi (súčiastková základňa;  
požiadavky na vlastnosti zapojenia  
napr. rýchlosť, odolnosť voči rušeniu,  
spotreba, rozmery, spoľahlivosť).
- ✗ vieme exaktne riešiť len úlohy  
s malým počtom premenných (heuristika)
- ✗ hľadanie optimálnych konfigurácií  
v logickom systéme s viacerými výstupmi  
*globálna optimalizácia*

$a+a=a$	$a.a=a$
Zákon absorpcie:	
$a+a.b=a$	$a.(a+b)=a$
Zákon absorpcie negácie:	
$a + \bar{a}.b = a + b$	$a.(\bar{a} + b) = a.b$
Distributívny zákon:	
$a+(b.c)=(a+b).(a+c)$	$a.(b+c)=a.b+a.c$
Napr.: $a+(a.b)=a$	$a.(a+b)=a$
$a.b + \bar{a}.b = b$	$(a + b).(\bar{a} + b) = b$
Neutrálnosť nuly a jednotky:	
$a+0=a$	$a.1=a$
Agresívnosť nuly a jednotky:	
$a+1=1$	$a.0=0$
Zákon vylúčenia tretieho:	
$a + \bar{a} = 1$	$a. \bar{a} = 0$
De Morganove zákony:	
$\overline{a + b} = \bar{a}. \bar{b}$	$\overline{a.b} = \bar{a} + \bar{b}$

Princíp spočíva vo vytváraní takých pravidelných konfigurácií, ktoré sa dajú aplikovať vo viacerých Karnaughových mapách súčasne.

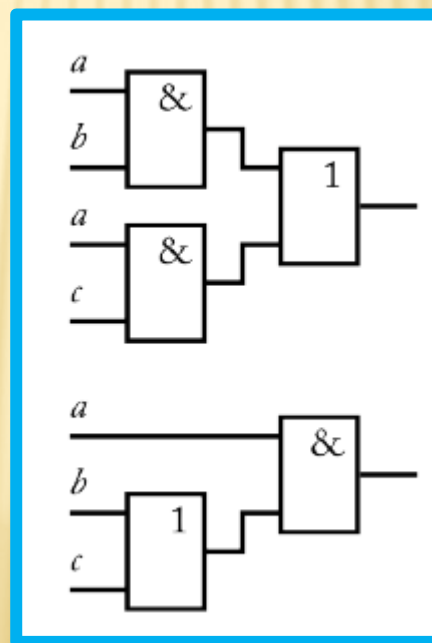
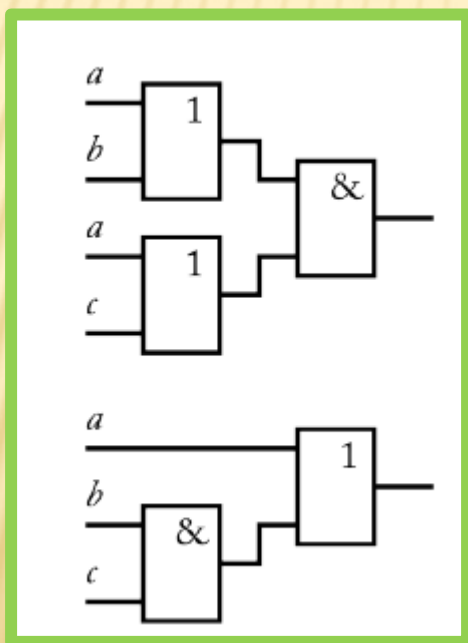
# OPAKOVANIE – ZÁTVORKOVÉ FORMY

Distributívny zákon Booleovej algebry – „*zátvorkové pravidlá*“.

$$(a + b) \cdot (a + c) = a + b \cdot c$$

$$a \cdot b + a \cdot c = a \cdot (b + c)$$

Elektrická schéma zátvorkových pravidiel (ľavá a pravá strana rovnice)



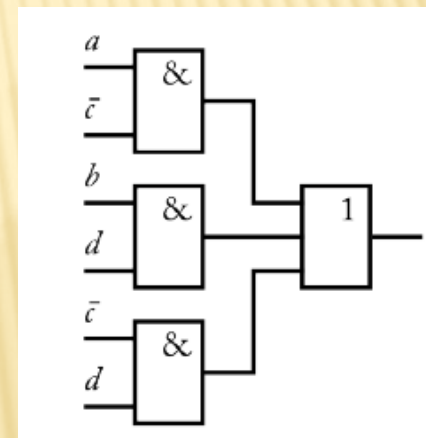


# OPAKOVANIE – ZÁTVORKOVÉ FORMY

## Príklad

Aplikujte zátvorkové pravidlá

$$y = a \cdot \bar{c} + b \cdot d + \bar{c} \cdot d$$

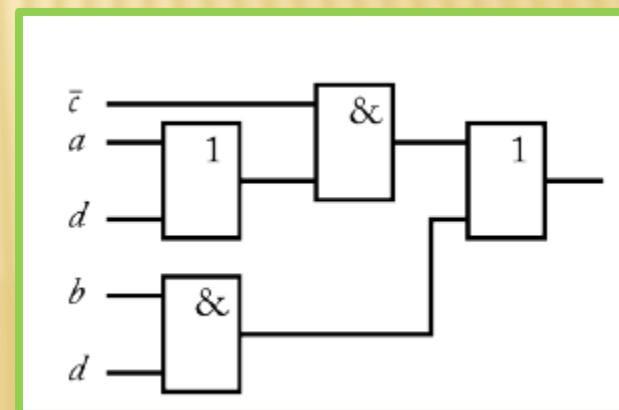


## Riešenie

Pre aplikovanie pravidla máme dve možnosti, premenné  $\bar{c}$  a  $d$ . Aplikujme pravidlo na prvý a posledný súčin:

$$y = \bar{c} \cdot (a + d) + b \cdot d$$

Výsledok zjednodušenia



# OPAKOVANIE – ZÁTVORKOVÉ FORMY

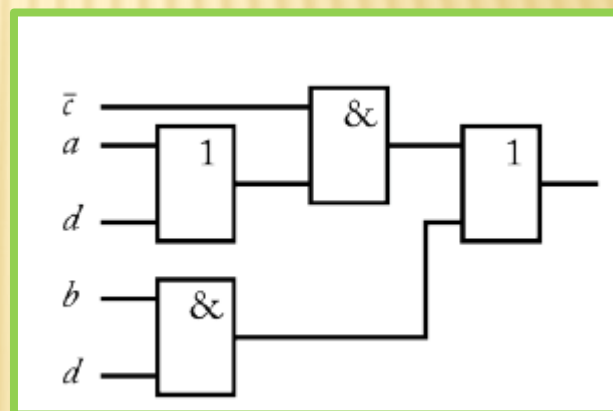
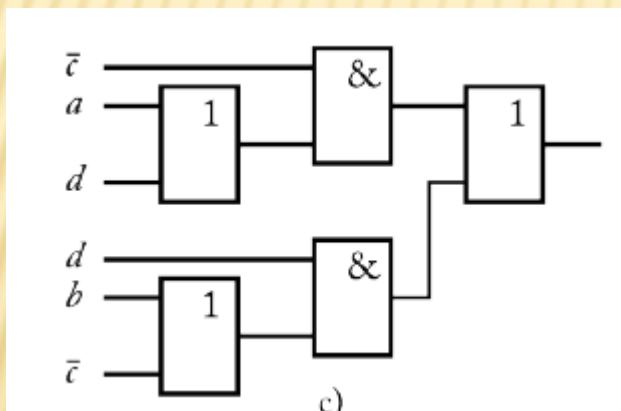
## Riešenie

*pokračovanie*

Pokračujme aplikovaním pravidla po **druhý krát**. K výrazu najskôr pripočítajme  $\bar{c} \cdot d$

$$\begin{aligned} y &= \bar{c} \cdot (a + d) + b \cdot d + \bar{c} \cdot d \\ &= \bar{c} \cdot (a + d) + d \cdot (b + \bar{c}) \end{aligned}$$

Výsledok druhého zjednodušenia je na obrázku.



## Záver

Každý súčin je vhodné použiť v zátvorkovej forme najviac 1 raz.

Ak rovnaký súčin použijem viac krát riešenie bude zložitejšie. **Existujú výnimky!**

# OPAKOVANIE – ZÁTVORKOVÉ FORMY

## Príklad

Aplikujte zátvorkové pravidlá.

Zapíšte výsledok do 1. NPF a 2. NSF.

$$y = (a + \bar{b}) \cdot (b + \bar{c}) \cdot (a + c)$$

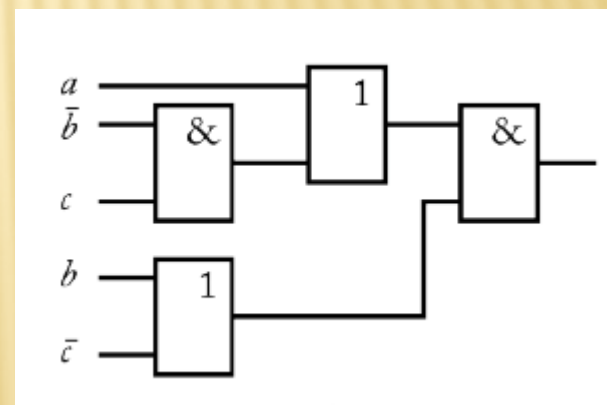
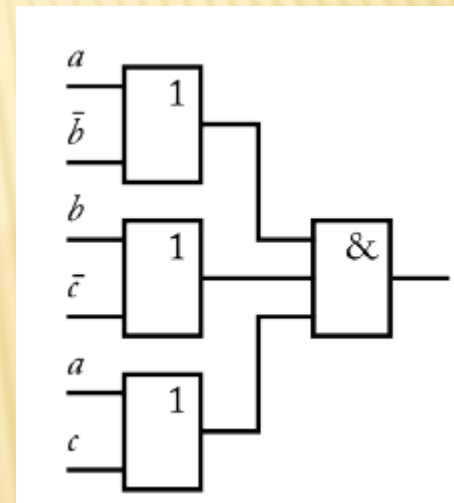
Výsledok zjednodušenia.

Platí rovnaký „záver“ ako pri NDF.

## Záver

Každý súčet je vhodné použiť v zátvorkovej forme najviac 1 raz.

Ak rovnaký súčet použijem viac krát riešenie bude zložitejšie. **Existujú výnimky!**





# OPAKOVANIE – ZÁTVORKOVÉ FORMY

*pokračovanie*

Úpravu do 1. NPF prevedieme za pomoci substitúcie  $K = \underline{\bar{b}} \cdot c$ :

$$\begin{aligned}y &= (a + K) \cdot (b + \bar{c}) \\&= (a \downarrow K) \downarrow (b \downarrow \bar{c}) \\&= (a + K) \cdot \bar{K} \\&= a \cdot \bar{K} = \bar{a} \downarrow K\end{aligned}$$

kde

$$K = \bar{b} \cdot c = \overline{\overline{\bar{b}} \cdot c} = \overline{\bar{b} \vee \bar{c}} = b \downarrow \bar{c}$$

si upravíme s použitím De Morganovho pravidla a zákona absorpcie po dosadení dostaneme

$$y = \bar{a} \downarrow (b \downarrow \bar{c})$$

# OPAKOVANIE – ZÁTVORKOVÉ FORMY

*pokračovanie*

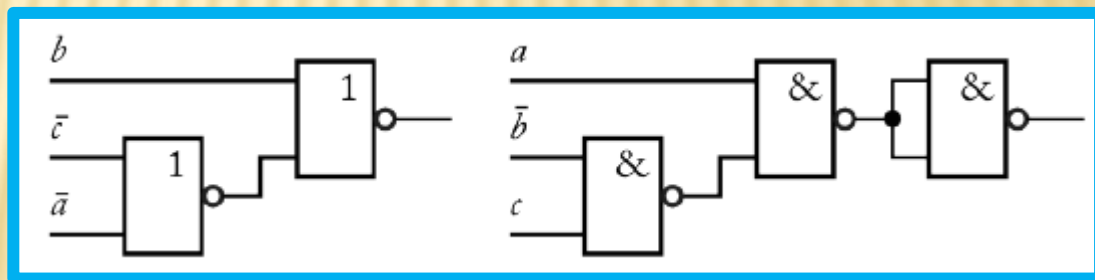
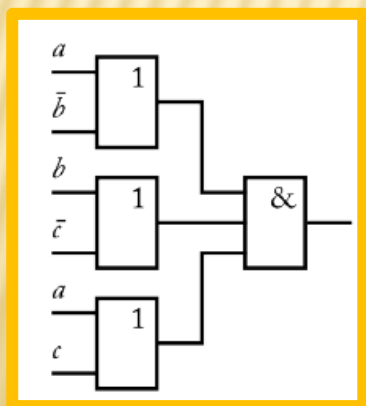
Úpravu do 2. NSF prevedieme podobne za pomoci substitúcie

$$K = \bar{b} \cdot c = \overline{\overline{\bar{b} \cdot c}} = (\bar{b}|c)|$$

a získame:

$$y = [a|(\bar{b}|c)]|$$

Elektrické schémy (vľavo—pôvodná sieť, vpravo—optimálna sieť s NOR a NAND)



# OPAKOVANIE – NÁVRH ZLOŽITÝCH KOMBINAČNÝCH SYSTÉMOV, ŠTRUKTURÁLNA DEKOMPOZÍCIA

Existujú logické obvody, u ktorých môžeme ich štruktúru popísať jednoduchšími obvodmi, ktoré sa opakujú. Takýto základný blok—obvod nazývame *iteratív*.

Pri návrhu logického obvodu s opakovanou štruktúrou najskôr hľadáme **popis správania sa *iteratívu***.

1) Cieľom je vytvoriť *iteratív* čo najjednoduchší a s minimálnym počtom vstupných signálov.

2) Definujeme vzťahy medzi elementárnymi blokmi. Tomuto spôsobu návrhu hovoríme *štrukturálna dekompozícia*.

Tento prístup vedie na **pomalšie systémy**.

Patria tu napr. **sčítačky, násobičky** a iné.

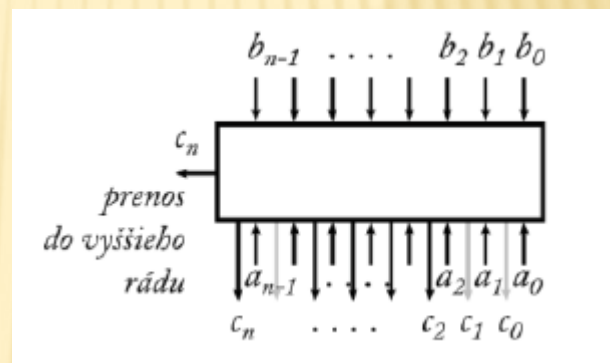
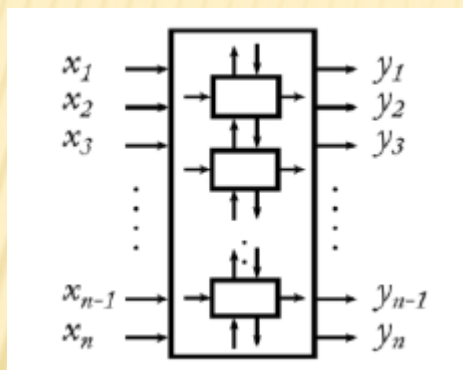


# OPAKOVANIE – NÁVRH ZLOŽITÝCH KOMBINAČNÝCH SYSTÉMOV, ŠTRUKTURÁLNA DEKOMPOZÍCIA

## Príklad

Navrhnete a zakreslite schému 8-bitovej binárnej sčítačky.

Určte celkové oneskorenie sčítačky.



# OPAKOVANIE – NÁVRH ZLOŽITÝCH KOMBINAČNÝCH SYSTÉMOV, ŠTRUKTURÁLNA DEKOMPOZÍCIA

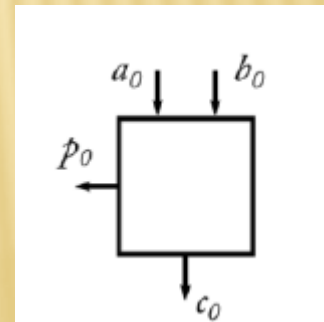
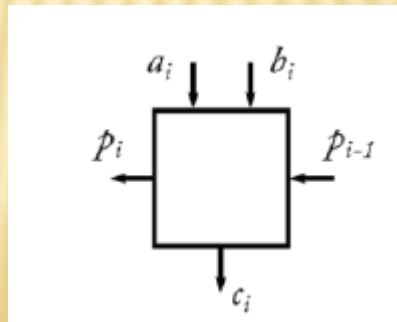
## Riešenie

Matematický princíp sčítavania dvoch čísel bez znamienka.

$$\begin{array}{r} \begin{array}{cc} a_7 & a_0 \\ b_7 & b_0 \end{array} \\ \text{A: } 10110101 \\ + \text{B: } 00110100 \\ \hline \text{prenos: } 00110100 \\ \text{C: } 11101001 \end{array}$$

Z princípu je zrejmä štruktúra iteratívu.

Prípad nultého bitu môže byť vyriešený samostatne. Sčítavanie prvého bitu je jednoduchšie (bez prenosu).

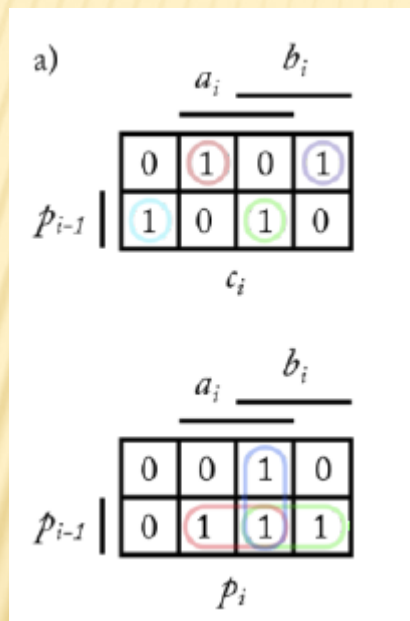


# OPAKOVANIE – NÁVRH ZLOŽITÝCH KOMBINAČNÝCH SYSTÉMOV, ŠTRUKTURÁLNA DEKOMPOZÍCIA

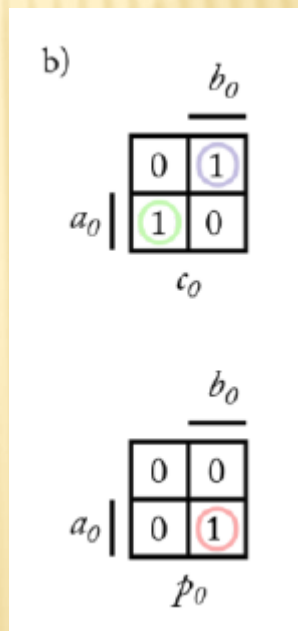
## Riešenie

*pokračovanie*

Karnaughove mapy pre oba navrhnuté iteratívy.



*pre bity 1.-7.*



*pre 0-tý bit*



# OPAKOVANIE – NÁVRH ZLOŽITÝCH KOMBINAČNÝCH SYSTÉMOV, ŠTRUKTURÁLNA DEKOMPOZÍCIA

## Riešenie

*pokračovanie*

NDF všetkých výstupných premenných.

$$\begin{aligned}c_i &= p_{i-1} \cdot \bar{a}_i \cdot \bar{b}_i + p_{i-1} \cdot a_i \cdot b_i + \bar{p}_{i-1} \cdot a_i \cdot \bar{b}_i + \bar{p}_{i-1} \cdot \bar{a}_i \cdot b_i \\p_i &= p_{i-1} \cdot a_i + p_{i-1} \cdot b_i + a_i \cdot b_i \\c_0 &= a_0 \cdot \bar{b}_0 + \bar{a}_0 \cdot b_0 \\p_0 &= a_0 \cdot b_0\end{aligned}$$

prepis do 1. NSF

$$\begin{aligned}c_i &= (p_{i-1}|\bar{a}_i|\bar{b}_i)|(p_{i-1}|a_i|b_i)|(\bar{p}_{i-1}|a_i|\bar{b}_i)(\bar{p}_{i-1}|\bar{a}_i|b_i) \\p_i &= (p_{i-1}|a_i)|(p_{i-1}|b_i)|(a_i|b_i) \\c_0 &= (a_0|\bar{b}_0)|(\bar{a}_0|b_0) \\p_0 &= (a_0|b_0)|\end{aligned}$$

a)

	$a_i$	$b_i$	
	0	1	0
$p_{i-1}$	1	0	1
	$c_i$		

	$a_i$	$b_i$	
	0	0	1
$p_{i-1}$	0	1	1
	$p_i$		

b)

	$b_0$	
	0	1
$a_0$	1	0
	$c_0$	

	$b_0$	
	0	0
$a_0$	0	1
	$p_0$	

# OPAKOVANIE – NÁVRH ZLOŽITÝCH KOMBINAČNÝCH SYSTÉMOV, ŠTRUKTURÁLNA DEKOMPOZÍCIA

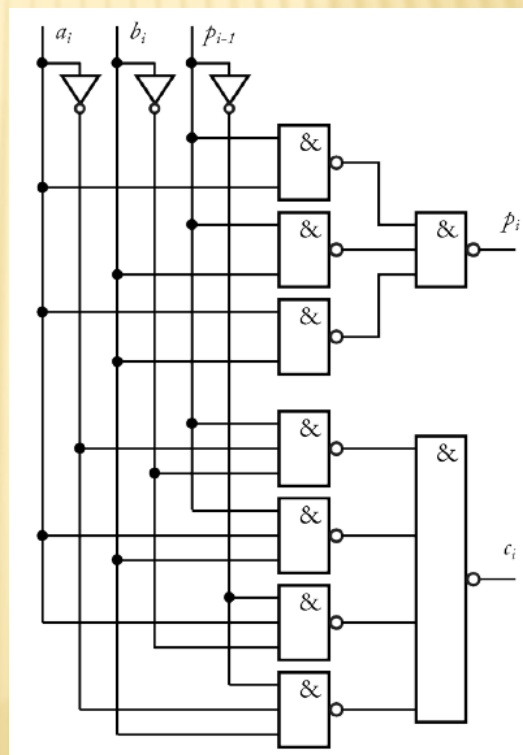
## Riešenie

*pokračovanie*

$$\begin{aligned}c_i &= (p_{i-1}|\bar{a}_i|\bar{b}_i)|(p_{i-1}|a_i|b_i)|(\bar{p}_{i-1}|a_i|\bar{b}_i)(\bar{p}_{i-1}|\bar{a}_i|b_i) \\p_i &= (p_{i-1}|a_i)|(p_{i-1}|b_i)|(a_i|b_i) \\c_0 &= (a_0|\bar{b}_0)|(\bar{a}_0|b_0) \\p_0 &= (a_0|b_0)|\end{aligned}$$

Zapojenie jednobitovej *plnej sčítačky*.

Jednobitová plná sčítačka,  
realizácia použitím  
logických hradieľ NAND.



# OPAKOVANIE – NÁVRH ZLOŽITÝCH KOMBINAČNÝCH SYSTÉMOV, ŠTRUKTURÁLNA DEKOMPOZÍCIA

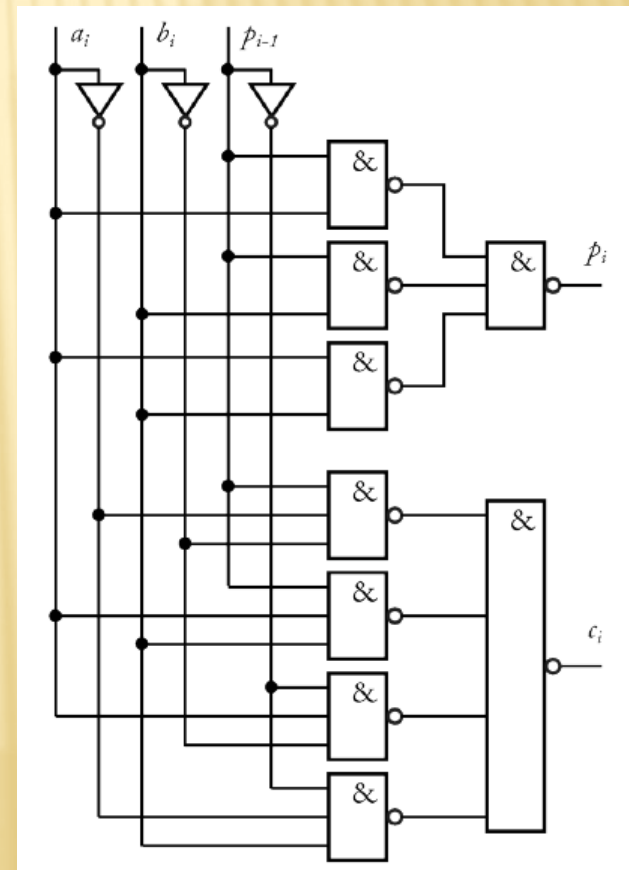
## Riešenie

*pokračovanie*

### Výpočet oneskorenia sčítačky.

Uvažujme jednotkové obneskorenie každého hradla. Potom celkové oneskorenie 8-bitovej sčítačky rovné  $3 + 2.7 = 17$  časových jednotiek od okamžiku pripojenia vstupných čísel  $a$ ,  $b$  až po získanie platného výsledku  $c$ .

Cena za *jednoduchý návrh* je *pomalé riešenie*.





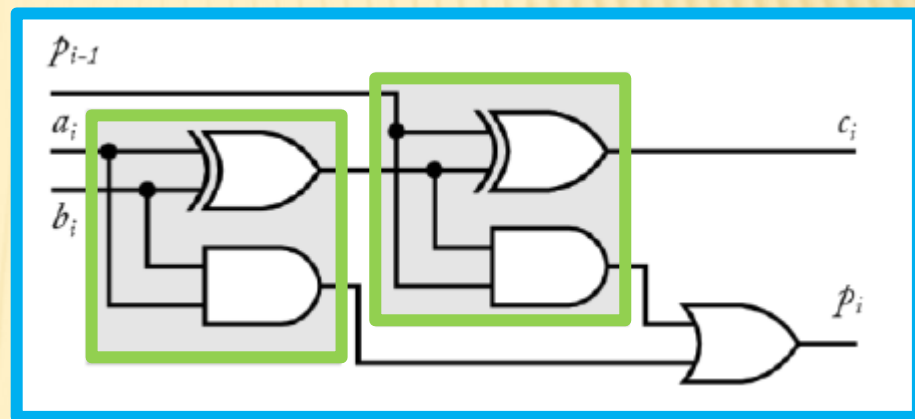
# OPAKOVANIE – NÁVRH ZLOŽITÝCH KOMBINAČNÝCH SYSTÉMOV, ŠTRUKTURÁLNA DEKOMPOZÍCIA

## Riešenie

*pokračovanie*

Praktická aplikácia sčítanky.

V praxi sa častejšie používa zapojenie s hradlami XOR.



Zapíšme si výrazy pre polovičnú a plnú sčítacku.

Polovičná sčítacka:

$$c_i = a_i \oplus b_i$$

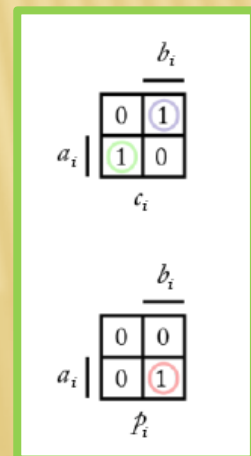
$$p_i = a_i \cdot b_i$$

Plná sčítacka:

$$c_i = (a_i \oplus b_i) \oplus p_{i-1} = a_i \oplus b_i \oplus p_{i-1}$$

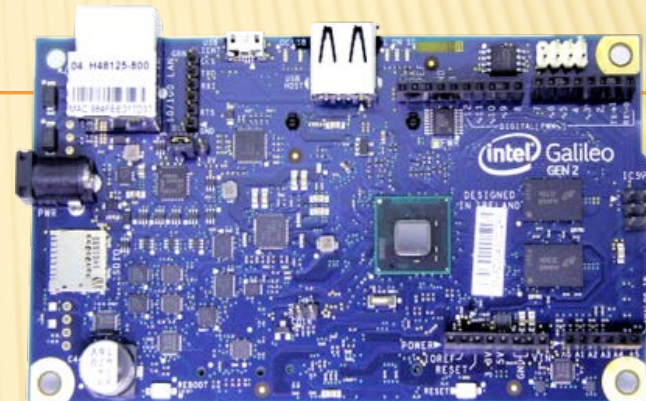
$$p_i = a_i \cdot b_i + p_{i-1} \cdot (a_i \oplus b_i)$$

*Karnaughova mapa polovičnej sčítacky*



# PREDNÁŠKA 4

## Intel Galileo Gen 2



Témy prednášky:

- 1) Nedokonalosť stavebných prvkov kombinačných systémov
- 1) Vznik hazardu a spôsoby jeho eliminácie
- 2) Časový priebeh zmien výstupu logickej siete
- 3) Príklady často používaných zapojení kombinačných obvodov
  - 1) Multiplexor – MUX
  - 2) Demultiplexor – DEMUX
  - 3) Komparátor
  - 4) Kóder – CD a dekóder – DEC

# DYNAMICKÁ NEDOKONALOSŤ STAVEBNÝCH PRVKOV

Pri návrhu číslicových logických systémov musíme zohľadniť **časové parametre stavebných prvkov**.

V prípade rýchlych systémov je to predovšetkým časové **oneskorenie hradla** alebo **celého obvodu**.

Časové i ďalšie parametre **získavame od výrobcu súčiastky** z katalógu (*datasheets*).

Jedna súčiastka môže byť vyrobená rôznymi technologickými postupmi.

Pri zložitejších systémoch musíme zvážiť ich **vzájomnú kompatibilitu**.

Pri kombinačných obvodoch nám niekedy časové oneskorenie neprekáža. Avšak vždy s ním musíme počítať pri návrhu sekvenčných systémov.



# VLASTNOSTI STAVEBNÝCH PRVKOV – HRADIEL

Základné vlastnosti hradíel rady 74xx

- technológia výroby (TTL, CMOS, HS-CMOS, AHS-CMOS, BiCMOS, Shottky, ...)
- rýchlosť obvodu
- rozsah napájacieho napätia (+U<sub>cc</sub>, +V<sub>cc</sub>, od 1.25V až 18V)
- spotreba (obvykle rastie s vyššou pracovnou frekvenciou)
- zaťažiteľnosť a vetvenie (fan—out)
- veľkosť puzdra obvodu (DIL, SOP, ...)



řada	technologie	log. úroveň (V)	rozsah U <sub>c</sub> (V)	I <sub>c</sub> (μA)	tpd max (ns)	vstup	výstup
MOS 4000	Standard CMOS	5.0	3.0 ~ 18.0	20		CMOS	CMOS
74 HC	High Speed CMOS	5.0	2.0 ~ 6.0	80	21	CMOS	CMOS
74 HCT	High Speed CMOS / TTL	5.0	4.5 ~ 5.5	80	30	TTL	CMOS
74 AC	Advanced CMOS	5.0	3.0 ~ 5.5	40	6.5	CMOS	CMOS
74 ACT	Advanced CMOS / TTL	5.0	4.5 ~ 5.5	40	8.0	TTL	CMOS
74 AHC	Advanced High Speed CMOS	5.0	2.0 ~ 5.5	40	7.5	CMOS	CMOS
74 AHCT	Advanced High Speed CMOS / TTL	5.0	4.5 ~ 5.5	40	7.7	TTL	CMOS
74 BCT	BiCMOS	5.0	4.5 ~ 5.5	90 mA	6.6	TTL	TTL
74 LV	Low Voltage CMOS	3.3	2.0 ~ 5.5	20	14	LV CMOS	LV TTL
74 LVC	Low Voltage CMOS / TTL	3.3	1.65 ~ 3.6	10	4.0	LV TTL	LV CMOS
74 LS	Low Power Schottky TTL	5.0	4.75 ~ 5.25	95 mA	12	TTL	TTL
74 ALS	Advanced Low Power Schottky TTL	5.0	4.5 ~ 5.5	58mA	10	TTL	TTL
74 F	Fast TTL	5.0	4.5 ~ 5.5	120 mA	6	TTL	TTL

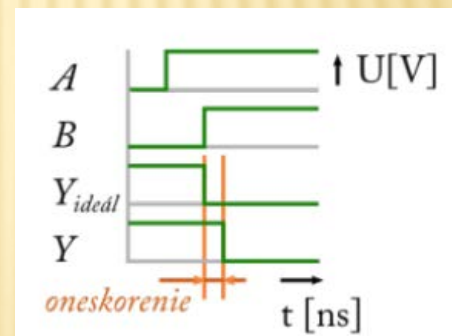
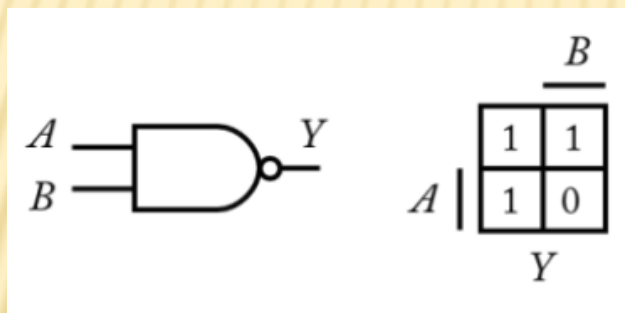
logická úroveň (V)    jmenovitá hodnota napětí logické úrovně H  
U<sub>c</sub> (V)                napájecí napětí  
I<sub>c</sub> (μA)                spotřeba nezátíženého hradla  
tpdmax (ns)            zpoždění výstupního signálu

# ČASOVÝ PRIEBEH VÝSTUPU LOGICKÉHO HRADLA

Ideálny a reálny (zjednodušený) časový priebeh prechodu signálu cez logický člen.

Medzi významné parametre logického hradla patrí

- časové oneskorenie
- tvarové skreslenie výstupného napätia oproti ideálnemu priebehu



Logické hradlo sa správa ako dynamický systém s určitými frekvenčnými vlastnosťami.

# ČASOVÝ PRIEBEH VÝSTUPU LOGICKÉHO HRADLA

---

Zmena vstupnej a výstupnej hodnoty nenastáva však okamžite ale postupne.

Výrobcovia používajú rôzne riešenia, každé ma svoje výhody a nevýhody.

Jedná sa o technologickú záležitosť a s postupom času sa vlastnosti tranzistorov použitých pre zostavenie hradiel zlepšujú.

Matematický popis logického—obdĺžnikového signálu vyjadríme napr. s **Fourierovým rozkladom** ako súčet harmonických signálov s rozdielnou amplitúdou a fázou.



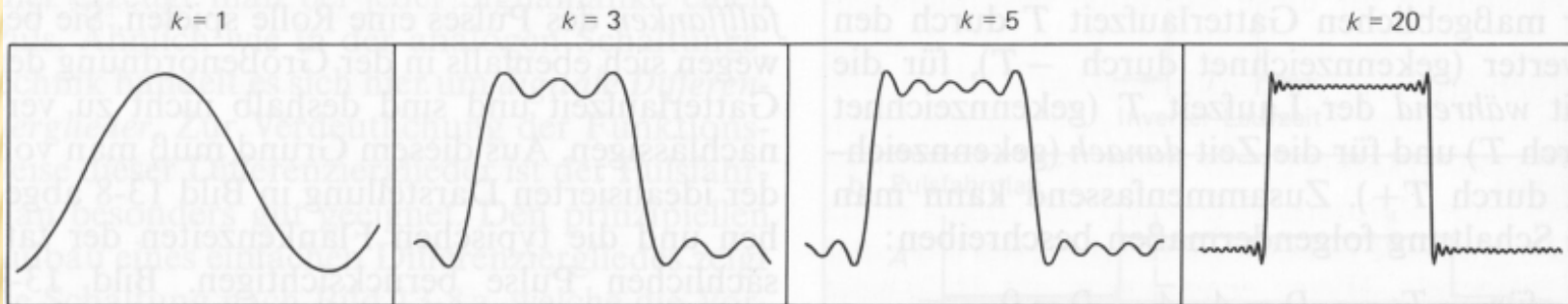
# ČASOVÝ PRIEBEH VÝSTUPU LOGICKÉHO HRADLA

## Fourierová transformácia

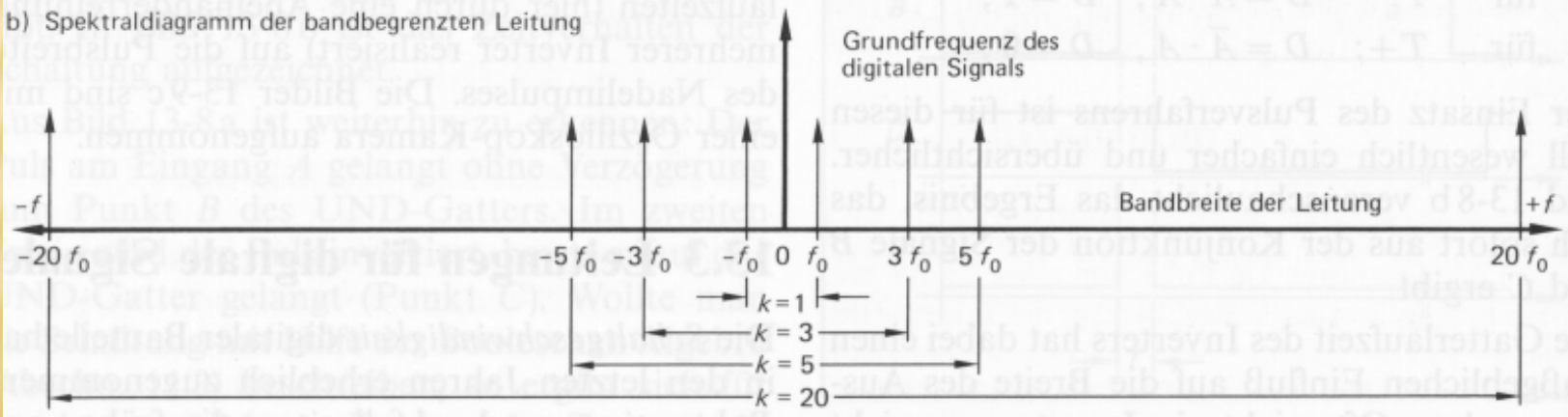
$$y(x) = A \cdot \sum_{n=1}^{\infty} \frac{1}{(2n-1)} \sin(2n-1) \cdot x$$

a) Rechtecksignal auf bandbegrenzter Leitung

$$k = \frac{\text{Leitungsbandbreite}}{\text{Signalfrequenz}}$$



b) Spektraldiagramm der bandbegrenzten Leitung



# VLASTNOSTI TECHNOLOGICKÝCH HRADIEL V INTEGROVANÝCH OBVODOCH –IO

Pri návrhu logických obvodov nás zaujímajú nasledovné vlastnosti použitých hradiel—integrovaných obvodov:

- **elektrické vlastnosti** nám určujú spotrebu energie, napájacie napätia a prúdovú spotrebu, taktiež správanie sa vstupu (napr. impedancia) a výstupu
- **prevádzkové a technické parametre** predstavujú bežne rozsahy pracovných teplôt, typ a veľkosť puzdra, tvary vývodov, technológia montáže
- medzi najdôležitejšie **časové parametre** patrie *doba nábehu*, *doba poklesu* a *rýchlosť logických hradiel* (*maximálna pracovná frekvencia, ktorú dokáže prenášať na výstup*), zvlnenie výstupného napätia a iné.

Tieto údaje získavame od výrobcu z katalógu súčiastok.

# VLASTNOSTI TECHNOLOGICKÝCH HRADIEL V INTEGROVANÝCH OBVODOCH –IO

Ukážka katalógového listu obvodu TTL rady 74xx



## DM7400 Quad 2-Input NAND Gates

### General Description

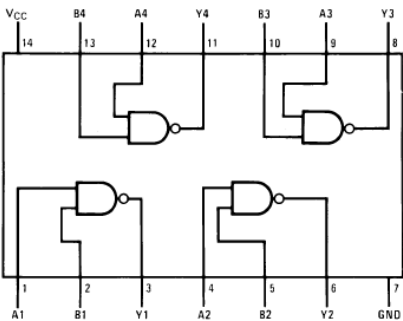
This device contains four independent gates each of which performs the logic NAND function.

### Ordering Code:

Order Number	Package Number	Package Description
DM7400M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM7400N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

### Connection Diagram



### Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level  
L = LOW Logic Level

### Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
$V_{CC}$	Supply Voltage	4.75	5	5.25	V
$V_{IH}$	HIGH Level Input Voltage	2			V
$V_{IL}$	LOW Level Input Voltage			0.8	V
$I_{OH}$	HIGH Level Output Current			-0.4	mA
$I_{OL}$	LOW Level Output Current			16	mA
$T_A$	Free Air Operating Temperature	0		70	°C

### Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -12 \text{ mA}$			-1.5	V
$V_{OH}$	HIGH Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}, V_{IL} = \text{Max}$	2.4	3.4		V
$V_{OL}$	LOW Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}, V_{IH} = \text{Min}$		0.2	0.4	V
$I_I$	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 5.5 \text{ V}$			1	mA
$I_{IH}$	HIGH Level Input Current	$V_{CC} = \text{Max}, V_I = 2.4 \text{ V}$			40	$\mu\text{A}$
$I_{IL}$	LOW Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4 \text{ V}$			-1.6	mA
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 3)	-18		-55	mA
$I_{CCH}$	Supply Current with Outputs HIGH	$V_{CC} = \text{Max}$		4	8	mA
$I_{CCL}$	Supply Current with Outputs LOW	$V_{CC} = \text{Max}$		12	22	mA

Note 2: All typicals are at  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$ .

Note 3: Not more than one output should be shorted at a time.



# VLASTNOSTI TECHNOLOGICKÝCH HRADIEL V INTEGROVANÝCH OBVODOCH –10

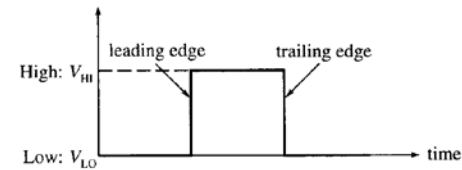
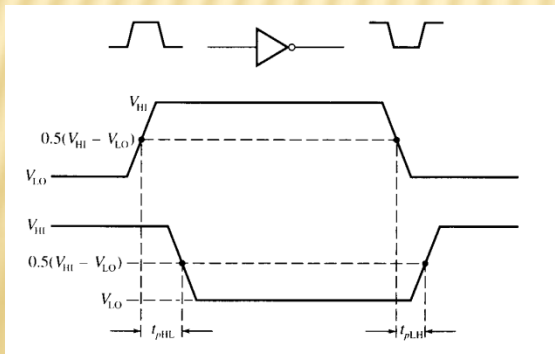
Ukážka katalógového listu obvodu TTL rady 74xx  
*pokračovanie*

## Switching Characteristics

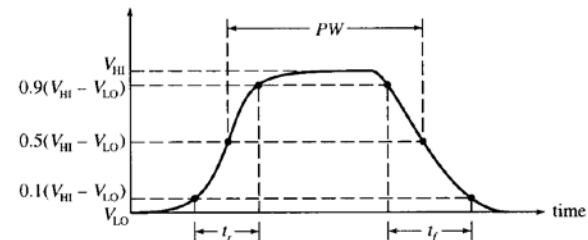
at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$

Symbol	Parameter	Conditions	Min	Max	Units
$t_{PLH}$	Propagation Delay Time LOW-to-HIGH Level Output	$C_L = 15 \text{ pF}$ $R_L = 400\Omega$		22	ns
$t_{PHL}$	Propagation Delay Time HIGH-to-LOW Level Output			15	ns

*detail –  $t_{pHL}$  a  $t_{pLH}$*



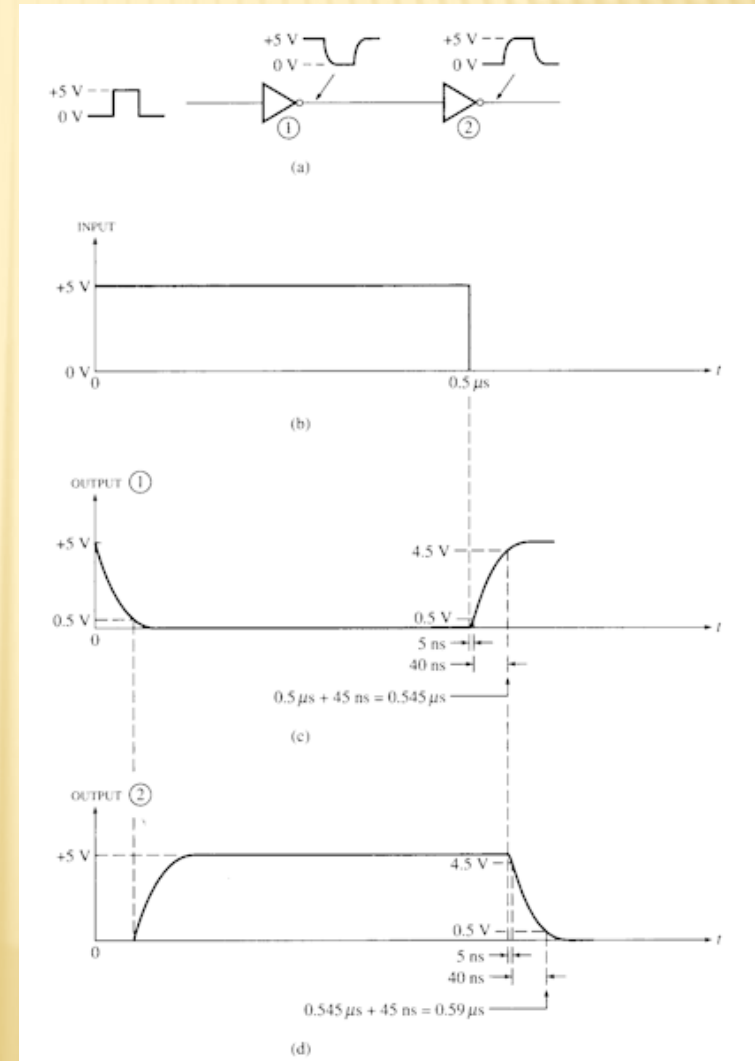
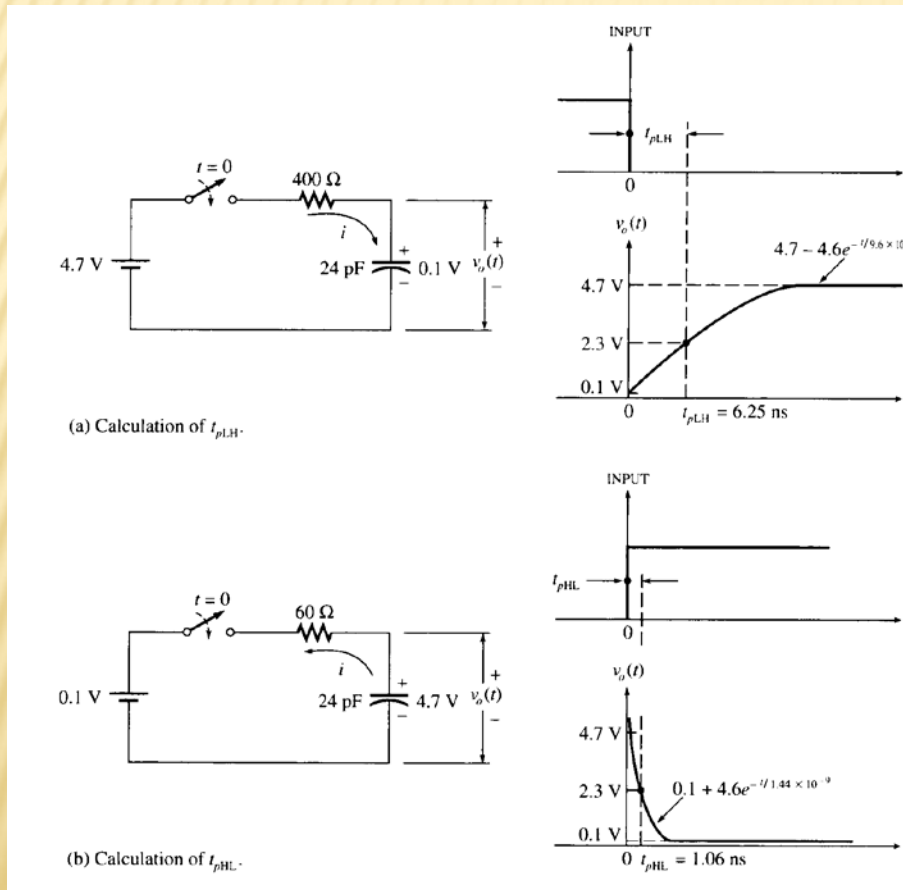
(a) An ideal pulse.



(b) A real pulse, showing definitions of rise-time ( $t_r$ ), fall-time ( $t_f$ ), and pulsewidth ( $PW$ ).

# VLASTNOSTI TECHNOLOGICKÝCH HRADIEL V INTEGROVANÝCH OBVODOCH -10

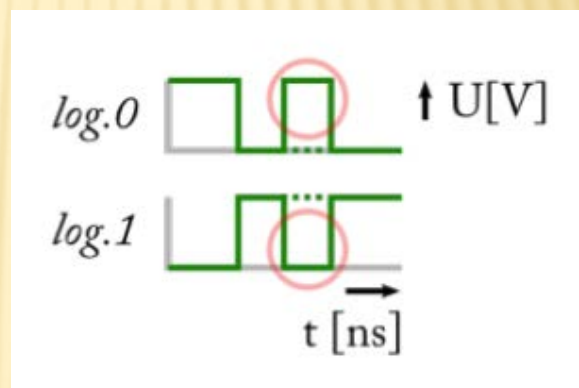
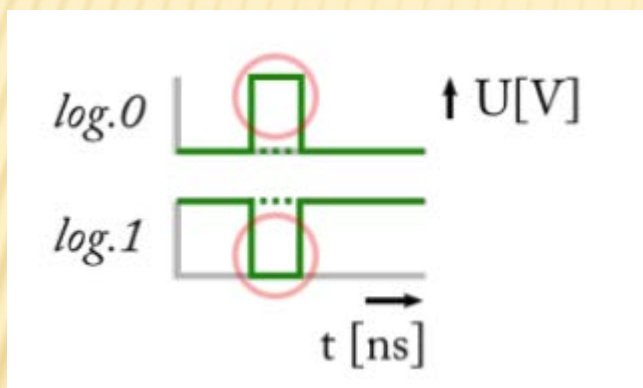
Integračný článok (R-C člen) – princíp  
(vpravo) pôsobenie integračného článku



# HAZARD V LOGICKÝCH OBVODOCH

**Hazard** je také správanie kombinačného systému, ktoré vzniká v dôsledku zmien vstupných signálov (*nie je popísané Karnaughovou mapou*).

Rozpoznávame dva typy hazardov *statický* a *dynamický*.



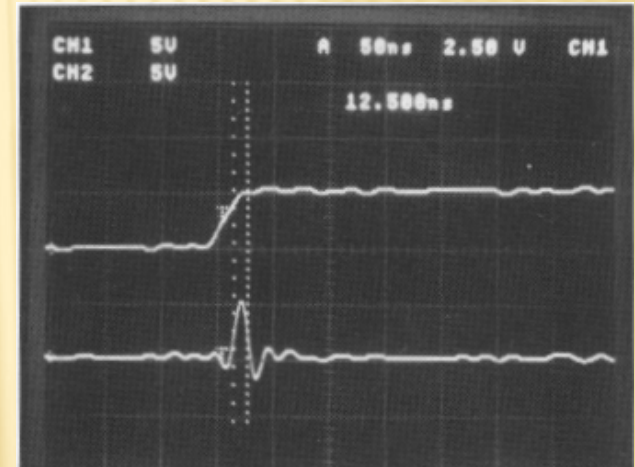
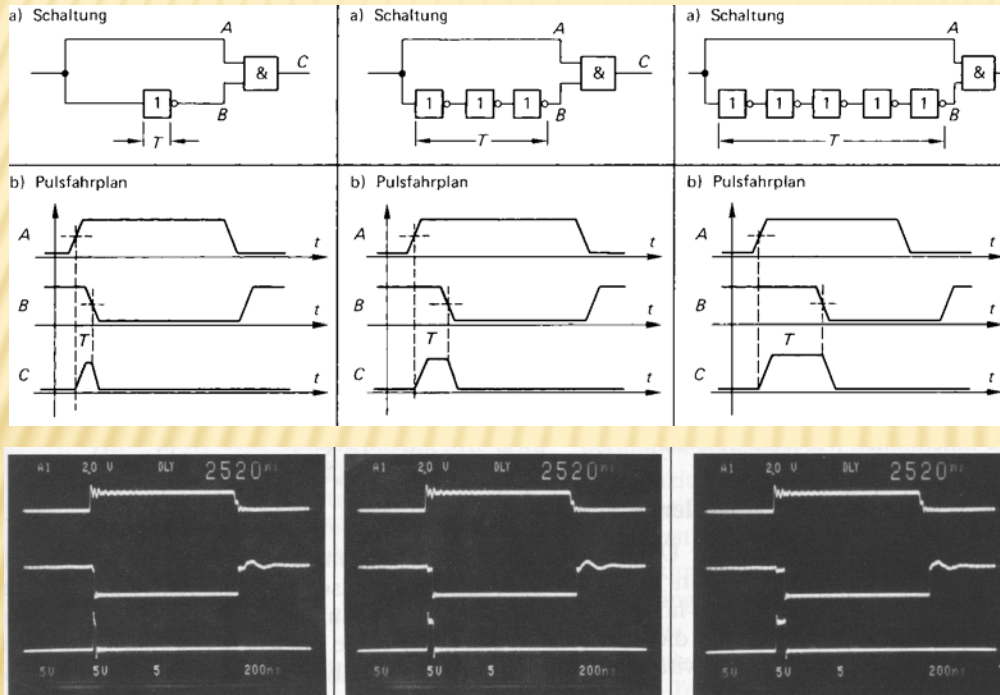
Poznámka: Označenie vychádza z toho v akej hodnote hazard nastáva.

Podmienkou existencie dynamického hazardu v kombinačnom obvode je prítomnosť statického hazardu.



# HAZARD V LOGICKÝCH OBVODOCH

## Statický hazard v LO



# IDENTIFIKÁCIA HAZARDU A SPÔSOBY JEHO ODSTRÁNENIA

## Zistenie prítomnosti hazardu

Existenciu statického hazardu vieme určiť z rozmiestnenia pravidelných konfigurácií v Karnaughovej mape.

- ✗ Ak sa dve konfigurácie neprekrývajú, tak v zapojení vždy existuje statický hazard, ak sa zmenia príslušné vstupné premenné súčasne.

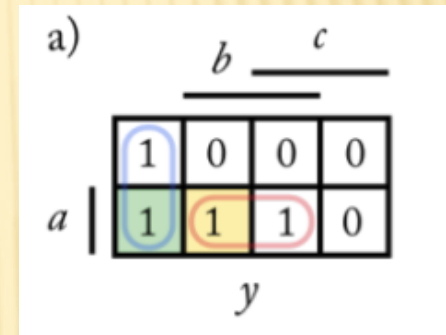
## Odstránenie hazardu

- ✗ *Univerzálne riešenie*—odstránenie statického hazardu na výstupe—spočíva v kompenzácii oneskorenia v príslušnej vetve logickej siete a to zaradením prídavných oneskorujúcich hradiel do navrhnutej schémy.
- ✗ *Špecifické riešenie* spočíva v pridaní redundantnej konfigurácie v Karnaughovej mape, ktorá premostí susediace konfigurácie.

# IDENTIFIKÁCIA HAZARDU A SPÔSOBY JEHO ODSTRÁNENIA

## Príklad

Navrhnete zapojenie s logickými hradlami NAND, ktoré neobsahuje hazard.

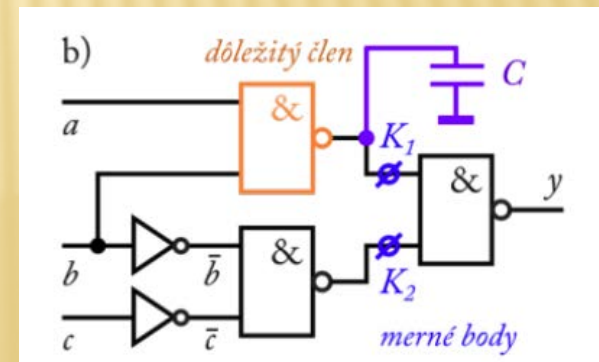


## Riešenie

Zapíšme optimálne konfigurácie úlohy z obrázku a preved'me výraz do 1. NSF.

$$y = \bar{b} \cdot \bar{c} + a \cdot b$$
$$= (\bar{b}|\bar{c})|(a|b)$$

V zapojení existuje statický hazard, čo vidieť z umiestnenia konfigurácií v Karnaughovej mape. Rozhodujúce hradlo je zakreslené oranžovou farbou.



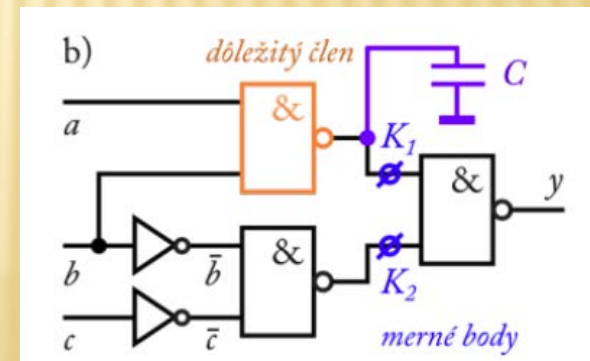
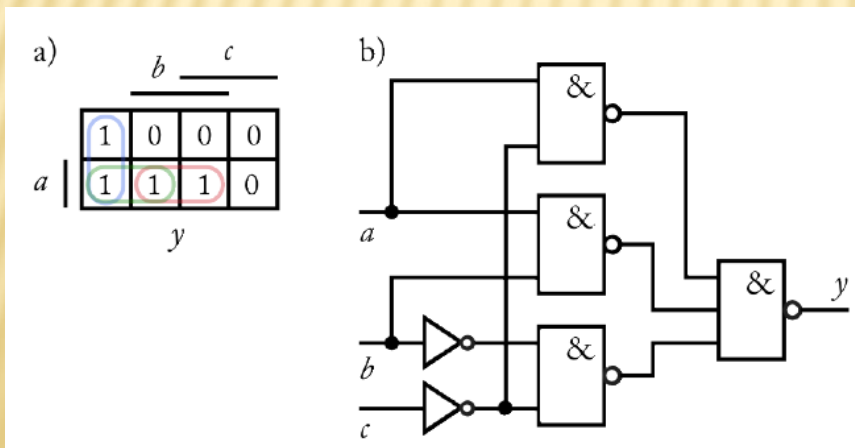


# IDENTIFIKÁCIA HAZARDU A SPÔSOBY JEHO ODSTRÁNENIA

## Príklad

### *pokračovanie*

- ✗ Jedným z možných riešení je oneskorenie výstupu pripojením kondenzátora s vhodnou kapacitou „oproti zemi“ na výstup tohto hradla. V súčinnosti s výstupnou impedanciou hradla tak tvorí „spomaľujúci“ R-C článok.
- ✗ Druhým lepším riešením by bolo zaradenie *bufera* na výstup tohto logického hradla, ktorý si vytvoríme z bežného hradla vhodným zapojením.
- ✗ Tretie riešenie spočíva v premostení konfigurácií v obr. 3a ďalšou konfiguráciou. Výsledok návrhu zapojenia bez hazardov je na obrázku.



# ČASOVÝ PRIEBEH ZMENY VÝSTUPU LOGICKEJ SIETE—SIMULÁCIA ČINNOSTI

Sledovanie zmien výstupov hradiel v zapojeniach logických obvodov je častou úlohou návrhára.

K meraniu priebehov sa používajú v súčasnosti digitálne osciloskopy, ktoré sú vybavené pamäťovými funkciami.

## Zjednodušenie simulácie činnosti LO v čase

Predpokladajme pri kreslení „simulácie“ činnosti logického obvodu rovnaké časové oneskorenie u všetkých hradiel.

Taktiež sa obmedzíme na hazardy spôsobené zmenou len jednej vstupnej premennej. (Predpokladáme, že bežne je to „najčastejší“ prípad)

# ČASOVÝ PRIEBEH ZMENY VÝSTUPU LOGICKEJ SIETE—SIMULÁCIA ČINNOSTI

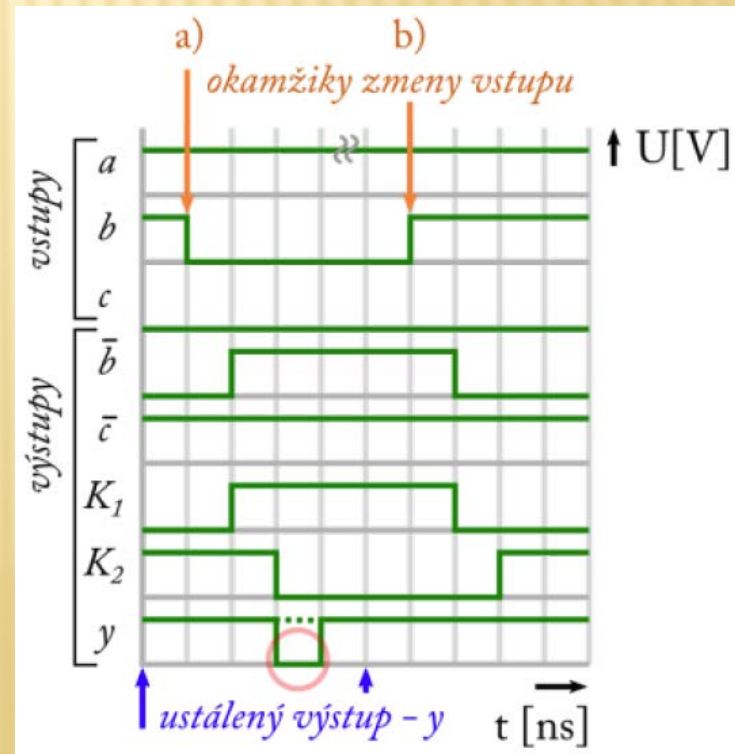
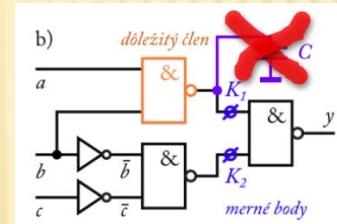
## Príklad

Zakreslite simuláciu činnosti LO (bez zapojeného kondenzátora  $C$ ) tak, aby zachytával priebeh hazardu.

## Riešenie

Simulujeme zmenu len jednej vstupnej premennej v čase, ktorá spôsobuje hazard na výstupe zapojenia.

Jedná sa o vstupnú premennú  $b$ .





# ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

---

V aplikačnej praxi sa určité zapojenia kombinačných obvodov často opakujú, preto sa vyrábajú v podobe integrovaných obvodov – IO (angl. IC – Integrated Circuit).

Multiplexor – MUX

Demultiplexor – DEMUX

Komparátor

Kóder – CD

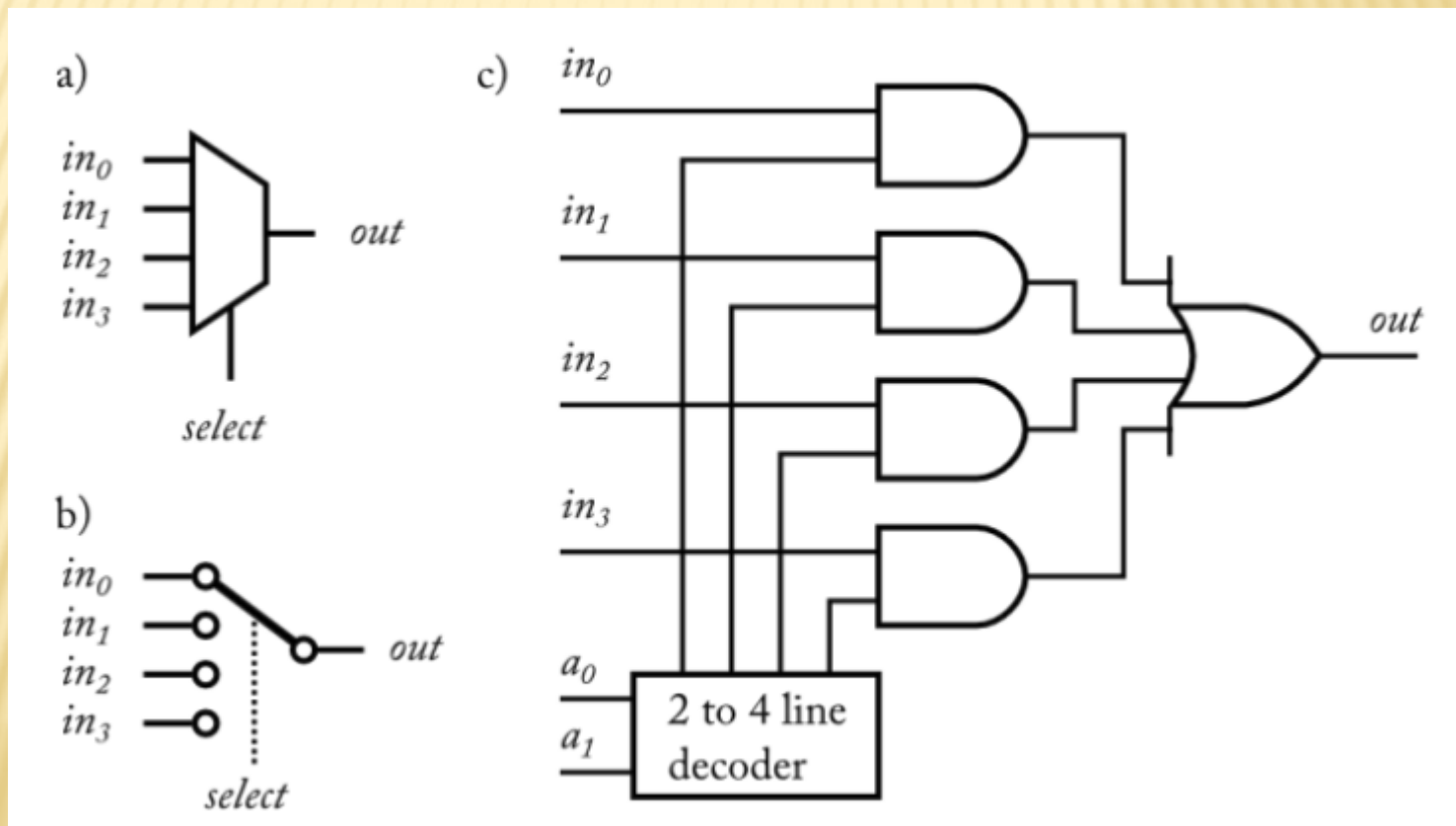
Dekóder – DEC

Sčítačka – plná, polovičná

# ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

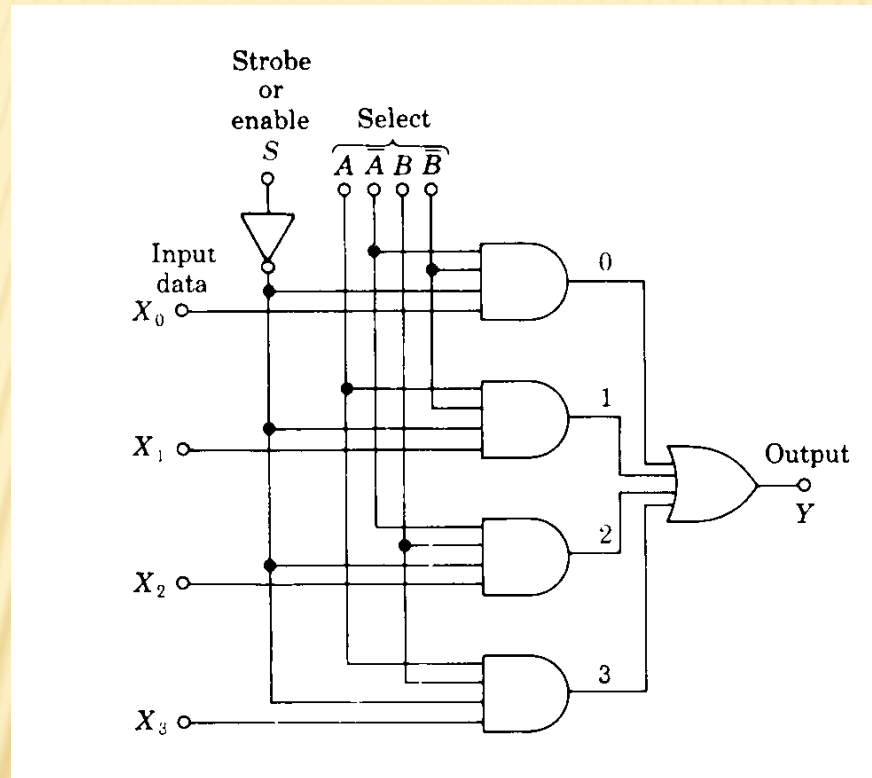
## Multiplexor – MUX

- ✗ Funkcia: prepnutie 1 vstupu z viacerých možných (spravidla ich počet je mocnina čísla 2, t.j. 2, 4, 8 a 16) na výstup.



# ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Multiplexor – MUX

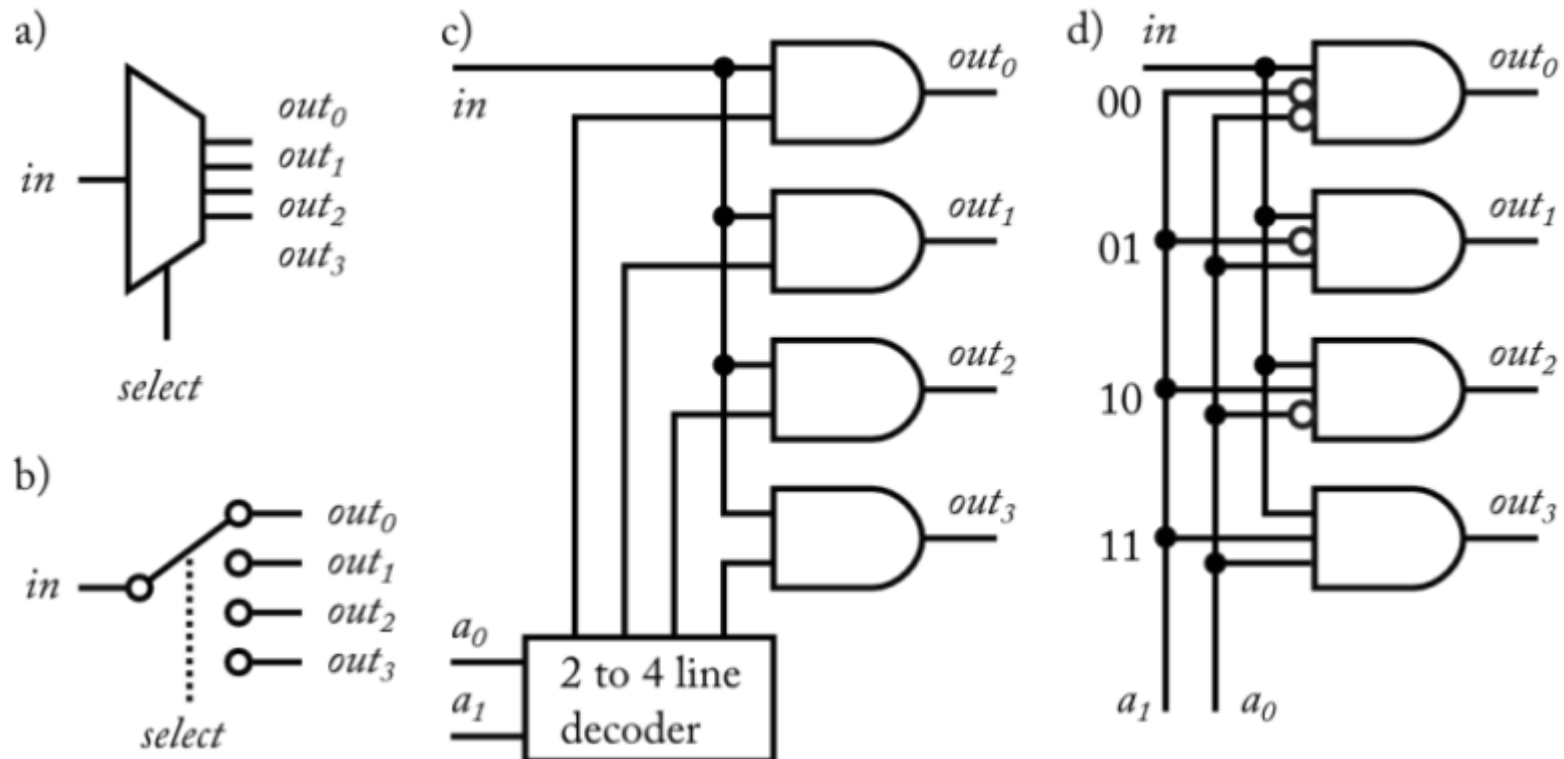




# ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Demultiplexor – DEMUX

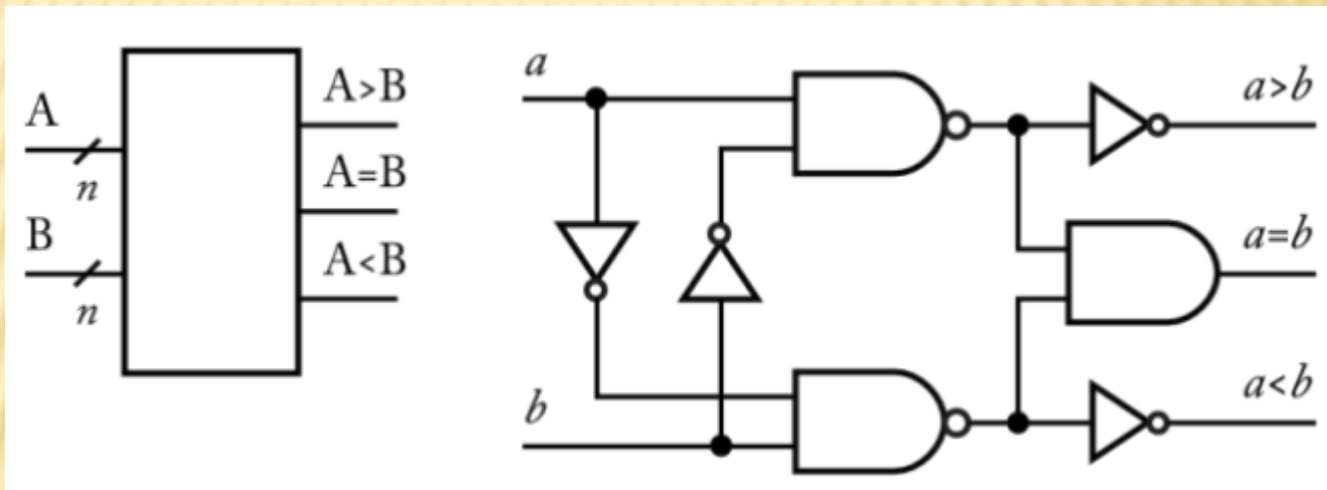
- ✗ Funkcia: prepínanie jediného vstupu na 1 z viac možných (spravidla ich počet je mocnina čísla 2, t.j. 2, 4, 8 a 16).



# ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Komparátor

- ✗ Funkcia: porovnanie dvoch  $n$ -bitových čísiel. Plná verzia komparátora obsahuje všetky tri výstupy, vid'. obrázok. V praxi však často používame len jediný výstup komparátora.

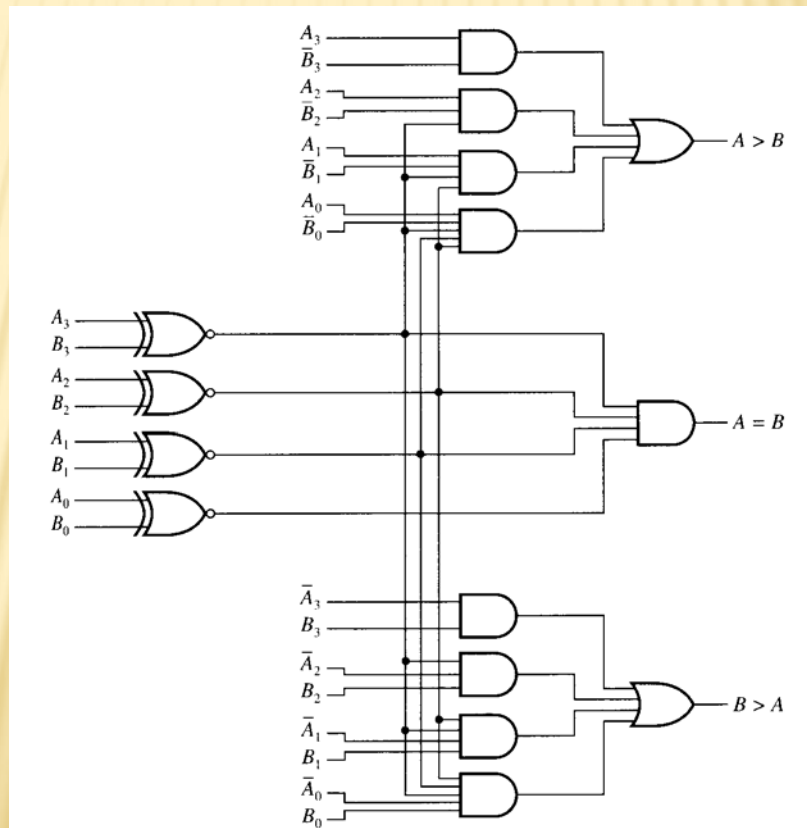


# ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Komparátor

zapojenie 4-bitového úplného komparátora.

Použitie hradieľ XNOR zapojenie značne zjednodušuje.

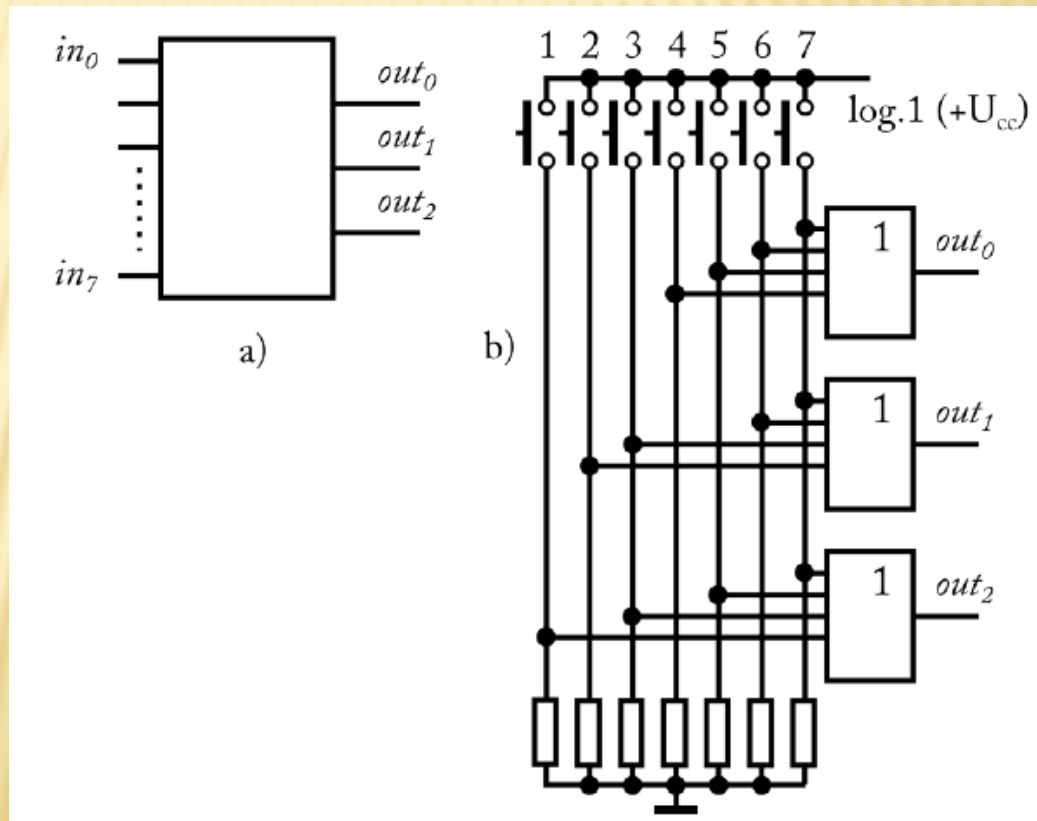




# ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Kóder – CD

- ✗ Funkcia: prevod kódu 1 z N (spravidla ich počet je mocnina čísla 2, t.j. 2, 4, 8 a 16 alebo práve 10 t.j. BCD resp. 9–klávesnica bez „nuly“) najčastejšie na binárne číslo.



# ČASTÉ ZAPOJENIA KOMBINAČNÝCH OBVODOV

## Sčítačka

Viac bitová sčítačka vytvorená z plnej jednobitovej sčítačky

