

# Kapitola 4

## Oneskorenie v zložitých logických systémoch. Často používané zapojenia kombinačných obvodov.

*Vplyv dynamickej nedokonalosti stavebných prvkov na činnosť kombinačných systémov. Vznik hazardu a spôsoby jeho eliminácie. Časový priebeh zmeny výstupu logickej siete. Príklady často používaných zapojení kombinačných obvodov.*

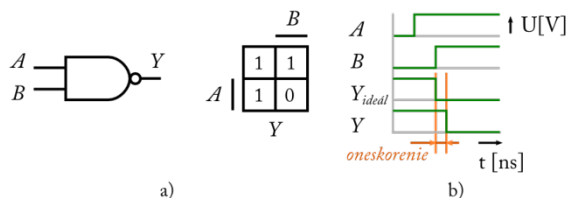
## Vplyv dynamickej nedokonalosti stavebných prvkov na činnosť kombinačného systému

Doposiaľ sme nebrali do úvahy časové pomery v navrhnutých zapojeniach. Pokiaľ v kombinačných zapojeniach nám nejaké malé oneskorenie nespôsobí nefunkčnosť zapojenia pri návrhu sekvenčných systémov je situácia opačná a je nutné časové oneskorenia vziať do úvahy.

### Časový priebeh výstupu logického hradla

Na obr. 1b je uvedený ideálny a reálny (zjednodušený) časový priebeh prechodu signálu cez logický člen. Medzi významné parametre môžeme uviesť oneskorenie a skreslenie oproti ideálnemu priebehu.

Matematický popis logického—obdĺžnikového signálu vyjadríme napr. s Fourierovým rozkladom ako súčet harmonických signálov s rozdielnou amplitúdou a fázou. Logické hradlo sa správa ako dynamický systém s určitými frekvenčnými vlastnosťami.



Obrázok 1. Logické hradlo NAND a jeho popis – a), časový priebeh zmeny výstupu – b).

Zmena vstupnej a výstupnej hodnoty nenastáva však okamžite ale postupne. Na obr. 1b nie je zobrazaná. Aj keď výrobcovia používajú rôzne riešenia, každé má svoje výhody a nevýhody. Jedná sa o technologickú záležitosť a s postupom času sa vlastnosti tranzistorov použitých pre zostavenie hradíel zlepšujú.

Pri návrhu logických obvodov nás zaujímajú elektrické, prevádzkové a technické vlastnosti a tiež časové odozvy použitých hradíel.

*Elektrické vlastnosti* nám určujú spotrebu energie, napájacie napätia a prúdovú spotrebu, taktiež správanie sa vstupu (napr. impedancia) a výstupu a pod.

*Prevádzkové a technické parametre* predstavujú bežne rozsahy pracovných teplôt, typ a veľkosť puzdra, tvary vývodov, technológia montáže a iné.

Najdôležitejšie *časové parametre* sú doba nábegu, doba poklesu a rýchlosť logických hradíel (maximálna pracovná frekvencia, ktorú dokáže prenášať na výstup), zvlnenie výstupného napätia a ďalšie. Tieto údaje získavame od výrobcu z katalógu súčiastok.

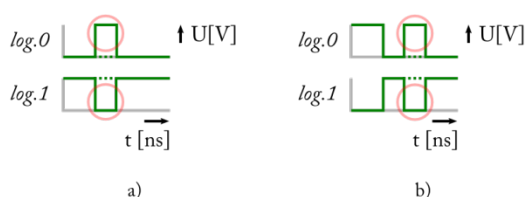
*Hazard* je také správanie kombinačného systému, ktoré vzniká v dôsledku zmien vstupných signálov (nie je popísané Karnaughovou mapou).

Rozpoznávame dva typy hazardov *statický* a *dynamický*, viď. obr. 2.

## Vlastnosti technologických hradíel v integrovaných obvodoch

## Hazard v logických obvodoch

*Poznámka:* Označenie vychádza z toho v akej hodnote hazard nastáva. Podmienkou existencie dynamického hazardu v kombinačnom obvode je prítomnosť statického hazardu.



Obrázok 2. Statický hazard v „nule“ a „jednotke“ – a), dynamický hazard v „nule“ a „jednotke“ – b). Hazardy sú zvýraznené červenou farbou.

## Identifikácia hazardu a spôsoby jeho odstránenia

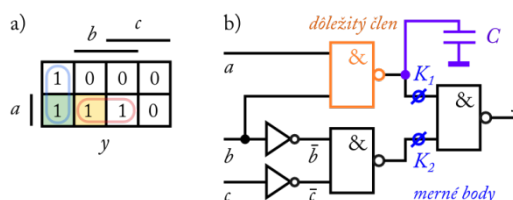
Existenciu statického hazardu vieme určiť z rozmiestnenia pravidelných konfigurácií v Karnaughovej mape. Ak sa dve konfigurácie neprekrývajú, tak v zapojení vždy existuje statický hazard, ak sa zmenia príslušné vstupné premenné súčasne.

*Univerzálne riešenie*—odstránenie statického hazardu na výstupe—spočíva v kompenzácii oneskorenia v príslušnej vetve logickej siete a to zaradením prídavných oneskorujúcich hradieľ do navrhnutej schémy.

*Špecifické riešenie* spočíva v pridaní redundantnej konfigurácie v Karnaughovej mape, ktorá premostí susediace konfigurácie.

### Príklad 4.1

Navrhnite zapojenie úlohy obr. 3a s logickými hradlami NAND, ktoré neobsahuje hazard.



Obrázok 3. Karnaughova mapa – a), schéma zapojenia a označenie merných bodov – b).

### Riešenie

Zapíšme optimálne konfigurácie úlohy z obr. 3a a prevedme výraz do 1. NSF:

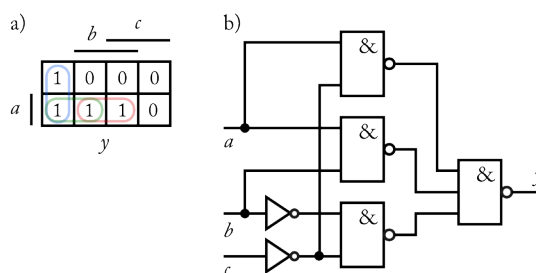
$$y = \bar{b} \cdot \bar{c} + a \cdot b \\ = (\bar{b}|\bar{c})|(a|b)$$

Schéma zapojenia je na obr. 3b. V zapojení existuje statický hazard, čo vidieť z umiestnenia konfigurácií v Karnaughovej mape. Rozhodujúce hradlo je na obr. 3b zakreslené oranžovou farbou.

Jedným z možných riešení je oneskorenie výstupu pripojením kondenzátora s vhodnou kapacitou „oproti zemi“ na výstup tohto hradla. V súčinnosti s výstupnou impedanciou hradla tak tvorí „spomaľujúci“ R-C článok.

Druhým lepším riešením by bolo zaradenie *buféra* na výstup tohto logického hradla, ktorý si vytvoríme z bežného hradla vhodným zapojením.

Tretie riešenie spočíva v premostení konfigurácií v obr. 3a ďalšou konfiguráciou. Výsledok návrhu zapojenia bez hazardov je na obr. 4b.



Obrázok 4. Upravené pravidelné konfigurácie – a), výsledná schéma zapojenia – b).

### Časový priebeh zmeny výstupu logickej siete—simulácia činnosti

Sledovanie zmien výstupov hradieľ v zapojeniach logických obvodov je častou úlohou návrhára. K meraniu priebehov sa používajú v súčasnosti digitálne osciloskopy, ktoré sú vybavené pamäťovými funkciami. Pri diagnostike zložitých schém sa výsledky meraní spracovávajú v špecializovaných programoch na počítači.

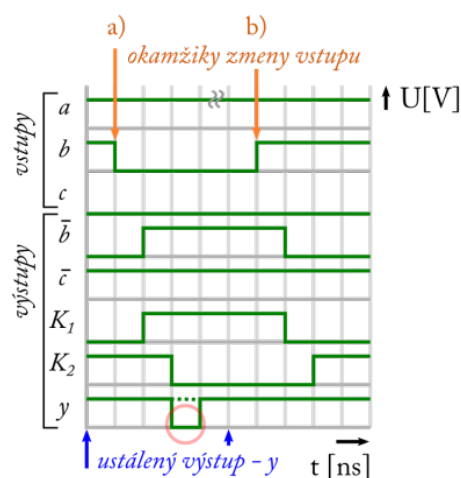
Predpokladajme pri kreslení „simulácie“ činnosti logického obvodu rovnaké časové oneskorenie u všetkých hradieľ (tento údaj poskytuje výrobca súčiastky). Taktiež sa obmedzíme na hazardy spôsobené zmenou len jednej vstupnej premennej. (Predpokladáme, že bežne je to „najčastejší“ prípad?)

#### Príklad 4.2

Zakreslite simuláciu činnosti úlohy z obr. 3b (bez zapojeného kondenzátora  $C$ ) tak, aby zachytával priebeh hazardu.

#### Riešenie

Simulujeme zmenu len jednej vstupnej premennej v čase, ktorá spôsobuje hazard na výstupe zapojenia. Jedná sa o vstupnú premennú  $b$ . Zakreslíme priebeh zmien výstupu logickej siete pri vstupoch  $a = 1$ ,  $c = 0$  a zmene  $b$  z log. 0 na log. 1 a späť, obr. 5. Oba počiatočné body simulácie sú zakreslené na obr. 3a s farebným podkladom (žltý a zelený).



Obrázok 5. Priebeh simulácie činnosti logického obvodu pri zmene jediného vstupu –  $b$ .

## Záver—pravidlá návrhu bez hazardov

## Časté zapojenia kombinačných obvodov

### Zhrnutie simulácie:

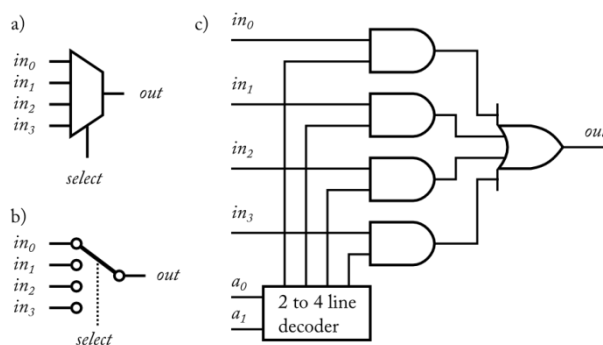
Ak máme schému z logických členov NAND hazard existuje len, keď sa príslušná premenná mení z log. 1 na log. 0 pri opačnej zmene sa na výstupe hazard neprejaví.

1. Všetky zmeny vo vnútri konfigurácie sú bez hazardov.
2. Ak navrhujem NDF, potom hazardy nevznikajú medzi log. 0 v Karnaughovej mape.
3. Ak navrhujem NKF, potom hazardy nevznikajú medzi log. 1 v Karnaughovej mape.

V aplikačnej praxi sa určité zapojenia kombinačných obvodov často opakujú, preto sa vyrábajú v podobe integrovaných obvodov – IO (angl. IC – Integrated Circuit). Uvedme si niektoré z nich.

### Multiplexor – MUX

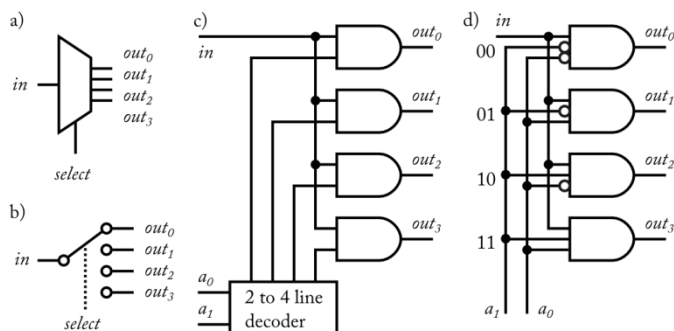
Funkcia: prepnutie 1 vstupu z viacerých možných (spravidla ich počet je mocnina čísla 2, t.j. 2, 4, 8 a 16) na výstup.



Obrázok 6. Schematická značka – a), princíp prepínania – b), štrukturálna bloková schéma MUX 1 zo 4 (4-vstupový multiplexor) – c).

### Demultiplexor – DEMUX

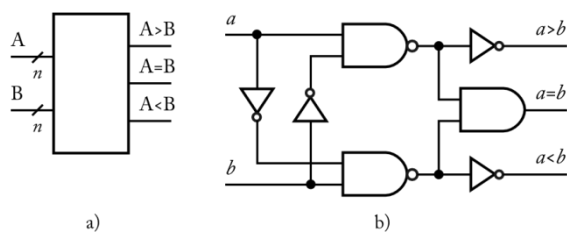
Funkcia: prepínanie jediného vstupu na 1 z viac možných (spravidla ich počet je mocnina čísla 2, t.j. 2, 4, 8 a 16).



Obrázok 7. Schematická značka – a), princíp prepínania – b), štrukturálna bloková schéma s riadkovým (line decoder) dekodérom – c), elektrické zapojenie DEMUX 1 zo 4 (4-vstupový demultiplexor) – d).

## Komparátor

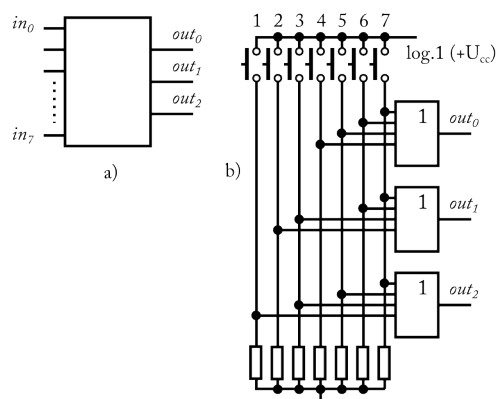
Funkcia: porovnanie dvoch  $n$ -bitových čísiel. Plná verzia komparátora obsahuje všetky tri výstupy, vid' obr. 8a. V praxi však často používame len jediný výstup komparátora.



Obrázok 8. Schematická značka – a), elektrická zapojenie úplného 1-bitového komparátora.

## Kóder – CD

Funkcia: prevod kódu 1 z  $N$  (spravidla ich počet je mocnina čísla 2, t.j. 2, 4, 8 a 16 alebo práve 10 t.j. BCD resp. 9–klávesnica bez „nuly“) najčastejšie na binárne číslo.



Obrázok 9. Schematická značka kódera – a), príklad zapojenia CD 1 zo 7, klávesnica s číslami 1 až 7.