

分类号_____ 密级_____

UDC_____

学 位 论 文

基于 FPGA 的多功能红外遥控器设计

(题名和副题名)

蔡 勇

(作者姓名)

指导教师姓名 张 德 源 高 工

电子科技大学 成 都

(职务、职称、学位、单位名称及地址)

申请学位级别 硕士 专业名称 控制理论与控制工程

论文提交日期 2007.4 论文答辩日期 2007.5

学位授予单位和日期 电子科技大学

答辩委员会主席 教授

评阅人_____

2007 年 4 月 20 日

注 1 注明《国际十进分类法 UDC》的类号

独 创 性 声 明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

签名： 蔡 勇 日期： 2007 年 4 月 20 日

关于论文使用授权的说明

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后应遵守此规定）

签名： 蔡 勇 导师签名： 张 德 源

日期： 2007 年 4 月 20 日

摘 要

IT 技术的快速发展使得越来越多的新生家电走向市场，国内经济的迅速提高更使得居民有能力购买各式各样的家电。因此常常要因为操控不同的家电而更换不同的遥控器，这让用户倍感不便，能够用一个遥控器控制不同家电的多功能遥控器，就应允而生。但如今的多功能遥控器大都用 MCU 实现，价格昂贵。本文正是针对上述情况，采用新的设计，用 FPGA 或者 ASIC 实现，既实现遥控器多功能，又大大降低了遥控器成本。

本文讨论了如何基于 ROM、EEPROM 利用逻辑实现多功能遥控器。重点讨论了，多功能遥控器的整体架构设计，以及根据不同被控对象从 ROM 中快速查找控制代码的算法；在多功能红外遥控器的时钟策略上，本设计采用新的设计方法，使遥控器仅在有关键时工作，无按键时停止，这尽可能的减少了遥控器的功耗。在阐述多功能红外遥控器各功能模块时，本论文详细的说明了各功能模块完成的功能，并给出了各模块的仿真波形；本论文还专门针对系统的主要电路作了进一步阐述使得整个设计更加清楚明了。论文的最后，讨论了系统外围电路的设计情况，指出了本论文测试的方法和遇到的问题。在测试中，遇到单个模块能通过测试整个系统却没法通过的状况，后来改进了发码电路使得测试最终得以成功。

关键词：多功能，红外遥控器，现场可编程门阵列

ABSTRACT

ABSTRACT

The development of IT technology let the new wiring appear in the market; and people also can pay for the new wiring because of the advance of standard of living of them. May be you have many wirings in your family, then you will feel trouble to control them because of lots of IR remote control instruments. In this time the multifunctional IR remote control instrument which can control all wirings is your need. But the realization of multifunctional IR remote control instrument is MCU in the current market, that will make it high-priced. So a new design of multifunctional IR remote control instrument which was realized by FPGA or ASIC was presented in this paper.

This paper discussed how to use logic to realize the multifunctional IR remote control instrument based on ROM and EEPROM and the design of the whole system is mainly discussed. It also discussed the arithmetic which how to quickly find the target controlling code. For reducing the system power expenditure a new way was used in this paper. This way made the IR remote control instrument work or not when some key was pressed or not.

To the all function modules of the multifunctional IR remote control instrument, a detailed discussion and the graphics of the modules were given in this paper. The primary circuit of the multifunctional IR remote control instrument was also discussed in this paper. That made the whole system more clear. In the end of paper, the surrounding circuit of the design and the way how to test the system were discussed. I found the system can't make through the testing but the single function module can do. Having this trouble I mended the Send_data module of the design, the testing was succeed in the last.

Keywords: multifunction, IR remote control, FPGA

目 录

第一章 绪 论	1
1.1 多功能红外遥控器现状和发展趋势	1
1.2 本设计的特点	2
1.3 本论文的任务与结构	3
第二章 红外遥控控制原理	4
2.1 红外遥控的系统结构及其原理	4
2.1.1 调制	4
2.1.2 发射系统	5
2.1.3 接收系统	5
2.2 红外遥控发射器编码原理	6
第三章 多功能红外遥控器的系统设计	8
3.1 多功能红外遥控器功能和系统总体框图	8
3.2 多功能红外遥控器管脚描述及其主要性能指标	9
3.2.1. 多功能红外遥控器管脚定义	9
3.2.2. 多功能红外遥控器主要指标	9
3.3 多功能红外遥控器的实现的技术难点及其所采用策略	10
3.3.1 降低多功能红外遥控器功耗策略	10
3.3.2 实现遥控器从搜索状态到存储状态切换的策略	11
3.3.3 遥控器二次搜索策略	13
第四章 多功能红外遥控器的模块设计与硬件实现	15
4.1 多功能红外遥控器系统模块的划分	16
4.2 各模块的功能设计与实现	16
4.2.1 时钟分频模块的设计	17
4.2.2 状态控制模块的设计	17
4.2.3 键盘发生器模块设计	19
4.2.4 搜索控制模块设计	23

目录

4.2.5	存储器模块的设计	25
4.2.6	ROM 读时序控制模块设计	30
4.2.7	EEPROM 读写时序控制模块设计	30
4.2.8	编码模块设计	31
4.2.9	顶层模块的设计	35
4.3	多功能红外遥控器仿真分析	35
4.3.1	时钟分频模块的仿真	36
4.3.2	状态控制模块的仿真	37
4.3.3	键盘发生器模块的仿真	37
4.3.4	搜索控制模块的仿真	39
4.3.5	存储器模块的仿真	40
4.3.6	编码模块的仿真	41
4.3.7	顶层模块的仿真	41
4.4	多功能红外遥控器的综合	42
4.5	多功能红外遥控器布局布线与后仿真	43
4.6	多功能红外遥控器的功耗分析	44
第五章 多功能红外遥控器的外围电路设计及其测试		45
5.1	CYCLONE 器件	45
5.2	CYCLONE 的配置	47
5.3	遥控器测试电路板	52
5.4	遥控器的测试	53
第六章 总 结		54
致 谢		55
参考文献		56
在学期间的研究成果		58

第一章 绪 论

目前市面上的遥控器铺天盖地，对于家电设备的控制，首选的就是红外遥控器，然而技术和经济的发展使得家庭数字化趋势越来越强烈，一对一遥控器（即一个遥控器只能控制一种类型的家电设备）已经不能满足用户要求。多功能红外遥控器就是在普通红外遥控器的基础上，应市场需求而产生的，它能控制不同种类的设备，并且操作方便，深受顾客的欢迎，这也决定了多功能遥控器具有广阔的应用前景。

1.1 多功能红外遥控器现状和发展趋势

目前国外（主要是欧美市场）的遥控器几乎都是多功能遥控器，它们能够控制全球的绝大部分的视频设备甚至包括空调器。这些遥控器一般由 MCU 进行控制，其价格一般都比较贵，达上百美金。值得一提的是，目前全球的遥控器的 80% 是由中国大陆代工贴牌生产的，但关键芯片是别人的。国外的遥控器主要通过超市等渠道进行销售，消费者可以根据自己的需要进行选择，其发展趋势是根据家庭的需要遥控器拥有更多的功能和更人性化的设计。

而在国内市场，遥控器绝大部分是单一型的遥控器，也就是一个遥控器控制一个视频设备，这与我国经济状况和消费习惯有关。多功能（所谓万能）遥控器只是单一型的遥控器的补充，在一般的主流渠道是没有多功能遥控器销售的，许多消费者也就不知道有或者如何购买多功能遥控器，因此多功能遥控器的销量是相对很少的。也缘于此多功能遥控器的质量是参差不齐的，大部分使用不方便，或者名为多功能遥控器但对很多设备却难以控制。但正如西方的情况，我国也会经历从使用单一型遥控器走向多功能遥控器，尤其是在信息化迅速发展的情况下，多功能遥控器有着广阔的需求和发展空间。启动这一块市场的关键是使多功能遥控器确实好用，能够完全替代单一型遥控器的功能以及有效的市场推广。

本项目是在长虹遥控器厂从市场需求出发授意开发的。长虹的家电市场在国内外都有相当的份额，其每年的遥控器销量数量巨大，但是遥控器中的芯片一般用瑞萨单片机芯片，而遥控器从芯片到整机的利润空间是相当薄的，因此为降低

遥控器成本，需要开发自己的控制芯片，这是其一。其二，统一长虹的遥控器市场。前面已经谈到长虹家电在市场上占有相当的分额，如果一个遥控器芯片能控制长虹全部家电，这对公司和消费者来说是很有一利的一件事情。基于以上两点，长虹开发了这款多功能遥控器芯片，这块芯片能控制长虹全部型号的 DVD，TV（电视），DVB（数字电视接收机，也叫机顶盒），并且还能控制国内外部分品牌家电公司的 DVD，TV，DVB。

1.2 本设计的特点

前面已经谈到，市面上的遥控器一般都用 MCU 实现，而本设计是采用全硬件设计，用 FPGA 芯片或者是 ASIC 芯片实现。如图 1.1 所示，为本设计的系统

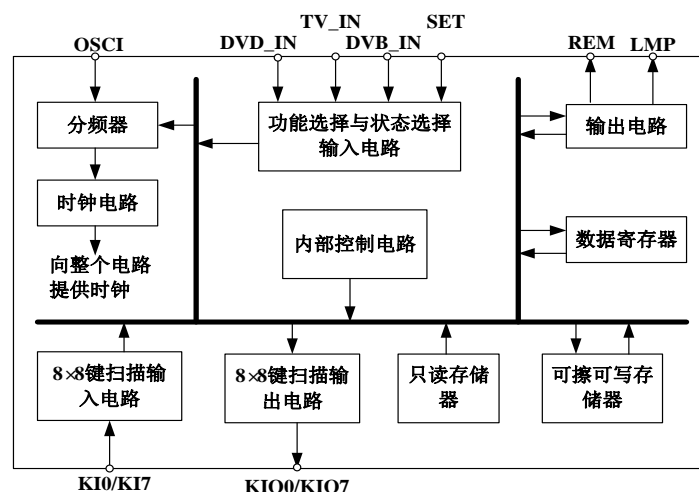


图 1.1 本设计系统简图

简图。与一对一遥控器相比，本设计能够控制三大类家电产品 TV(电视)、DVB（机顶盒）、DVD（数字化视频光盘）中任何类型的设备，实现一对多控制，即遥控器多功能。与 MCU 实现的多功能遥控器相比，由于实现遥控器控制功能 FPGA 比 MCU 价格更便宜，如果批量生产，做成 ASIC 芯片价格将更加便宜，因此本设计具有较强的价格优势。但对本设计来说，采用全硬件实现，不如 MCU 实现那样具有较大的灵活性，在新产品出现后，升级芯片实现对新产品的控制，会不那么容易。但是，对于要求设计该芯片的长虹公司而言，市场并不缺少，降低成本无疑是公司首要的任务，何况以本设计为基础的下一代遥控器是可学可搜型多功能遥控器，这弥补了本设计灵活性的不足。

1.3 本论文的任务与结构

本设计的任务主要完成，多功能红外遥控器的系统架构设计；以及关键技术问题上的解决办法；用 VerilogHDL 语言对红外遥控器的进行模块设计；功能仿真以及测试。

这篇论文分为六章：

第一章概要阐述红外遥控器的现状和本设计特点。

第二章主要阐述红外遥控系统结构与控制原理。

第三章主要阐述多功能红外遥控器系统架构设计和针对产品实现的技术难题的一些策略。

第四章详细说明多功能红外遥控器模块的设计以及硬件实现。

第五章主要介绍多功能红外遥控器的测试平台以及测试的过程和结论。

第六章为本设计的总结。

第二章 红外遥控控制原理

技术的发展使得视频和音频设备越来越智能化，红外遥控具有抗干扰，电路简单，编码及解码容易，功耗小，成本低的优点，因此对这些设备的控制，红外遥控仍然是首选，目前几乎所有的视频和音频设备都支持这样的控制方式。

2.1 红外遥控的系统结构及其原理

光谱位于红色光之外，波长为 $0.76\sim 1.5\mu\text{m}$ ，比红色光的波长还长，这样的光被称为红外线。红外遥控是利用红外线进行传递信息的一种控制系统。该系统主要分为调制、发射和接收三部分，如图 2.1 所示：

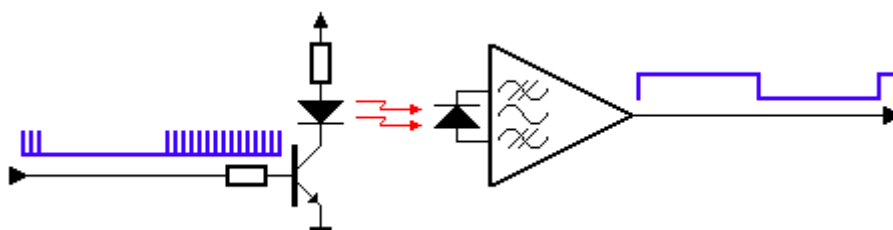


图 2.1 红外遥控系统

2.1.1 调制

红外遥控发射数据时采用调制的方式，即把数据和一定频率的载波进行“与”操作，这样可以提高发射效率和降低电源功耗。

调制载波频率一般在 30kHz 到 60kHz 之间，大多数使用的是 38kHz，占空比 1/3 的方波，如图 2.2 所示，这是由发射端所使用的 455kHz 晶振决定的。在发射端要对晶振进行整数分频，分频系数一般取 12，所以 $455\text{kHz} \div 12 \approx 37.9\text{kHz} \approx 38\text{kHz}$ 。

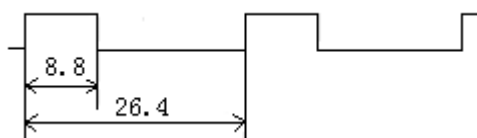


图 2.2 载波波形

2.1.2 发射系统

目前有很多种芯片可以实现红外发射，可以根据选择发出不同种类的编码。由于发射系统一般用电池供电，这就要求芯片的功耗要很低，芯片大多都设计成可以处于休眠状态，当有按键按下时才工作，这样可以降低功耗

芯片所用的晶振应该有足够的耐物理撞击能力，不能选用普通的石英晶体，一般是选用陶瓷共鸣器，陶瓷共鸣器准确性没有石英晶体高，但通常一点误差可以忽略不计。

红外线通过红外发光二极管(LED)发射出去，红外发光二极管内部材料和普通发光二极管不同，在其两端施加一定电压时，它发出的是红外线而不是可见光。

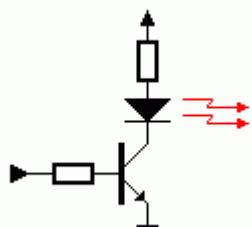


图 2.3a 简单驱动电路

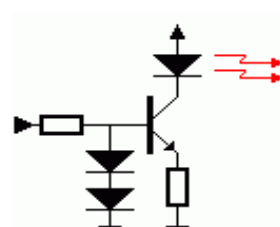


图 2.3b 射极输出驱动电路

如图 2.3a 和图 2.3b 是 LED 的驱动电路，图 2.3a 是最简单电路，选用元件时要注意三极管的开关速度要快，还要考虑到 LED 的正向电流和反向漏电流，一般流过 LED 的最大正向电流为 100mA，电流越大，其发射的波形强度越大。

图 2.3a 电路有一点缺陷，当电池电压下降时，流过 LED 的电流会降低，发射波形强度降低，遥控距离就会变小。图 2.3b 所示的射极输出电路可以解决这个问题，两个二极管把三极管基极电压钳位在 1.2V 左右，因此三极管发射极电压固定在 0.6V 左右，发射极电流 I_E 基本不变，根据 $I_E \approx I_C$ ，所以流过 LED 的电流也基本不变，这样保证了当电池电压降低时还可以保证一定的遥控距离。

2.1.3 接收系统

红外信号接收系统的典型电路如图 2.4 所示：

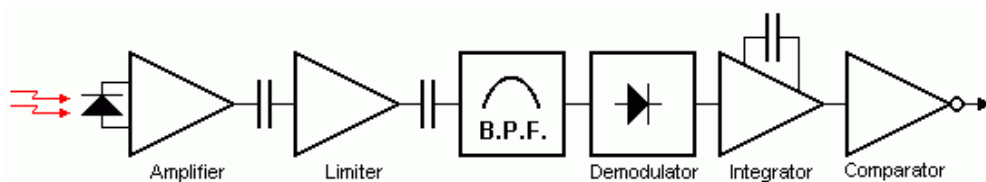


图 2.4 红外接收头内部电路

该电路包括红外监测二极管，放大器，限幅器，带通滤波器，积分电路，比较器等。红外监测二极管监测到红外信号，然后把信号送到放大器和限幅器，限幅器把脉冲幅度控制在一定的水平，而不论红外发射器和接收器的距离远近。交流信号进入带通滤波器，带通滤波器可以通过 30kHz 到 60kHz 的载波，通过解调电路和积分电路进入比较器，比较器输出高低电平，还原出发射端的信号波形。注意输出的高低电平和发射端是反相的，这样的目的是为了提高接收的灵敏度。以上电路被集成在一个元件中，成为一体化红外接收头，如图 2.5 所示：

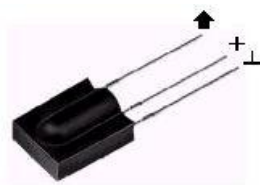


图 2.5 红外接收头

红外接收头的种类很多，引脚定义也不相同，一般都有三个引脚，包括供电脚，接地和信号输出脚。根据发射端调制载波的不同应选用相应解调频率的接收头。红外接收头内部放大器的增益很大，很容易引起干扰，因此在接收头的供电脚上须加上滤波电容，一般在 22μf 以上。有的厂家建议在供电脚和电源之间接入 330 欧电阻，进一步降低电源干扰。

2.2 红外遥控发射器编码原理

图 2.6 为常用红外遥控器码产生电路系统结构框图，振荡电路提供系统工作时钟和常用的 38K 占空比为 1:3 的载波，键扫描输入输出电路与 SEL 输入口形成用户码与键码，并由码产生电路形成待发射数据，在输出控制电路控制下，通过 REMO 输出口由红外线输出。

在遥控器发射的每帧数据中，包括引导码，用户码，和键码三个部分。并采用脉冲位置调制方式（PPM）区分“1”和“0”，脉冲的宽度，脉冲间的时间间

第二章 红外遥控控制原理

隔的大小，每帧数据所包含的位数以及引导码高低电平的时间宽度的不同，为不同的发码格式，常用的如 NEC6122 格式。（见图 2.7，图 2.8 所示）

在该格式中一帧数据中含有 32 位数据，即 8 位用户编码（C7-C0：00001111（0EH）），8 位用户编码的反码，8 位键数据编码（D0~D7）以及键数据编码的反码。用户码和键数据码的发送均是低位在前，高位在后。

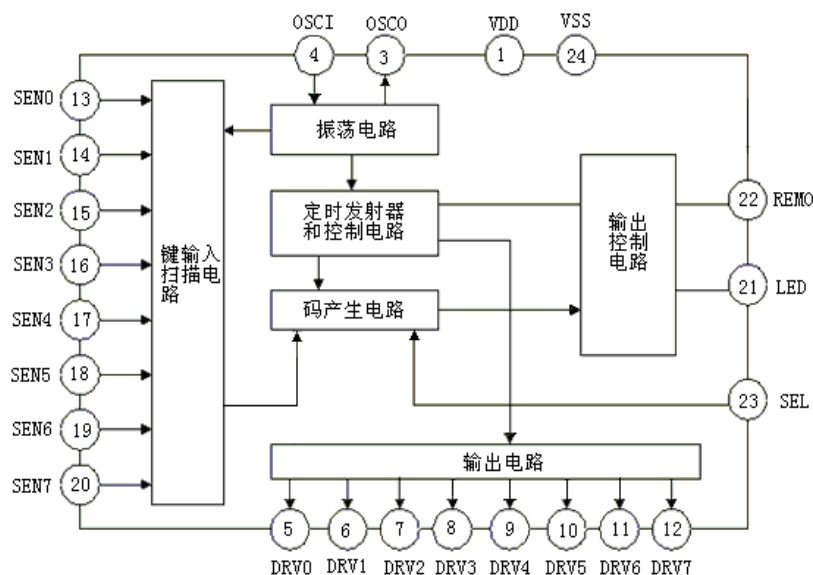


图 2.6 常用红外遥控发射器码产生电路系统结构框图

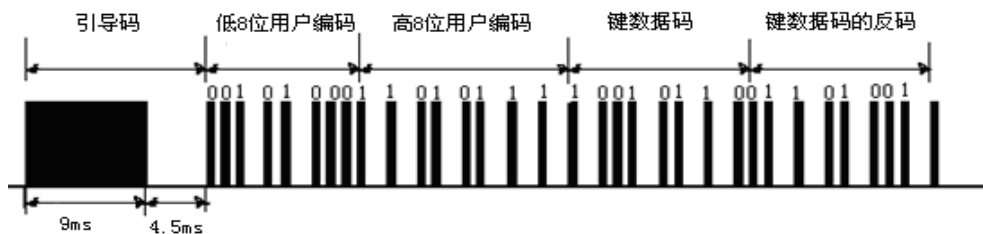


图 2.7 NEC6122 格式一帧数据

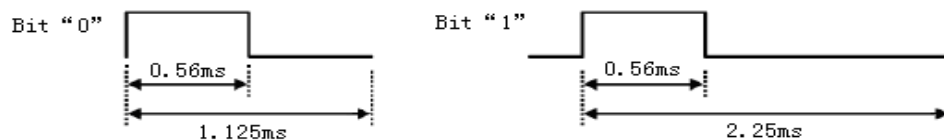


图 2.8 NEC6122 位“0”与位“1”

第三章 多功能红外遥控器的系统设计

3.1 多功能红外遥控器功能和系统总体框图

本文所设计的多功能红外遥控器主要完成，实现对不同厂家不同型号的 TV（电视）、DVD、DVB（机顶盒）的控制。

如下图 3.1 所示为多功能红外遥控器的系统框图：

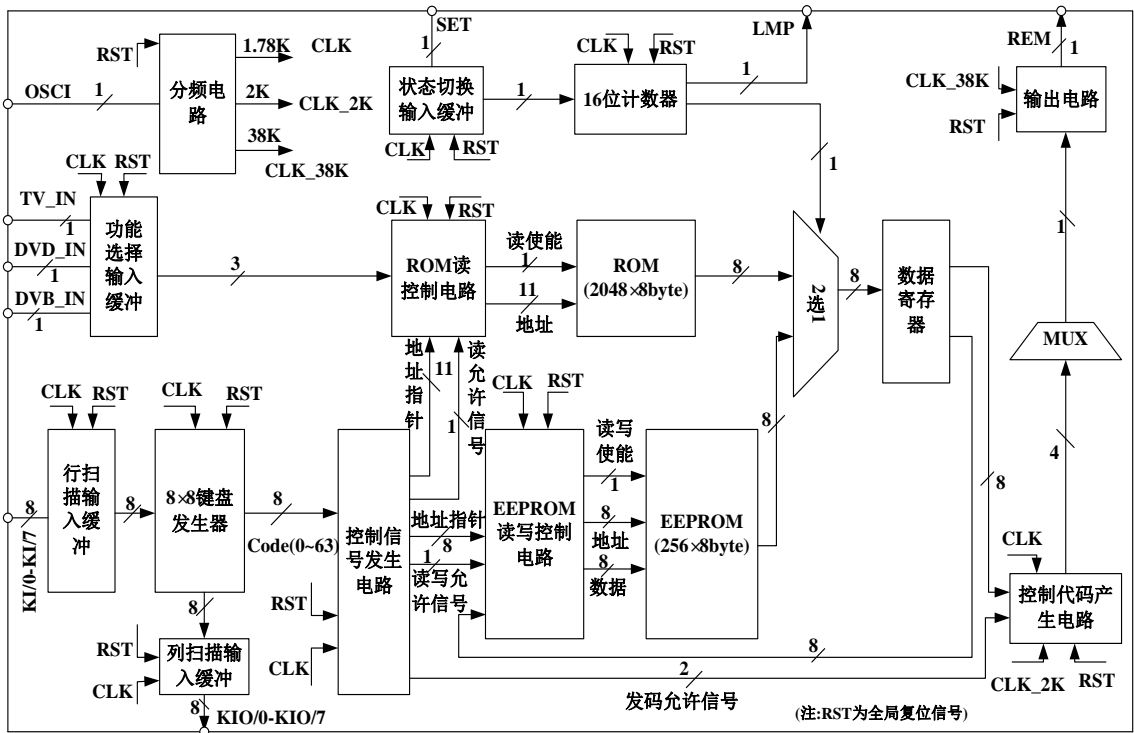


图 3.1 多功能红外遥控器系统框图

ROM（只读存储器）被分为三个区域，分别保存控制 TV、DVD、DVB 的市面上主流厂家家电设备的全部遥控控制代码，代码的保存须得根据格式的不同保存在不同的地址区间内。EEPROM（可擦可写存储器）也被分为三个区域，分别保存控制 TV、DVD、DVB 具体某一设备的遥控控制的系统码（用以区分不同的设备）和按键键码（用以区分不同的按键，体现为对设备的不同的操作，如音量增加与音量降低，有不同键码。关于系统码和键码的情况见第四章编码模块的设计）和相应的发码格式。遥控器初次使用的时候，通过 SET 输入按钮使遥控器进

第三章 多功能红外遥控器的系统设计

入控制代码搜索状态，找到目标控制代码后，控制代码以及发码格式都被存入 EEPROM 相应的区域中，遥控器配置完成，退出搜索状态，遥控器可以正常使用。

图中分频电路产生系统所需要的时钟，为节省电路功耗，系统在不同的电路结构中使用不同频率的时钟，本设计中采用了 3 个分频时钟。8×8 键盘扫描码发生器，使多功能红外遥控器最多有 64 个按键。TV_IN、DVD_IN、DVB_IN 为红外遥控器功能选择输入端口，分别选择遥控器控制 TV（电视）、DVD、DVB（机顶盒）。SET 输入端口，为遥控器状态切换按钮，按住 SET 按钮，计数器开始计数，当计数到一个时间点，遥控器进入从 ROM 中读数据状态，否则遥控器处于从 EEPROM 中读数据状态。控制信号发生电路产生各电路模块的控制信号，码产生电路根据从 ROM 或者 EEPROM 读出的数据以及按键情况产生遥控代码。

3.2 多功能红外遥控器管脚描述及其主要性能指标

3.2.1. 多功能红外遥控器管脚定义

表 3.1 多功能红外遥控器管脚定义

序号	符号	引脚数	输入输出	功能描述
1	SET	1	I	搜存储器选择输入端
2	KI0-KI7	8	I	键扫描输入端
3	TV_IN、DVD_IN、DVB_IN	3	I	遥控对象选择输入端
4	VDD	1	Power	电源正极
5	VSS	1	Power	电源负极
6	OSCI	1	I	晶振管脚输入
7	LMP	1	O	输出 LED 指示
8	REM	1	O	红外遥控代码输出
9	KI/O0-KI/O7	8	O	键扫描输出端

3.2.2. 多功能红外遥控器主要指标

1. 主要功能：

兼容 NEC μ PD6122 IC（24-Pin SOP 封装时）：

- 控制市面上主流 TV、DVD、DVB
- 最多 64 键输入；

- 无键输入时进入省电模式；

2. 主要性能指标：

- 可靠性、安全性、电磁兼容性等符合国家相关标准；
- 主要技术参数：
 1. 工作电压：2~3.3V；
 2. 消耗电流：最大 1mA（发送遥控编码时），待机最大 1 μ A（时钟停止时）；
 3. 振荡频率：1.5~2.5KHZ；
 4. 发射载波频率：典型值 38KHZ。
 5. 遥控距离：8m。

3.3 多功能红外遥控器的实现的技术难点及其所采用策略

3.3.1 降低多功能红外遥控器功耗策略

在过去，面积和速度是一个设计所首要考虑的因素，一个好的设计就是在速度与面积间找到最佳的平衡点。然而近年来，新一代 FPGA 的速度变得越来越快，密度变得越来越高，逻辑资源也越来越多，功耗便成为设计中越来越关键的问题，可以说对于一个设计它与面积、速度有着同等的重要程度，尤其对于功耗要求较低的产品（如便携产品），功耗决定着设计的成败。

功耗包含两个因素：动态功耗和静态功耗。动态功耗是指对器件内的容性负载充放电所需的功耗。它很大程度上取决于频率、电压和负载。

静态功耗是指由器件中所有晶体管的泄漏电流（源极到漏极以及栅极泄漏，常常集中为静止电流）引起的功耗，以及任何其他恒定功耗需求之和。泄漏电流很大程度上取决于结温和晶体管尺寸。

恒定功耗需求包括因终接（如上拉电阻）而造成的电流泄漏。没有多少措施可以采用来影响泄漏，但恒定功耗可以得到控制。

1. 时钟策略的选择

对于 FPGA 设计者来说，动态功耗三个变量均是可控的，而动态功耗又是 FPGA 的功耗中所占比例最大的，由上可知，动态功耗与时钟的频率成正比，因此在一个设计中所作的最重要的决定就是采用何种时钟策略。对于本设计，遥控器所用电池为 2 节 1.5 伏电池供电，每对电池使用时长至少应在半年以上，因此

要求遥控器功耗要小。

本设计所用时钟为 40.6M 石英晶体振荡源，使用时钟使能，当键盘无动作的时候，时钟使能将阻止寄存器进行不必要的翻转。

遥控器发射的载波频率为 38K，而系统工作频率可以更低，因此使用不同频率时钟，并且隔离各时钟以使用最少数量的信号区，不使用的时钟树信号区不会翻转，从而降低该时钟网络的负载，进而降低动态功耗。

2. 其它降低功耗策略

(1) 选择合适的 FPGA 器件以降低静止功耗

并不是所有元件都具有相同的静止功耗。根据普遍规则，器件工艺技术尺寸越小，泄漏功耗越大。

(2) 采用适当的状态编码以降低动态功耗

让我们来看一个在状态 7 和状态 8 之间频繁进行状态转换的状态机。如果您为该状态机选择二进制编码，将意味着对于每次状态 7 和状态 8 之间的状态转换，将有四位需要改变状态。如果状态机采用格雷码而不是二进制码来设计，则这两个状态之间的转移所需的逻辑转换的数量将降至仅一位。另外，如果将状态 7 和 8 分别编码为 0010 和 0011，也可以达到同样的效果。对于本设计，所有状态机均采用格雷码编码或者独热码编码。

(3) 使用时钟使能逻辑来控制寄存器的使能。

在芯片内部对 ROM、EEPROM 的读写逻辑，尽早对该逻辑进行“数据使能”，以阻止数据总线与时钟使能寄存器组合逻辑之间不必要的转换。

当然除这些策略以外，在设计中采用硬件语言（HDL）搭建逻辑电路，在编写代码的时候，良好的编码风格会使综合器效率更高，综合出的电路也更为简单。

3.3.2 实现遥控器从搜索状态到存储状态切换的策略

在实际应用中遥控器与被控机器间的通信是单向的，即：遥控器发射红外线，被控机器接收红外线。对于本设计来说，这就存在一个难题。因为本设计实现遥控器多功能其根本的方法就是从存储 TV（电视）、DVD、DVB（机顶盒）遥控代码的 ROM（只读存储器）中找到具体某一机器的控制代码。那么在遥控器处于搜索目标代码状态的时候，目标机器的反应遥控器不得而知，因此遥控器也就不知道何时该从搜索状态切换到存储正确的目标代码状态。

1. 采用声敏或光敏传感器实现遥控器与目标机器间通信

如图 3.2 所示，遥控器在处于搜索状态的时候，将通过管脚“1”使光电传感器回路导通，传感器处于工作状态，其它状态下传感器不工作。遥控器搜索代码的时候连续发码且发送的控制代码是关机码，一旦遥控器搜索到正确的代码，电视机将被关闭。在遥控器上设计的光敏传感器，将感受到电视机强烈的光线变化，这个变化，将促使连接光敏传感器的回路，产生一个脉冲，通过管脚“2”反馈到遥控器，提示遥控器保存搜索到的代码，从而实现遥控器状态的正确切换。也可用声敏传感器代替光敏传感器，此时遥控器搜索时发送的控制代码是静音码，遥控器将根据声音的变化，实现状态的切换。其实现方法与采用光敏传感器一样。

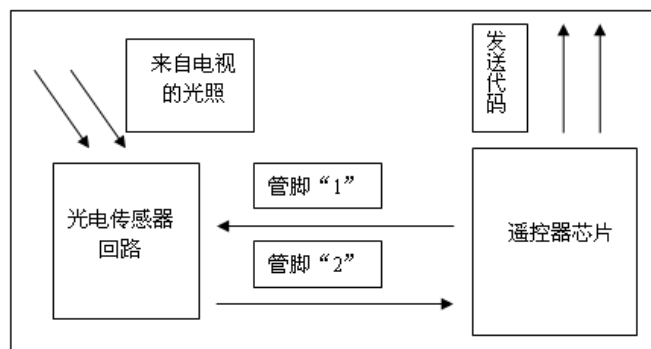


图 3.2 利用光敏感传感器实现遥控器与目标机器通信简图

2. 利用手动操作实现遥控器状态切换

手动操作有两种方法实现遥控器状态切换：

（1）在遥控器上增加搜索键和搜索结束键，遥控器间断发码

遥控器通过按 SET 键（连接管脚表格中的 SET 管脚）进入搜索目标控制代码状态，在该状态下每按一次搜索键，遥控器发送一个控制代码（对遥控器而言就是发送一帧数据），直到发现机器受控，即：找到目标控制代码，这个时候按搜索结束键，遥控器退出搜索结束状态。遥控器搜索键与搜索结束键，也可与其它功能键复用。如：非搜索状态下的关机键可以作为搜索状态下的搜索键用。

（2）在遥控器上仅增加搜索键，遥控器连续发码

同上，遥控器进入搜索目标控制代码状态后，按住搜索键（同样可用关机键复用代替）不放开，遥控器连续发码，找到目标控制代码后，松开按住的搜索键，遥控器此时保存搜索到的控制代码，并退出搜索状态。该方法与上一方法最大的不同是发码不间断，并且采用下面将要提出的二次搜索方法，大大的节省搜索时

间。

比较上述方法,采用传感器实现的方法,有如下不足:其一,对于 DVD, TVB 的控制代码搜索存在一定的困难,因为传感器没法感知 DVD, TVB 的变化;其二,传感器易受干扰,搜索失败的几率高;其三,由于在遥控器上增加了传感器回路,遥控器芯片上增加了两个管脚,遥控器的成本也将提高。

而手动操作,免除了不必要的成本提高,搜索成功率也要高得多。那么手动操作,采用那种方法更好呢。若采用方法(1),对本设计来说,ROM 中保存了近 2K 地址宽度的控制代码,如果目标控制代码在最高地址区域,那么搜索的按键次数将是难以接受的。因此,采用方法(2),遥控器连续发码,下面将讨论遥控器连续发码时需要解决的一些问题。

3.3.3 遥控器二次搜索策略

采用方法(2),遥控器在连续发码的时候,由于每个控制代码发送时间很短(108 毫秒)如此短的时间,不可能做到手动操作,因此遥控器在当前代码发送完毕后,在发下一代码之前,要有一点用于人体反应的时间停顿,但如果每发送一个代码遥控器就停顿一下,那方法(2)与方法(1)就没区别了。本设计中遥控器一次发送一组数据,采用两次搜索的方法(即:遥控器进入搜索状态后,须两次按动搜索键,才退出搜索状态),第一次搜索,将目标代码的所定在某一组之中,第二次搜索从该组中找出目标代码。那么到底每组代码包含多少数目的控制代码,遥控器总搜索时间才最短,下面将导出其结论。

假设遥控器有 n 个存储区域,分别存储了 n 个遥控器代码,整个存储区域被划分为 x 组,遥控器发射代码时,是一组一组发码。每组代码间在发送后需要有一定的时间停顿(用于人体或其它器件根据被控制设备状态的变化的反应时间,为了保证搜索的可靠性,这个时间一般较长),设为 t 。设总搜索时间为 y ,这样我们就有了一个总搜索时间方程: $y=(x-1)t+(n/x-1)t$ ($x>1$),将这个方程变化一下为: $y/t=x+n/x-2$ 。令 $z=x+n/x$,可见遥控器搜索时间由 z 决定,任意在函数 z 上取两点 z_1, z_2 其中 z_1, z_2 均小于 \sqrt{n} , 对应的自变量为 x_1, x_2 ; $z_1 - z_2 = (x_1 \times x_2 - n) \times (x_1 - x_2) / x_1 \times x_2$, 当 $1 < x \leq \sqrt{n}$ 函数为递减函数,且当 $x = \sqrt{n}$ 时,函数达到最小值。因此在 $1 < x \leq \sqrt{n}$ (x 取整数)范围内,随着分组数的增加总搜索时间是逐渐减少的,最小为当 $x = \sqrt{n}$ 时, $y = (2\sqrt{n} - 2)t$,可见减少的幅度是很大的。因此,将遥控器代码分

为适当的组数，采用二次搜索的方法能大大节省遥控器代码搜索时间。当然，还可以对每一组，代码总数为 n/x ，以上述方法，再进行分组，此时，其分组个数为 x_1 ，那么有 $1 < x_1 \leq \sqrt{n/x}$ ，这样的话，遥控器就要采用三次搜索。同理，还可用同样的方法，继续分组，遥控器进行更多次数的搜索。不过，多次搜索并不比二次搜索节省多少时间，但遥控器设计实现上难度却会加大，所以本设计仅搜索两次。

如图 3.3 所示：首先启动遥控器搜索代码功能，遥控器进行初次搜索，地址控制器控制地址指针，每次累加 n/x ，一次搜索完成后，目标代码被锁定在 n/x 个地址范围内，遥控器启动二次搜索，在 n/x 地址范围内地址控制器控制地址指针，每次累加 1，直到找到目标代码，遥控器锁定该代码，搜索完成。为了说明这种方法能节约多少时间，举一个具体的例子，设存储区域为 2048 即为 2k，存有 2k 的代码，每组代码间停顿时间为 1 秒，则最大分组应分为 $\sqrt{2048}$ 组，取整应为 45， $45 \times 45 = 2025$ ，代码还有剩余，所以最后的 23 个代码为一组，所以总组数为 46 组，那么总搜索时间就应为 $(45+44)$ 秒，如果目标代码在最后一组，则总搜索时间为 $(45+22)$ 秒，而常规搜索方法，需要用 $(2048-1)$ 秒，可见节省的时间是显著的。

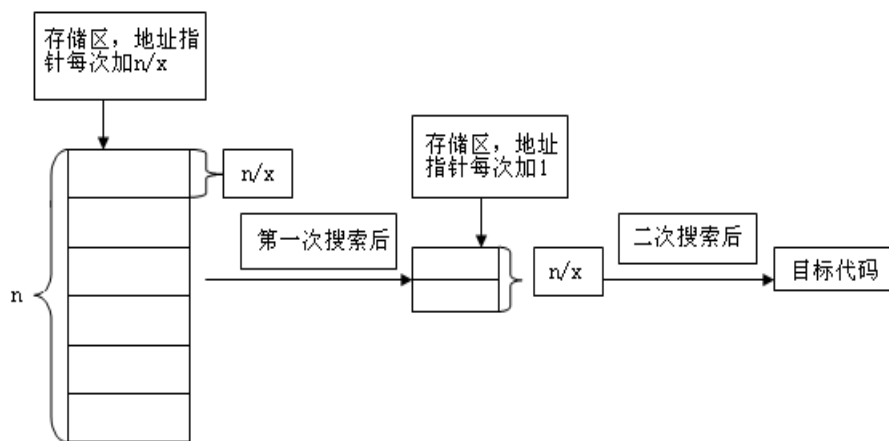


图 3.3 二次搜索简图

本章论述了本设计的总体架构，以及在该架构基础上，最终拟订的解决问题的方法，以下几章将要讨论，用 FPGA 实现该多功能遥控器的一些情况。

第四章 多功能红外遥控器的模块设计与硬件实现

在讨论了红外遥控器控制原理与多功能红外遥控器系统的整体架构后，本章将继续讨论系统的具体的硬件实现。

在 EDA 出现以前人们采用传统的硬件电路的设计方法设计系统。传统的硬件电路采用自下而上（BOTTOM UP）的设计方法。其具体的步骤是：根据系统对硬件的要求，详细的编写技术规格书，并画出系统控制流图，然后根据技术规格书和系统控制流图，对系统功能进行划分，合理的划分功能模块，并画出系统功能框图，接着就是对各功能模块的细化和电路设计，各功能模块电路的设计和调试完毕后，再将各硬件电路连接起来，再进行系统的调试，最后完成整个系统硬件电路的设计。

从上述过程可以看到，系统硬件的设计是从选择具体的逻辑器件开始的，并用这些元器件进行逻辑设计，完成各功能模块电路设计，再将各模块连接起来，完成整个系统设计。上述过程是从地层开始到顶层结束，故称为“自下而上”设计的设计方法。

而基于 EDA 技术的所谓自顶向下的设计方法正好相反，其步骤就是采用可完全独立于目标器件芯片物理结构的硬件描述语言，在系统的基本功能或行为级上对设计的产品进行描述和定义，结合仿真技术，在确保设计的可行性与正确性的前提下，完成功能确认。然后利用 EDA 工具的逻辑综合功能，将功能描述转换成某一目标芯片的网表文件，输出给该器件厂商的布局布线适配器，进行逻辑映射及布局布线，再利用仿真文件进行包括功能和时序的验证，以确保实际系统的性能。这种自顶向下的设计方法的优越性表现在很多方面，例如初始的设计不依赖于硬件、对于常用模块可以进行复用，或以 IP 核的方式保存，以及对于目标器件选择的灵活性。在研究了红外遥控器系统架构后，我们将该系统进行模块划分及结构设计。模块的划分对于设计的重要性不言而喻，其基本的原则是：复杂的模块进行再拆分，时序电路和组合逻辑电路尽量分开，功能不同的部分放在不同的模块等等。依据设计要求对系统进行模块的划分是设计的第一步，也是关键的一步。在初步对设计进行模块划分以后，第二步是对系统进行时序设计。时序就好比系统的指挥官，指挥着各模块在时钟的协调下有序地工作。现代数字系

统设计几乎都是以时钟为基准的, 如果设计中还存在异步时钟的话, 那么最初时序设计就显得至关重要了。本设计中工作时钟用了两种不同频率的时钟, 但时钟不同的电路区域间不存在通信, 因此系统仍然是同步的。^{[1]~[11]}

4.1 多功能红外遥控器系统模块的划分

根据第二章中系统的功能框图,将多功能红外遥控器划分为时钟分频器模块、状态控制模块、键盘发生器模块、搜索 ROM 控制器模块、存储器模块、遥控代码生成器模块等六个模块。其中存储器模块又分为读写 EEPROM 时序模块,读 ROM 时序模块,EEPROM 模块与 ROM 模块。其模块间的连接情况,见图 4.1 示:

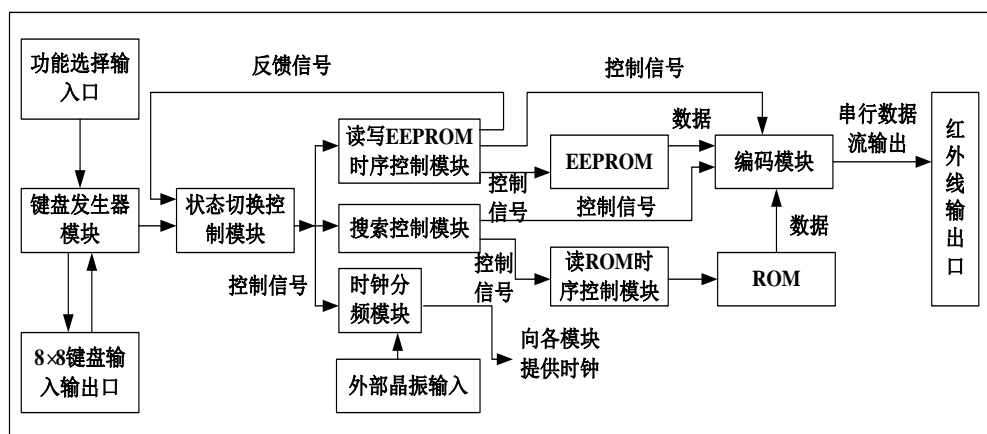


图 4.1 多功能红外遥控器模块连接简图

系统运行由 FPGA 内部两个分频时钟协调, 其运行情况如下:

(1) 在由硬件给出复位信号以后，各模块开始对一些信号进行初始化，包括键盘输入、计数器的初值、寄存器初值的装载、以及一些控制信号的初值设置等等，这个过程我们统称为复位。

(2) 在 SET 键（连接 SET 管脚，见 3.2.1 节，管脚定义）被持续按下一段时间后，遥控器搜索 ROM 存储器，用二次搜索方法查找被控设备控制数据，直到找到为止（发现被控设备受控），此时遥控器将找到的数据存入 EEPROM 中。

(3) 当 EEPROM 中有了从 ROM 中找出的具体设备的控制数据后, 按下普通按键, 此时遥控器搜索 EEPROM, 找出被控对像的控制数据, 通过编码模块电路编码后由红外输出口输出。

4.2 各模块的功能设计与实现

4.2.1 时钟分频模块的设计

该模块主要将通过 OSCI 端口输入的时钟分频为本设计所需要的时钟。本设计将要用到三个分频时钟，分别为 38K，2K 和 1.78K，38K 是站空比为 1:3 的方波，用作红外遥控的输出波形的载波。频率为 2K 站空比为 1:1 的时钟用在编码模块中康佳和大宇两种格式编码的工作时钟，其余电路选用 1.78K 站空比为 1:1 的时钟作为工作时钟。由于本设计对时序要求不是很高，因此本模块采用行波计数器、比较器和 D 触发器这样的模式设计时钟。其模块简图如图 4.2 所示，计数器在 main_on_off 信号有效时，开始计数，D 触发器输出分频时钟；当 main_off_osc 信号有效时，各计数器停止计数，D 触发器输出低电平，此时遥控器处于待机状态。main_on_off 信号在逻辑上优于 main_off_osc 信号，即在 main_on_off 信号有效时，不管 main_off_osc 信号有效与否，模块正常工作。仅当 main_on_off 信号无效时，main_off_osc 信号才起作用。

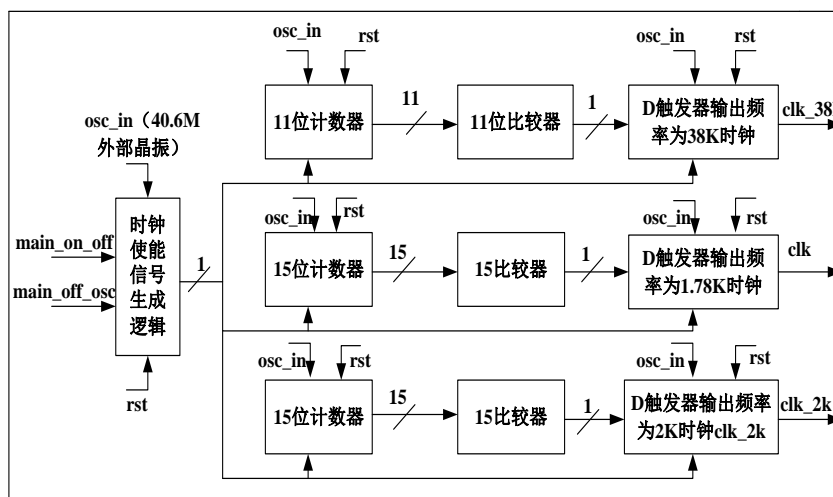


图 4.2 时钟分频模块简图

4.2.2 状态控制模块的设计

状态控制为本设计的较为重要的一部分，它相当于计算机的 CPU。本模块直接控制着状态的运行过程，各模块在相应的状态下有序的工作。依据设计要求，将系统分为 5 个状态，分别是待机状态（设为 state0）、记时状态（设为 state1），等待状态（设为 state2）、搜索数据状态（设为 state3）、存储数据状态（设为 state4）、以及普通按键状态（即为正常使用遥控器状态，设为 state5）。如图 4.3 所示为状态切换模块的 ASM 图。其中信号 key_efc=set_key_efc||nomal_key_efc，各状态的

工作过程分别如下：

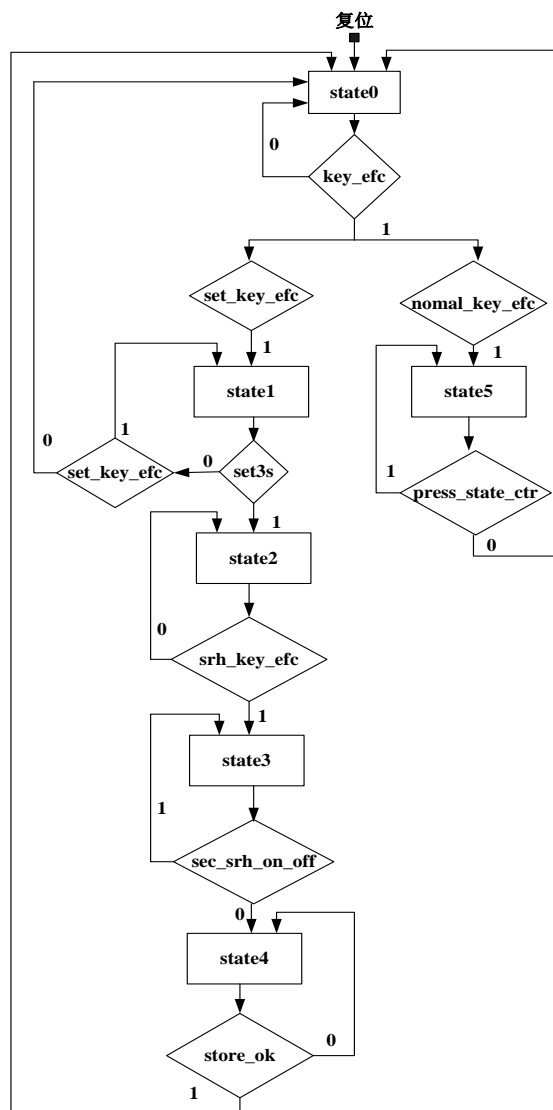


图 4.3 状态控制模块的 ASM 图

状态 0：系统在复位、存储代码完毕以及发码完毕后进入到该状态，系统处于该状态时，所有分频时钟停止（持续为低电平），以这些分频时钟为工作时钟的电路停止工作，这个状态下遥控器功耗最低。对遥控器的任意操作都将把遥控器从这个状态唤醒进入记时状态或者普通按键状态。

状态 1：当遥控器 `set_key_efc`（由管脚 SET 输入经键盘发生器模块亚稳态处理的信号）信号有效时，遥控器进入记时状态，记时到达一定时间（本设计定为 3 秒）`set3s` 有效，遥控器输出显示（LED 灯亮），进入状态 2。处于记时状态的遥控器在 `set3s` 信号无效时，如果 `set_key_efc` 信号无效则遥控器转入状态 0，否则

维持在状态 1。

状态 2: 在状态 2, 遥控器时钟不停止。可以设置遥控器搜索初始地址指针。在信号 `srh_key_efc` 有效时候, 遥控器进入状态 3。

状态 3: 在状态 3 遥控器开始搜索 ROM 存储器, 查找正确的遥控控制代码, 在二次搜索信号 `sec_srh_on_off` 为低时, 遥控器进入状态 4。

状态 4: 在状态 4, 遥控器将状态 2 中搜索到的数据存入 EEPROM 中, 在 `store_ok` 信号为高 (数据存储完毕后), 进入状态 0。

状态 5: 在普通按键有效时, 遥控器进入该状态, 该状态下遥控器从 EEPROM 中读数据, 并将数据通过编码模块编码再由红外输出口发送出去, 在数据发送完毕后(`press_state_ctr` 信号由高变低), 系统控制进入状态 0。

模块端口及内部逻辑简图如 4.4 所示:

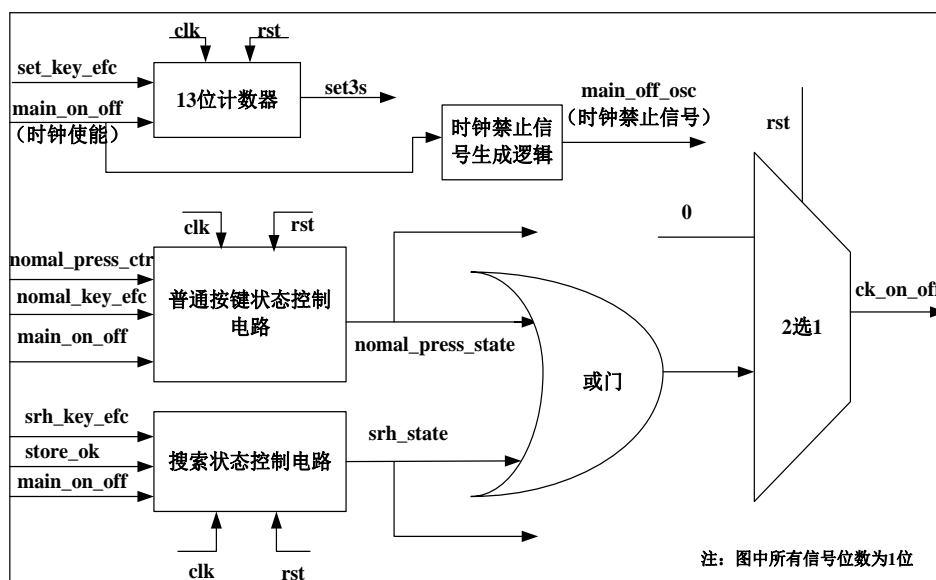


图 4.4 状态控制模块简图

4.2.3 键盘发生器模块设计

该模块主要完成 8×8 键盘电路的扫描器/编码器的设计, 根据按键输入产生相应的信号, 并且对外部输入的所有异步信号包括 SET 管脚输入的信号以及功能选择输入信号, 键盘扫描输入信号, 进行亚稳态处理。下面主要讨论键盘扫描器/编码器的设计。^[29]

键盘扫描器对已按下的键做出响应, 并形成唯一能标志所按下键的扫描码。它必须考虑输入的异步特性, 并处理开关的抖动。如果一个键被按下一次并

保持不放，那么肯定不能解释为重复按这个键。

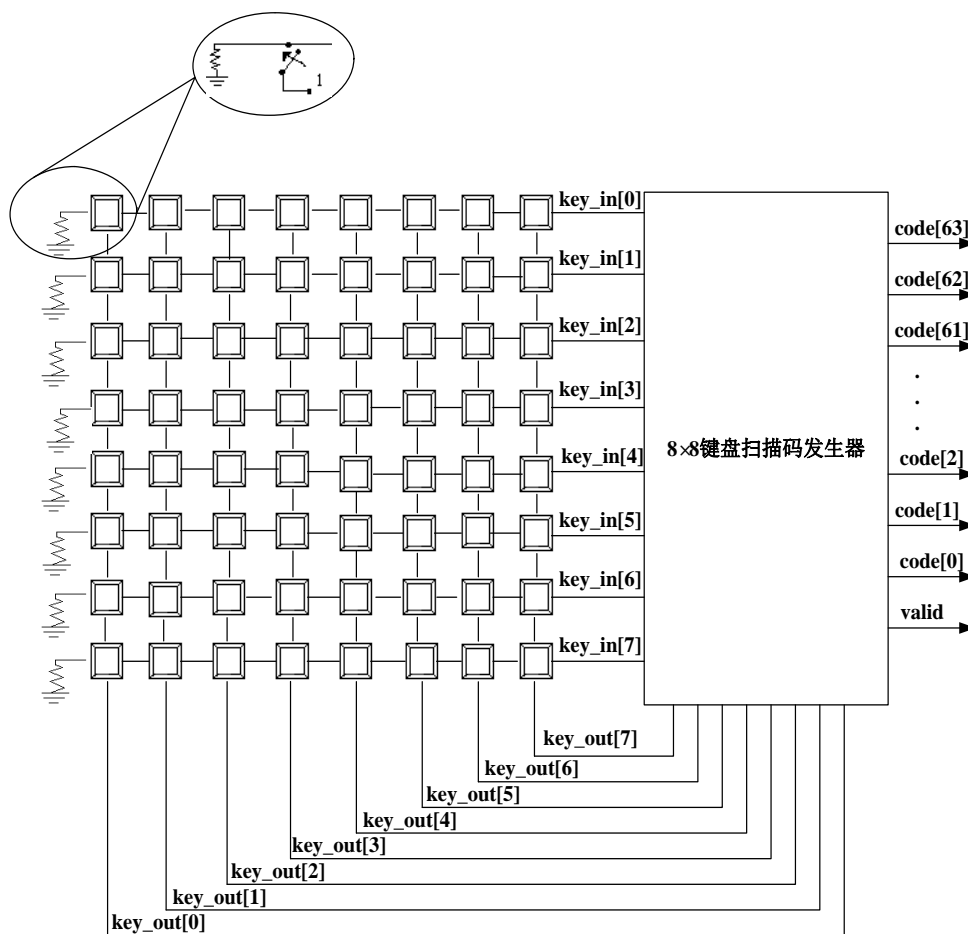


图 4.5 8×8 键盘扫描器/编码器

如图 4.5 所示的为本论文所设计的 8×8 键盘电路的扫描器/编码器方案。从第一行开始，顺序向右按键编号依次为 0、1、2...62、63 共 64 个按键。键盘每一行通过一个下拉电阻连接到地，当按键被按下时，在按键所处的行列之间就建立起了连接；在按键位置上，连接将行线上拉到列线的值；如果那个列线是连接到供给电压，那么由按下的键连接到那个列的行也将被拉至供给电压；否则行线被下拉至 0。键盘扫描码发生器单元控制列线，并且在列线上由规律的使电压值有效控制来检测已按下的按键的位置。

键盘扫描码发生器必须执行一个译码方案，它可以检测按键是否被按下，识别被按的键，并产生一个与按键的唯一扫描码对应的输出。扫描器/编码器可当做具有表 4.1 所示按键扫描码的同步时序状态机来实现。状态机的输出有列线、代码线以及用以表示代码值是否正确的信号 valid。

表 4.1 8×8 扫描器的键盘代码

key	key_in[7:0]	key_out[7:0]	code
0	00000001	00000001	000000
1	00000001	00000010	000001
2	00000001	00000100	000010
...
62	01000000	10000000	111110
63	10000000	10000000	111111

为了检测按键是否按下，状态机可以在所有的列线上同时为 1，直到发现一个行线已被上拉为 1（通过判断行线的或是 1）。此时，有效的行线标志仍然未确定，需要扫描器将 1 逐次应用到每条列线，直到检测出一条有效行线为止。已确定的列和行的位置对应于已按下的键，而且对于每个按键，其编码信息是唯一的。

键盘扫描器/编码器的行为可由图 4.7 所示的 ASM（算法状态机）图表示。状态机在所有列有效处在 s_0 状态，直到一个或多个行线有效时为止。在 s_1 中仅有 0 列为有效，如果某一行也有效，那么输出 valid 可在一个时钟时间确定，并且状态机转移到 s_9，而且在行无效之前保持所有的有效列线。然后状态机用一个时钟周期回到 s_0。

在 ASM 图中 key_etc 为同步检测装置输出。将所有行信号相或后，通过一个同步检测装置（该装置见图 4.6），能有效的消除键盘抖动引起的扫描错误，并且实现同步操作。

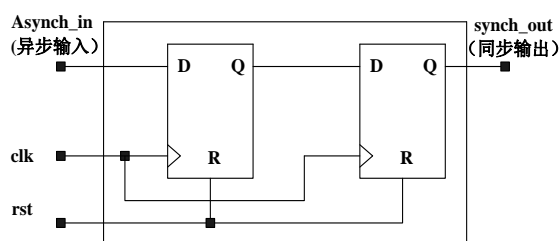


图 4.6 异步输入信号同步装置电路

从该 ASM 图上可以看出，本设计中列译码采用从 key_out_0(即第一列，同样 key_in_0 表示第一行)开始的优先级译码方式。如果多列有效时，那么第一被译码的决定了它的代码。^{[10]~[16]}

第四章 多功能红外遥控器的模块设计与硬件实现

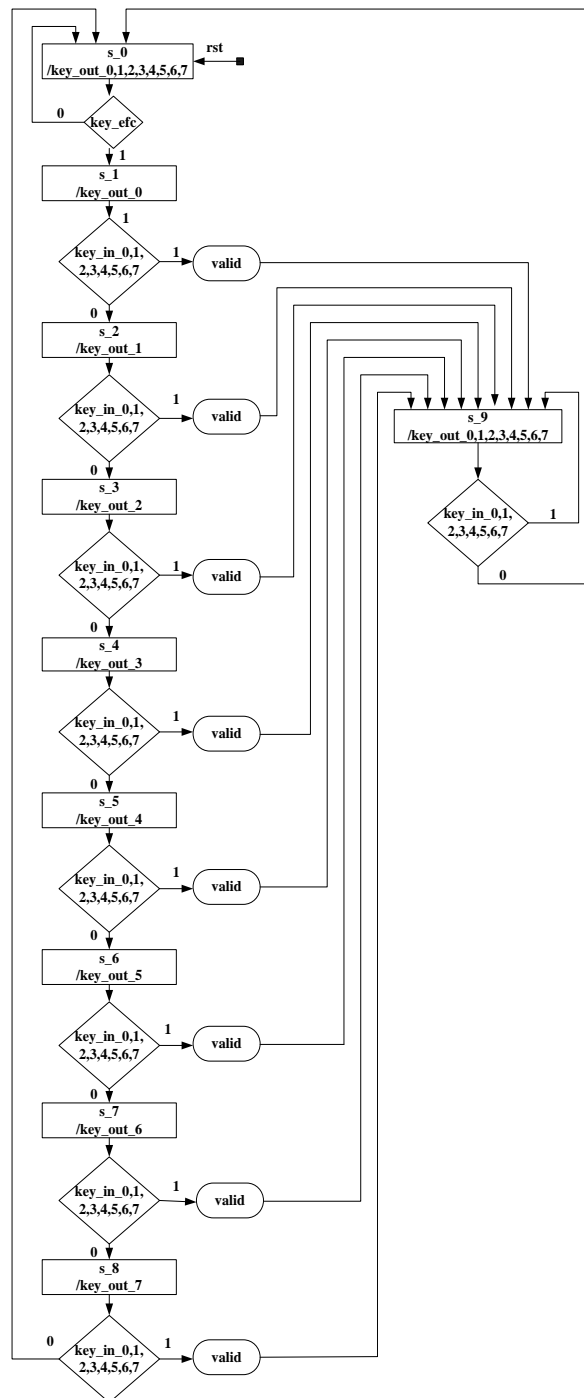


图 4.7 键盘扫描器/编码器的 ASM 图

该模块的端口及内部逻辑简图见图 4.8 所示，在本设计中第一次，第二次搜索信号，与遥控器 power 键（控制被控设备开/关键）复用。因为搜索代码与普通按键是处于两个不同的状态下的，故可以复用。在 set3s 信号有效（LED 灯亮），按下 power 键，此时 srh_on_off 信号有效，松开 power 键（srh_on_off 信号变为无

效设备受控)，再次按下 power 键，sec_srh_on_off 信号有效，松开 power 键（sec_srh_on_off 信号变为无效，找到目标数据），遥控器进入存储状态。在遥控器处于普通按键状态时，读 EEPROM 使能有效，根据按键的不同遥控器产生不同的读 EEPROM 地址。

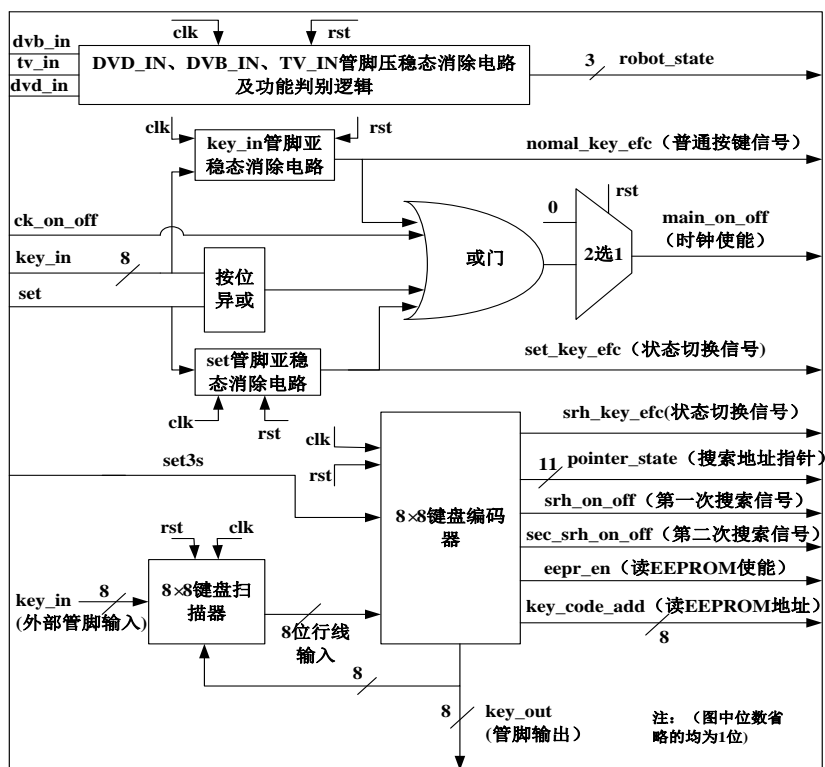


图 4.8 键盘发生器模块简图

4.2.4 搜索控制模块设计

该模块主要完成有如下功能：其一，在 srh_on_off 与 sec_srh_on_off 信号有效时，启动遥控器搜索 ROM 功能并且正确产生搜索地址（用户码地址和键码地址，模块简图中为简化画图，统一用信号 srh_add 表示）。在本设计中，由于同一厂家的设备，虽然系统码不同但键码基本都一样，因此数据在 ROM 中的存储是以厂家为单位存储的，其大致的存储结构见图 4.9 所示。图中同一厂家的系统码的存储顺序可以随意变更，但键码的存储顺序必须预先确定，顺序确定后就能确定键码在 EEPROM 中的地址，这样就可以确定 64 个按键的功能；关机键码总是存储在键码存储段的第一个单元。遥控器搜索发送的键码就是关机码，在搜索开始之前，通过三键开关确定搜索的存储块后（DVD 块、TV 块或者是 DVB 块），

第四章 多功能红外遥控器的模块设计与硬件实现

在遥控器处于状态 1，且 LED 灯亮后，还可以通过 8×8 键盘输入，设定遥控器在某一块中的搜索初始地址（由图 4.8 中的 pointer_state 地址信号）。srh_on_off 信号有效时，遥控器初次搜索，此时系统码地址累加器每次增加 n/x(ROM 中代码量为 n,共分为 x 组，在本设计中为便于设计取每组中控制代码个数为 5 个)，键码地址，在系统码处于同一厂家时，保持不变，在厂家改变后，键码地址相应发生改变。在 sec_srh_on_off 信号有效时，遥控器二次搜索，系统码地址累加器从锁定的某一组代码的初时地址开始，每次累加 2（遥控器每个系统控制代码为 16 位的数据）。其二，根据搜索地址的变化，形成不同的用于遥控器发码的发码格式。

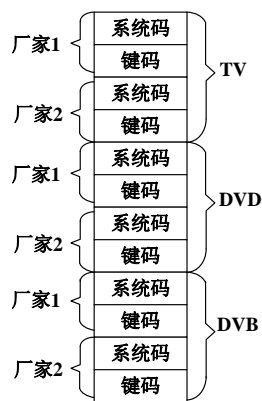


图 4.9 控制代码在 ROM 中的存储结构

其三，产生读 ROM 使能信号，以及在搜索状态下，遥控器发码控制信号 (srh_send_en 和 srh_data_efc 信号)。该模块的端口及其内部逻辑简图见图 4.10 所示。

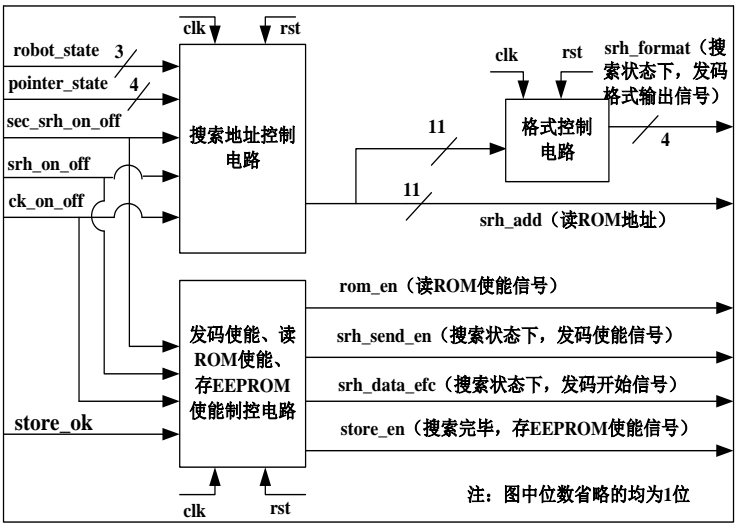


图 4.10 搜索控制模块简图

4.2.5 存储器模块的设计

本文设计中有两个存储器，一个是 ROM 存储器（只读存储器），一个是 EEPROM 存储器（可擦可写存储器），存储器在整个设计的起着关键性的作用。ROM 存储器存储市面上不同厂家的 DVD，DVB，TV 控制代码，EEPROM 存储具体某一设备的控制代码。

1. ROM 存储器

ROM 为逻辑器件（即可用逻辑实现），容量能够做得很大，且价格便宜，因此本设计中选择 ROM 作为全部控制代码的存储体。ROM 可以嵌入芯片内部，也可以放在芯片外面。内部 ROM 不仅速度快，而且可以避免驱动信号的开/关所造成的速度问题。但内部 ROM 比外部 ROM 成本要高得多，不过，由于在电路板上要加入另外的器件并占有额外的引脚资源，因此多多少少抵消采用外部 ROM 带来的成本优势。由于本设计的最终目的是做 ASIC，因此 ROM 最终将嵌入到芯片中。对于在本设计的 FPGA 设计阶段，ROM 是用 ALTERA 公司的 IP core 生成器生成的，IP core 生成器可生成的 IP core 功能繁多，从简单的基本设计模块到复杂的处理器等一应俱全。使用 IP core 功能可以避免重复设计，缩短工程周期，提高工作效率，而且在通常情况下综合的电路在硬件资源的使用上也比用户自行撰写的代码要节省得多。设计中通过查看其说明书（Datesheet）可以发现，它是一个功能非常强大的 IP core，有很多的参数可以选择。

图 4.11 中的端口并不是全部都需要，针对本设计，只需要最简单的几个功

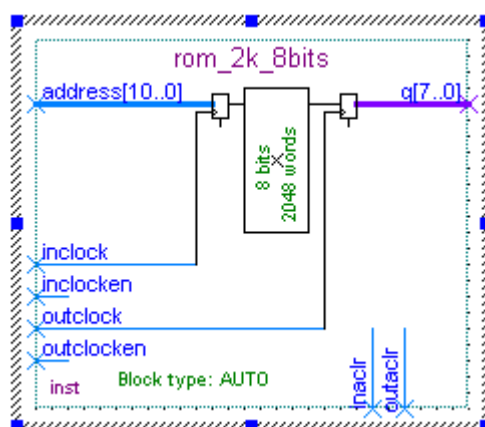


图 4.11 ROM 端口图

能，包括地址线、数据输入端、进时钟与出时钟都为同一时钟，时钟使能都为同

一个。当使能无效时对存储器的读操作无效。本设计采用了从文件中下载数据来初始化存储器，文件类型为 hex 类型，保存在它中的数据为被控对象的控制代码，其数据结构是按图 4.9 中的结构进行存储的。

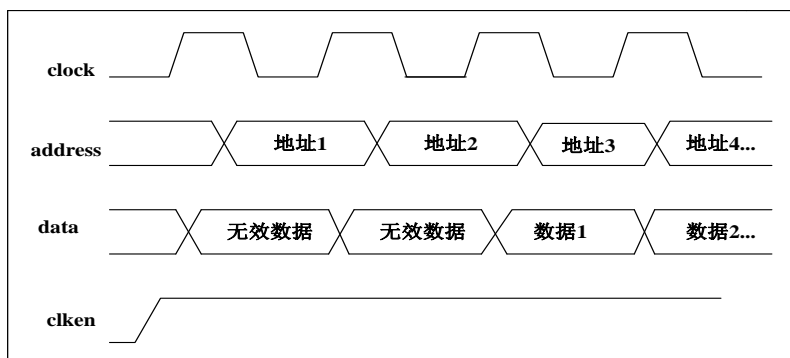


图 4.12 ROM 读时序图

图 4.12 ROM 存储器读时序也是设计时一个很重要的方面。从图中可以发现，存储器在第一个时钟上升沿采样地址，在第二个时钟上升沿输出数据。^{[17]~[20]}

2. EEPROM 存储器

遥控器每次搜索完毕后，必须将代码单独存放在另一存储体中，以免遥控器下次使用的时候重复搜索过程，该存储体必须是可读可写，且在掉电的时候数据不被丢失。本设计采用 EEPROM 来完成这一功能，EEPROM 是电可擦可写，能够通过逻辑控制来擦写存储单元，可以置于片内或片外，置于片内或片外有着与 ROM 一样的优缺点。本设计其最终的目的是做成 ASIC，在其内部嵌入 EEPROM 存储块的技术也已相当成熟，且成本上能够接受，因此本设计选择在 ASIC 内部嵌入 EEPROM 存储块。本设计的 EEPROM 存储块是采用华虹 NEC 公司提供的硬核，表 4-2 为 256×8bits 的 EEPROM 宏单元端口列表。^[28]

从表中可以看出，该存储块功能是非常强大的，它有多种工作模式，根据设计需要，EEPROM 只工作在 EARSE 模式、WRITE 模式、和 READ 模式下。

表 4-2 EEPROM 端口列表

端口名	I/O	功能
EEAD(N-1:0)	I	地址信号
SEL_OTP	I	OTP 域选择信号
EEDBI (7:0)	I	输入数据总线
EEOUTEN	I	三态输出控制

第四章 多功能红外遥控器的模块设计与硬件实现

DISC	I	Discharge 信号
EARSE	I	EARSE 模式信号
WRITE	I	WRITE 模式信号
READ	I	READ 模式信号
PRE_CHG	I	读出预冲电信号
STP_S	I	灵敏放大器停止信号
STP_SR	I	灵敏放大器的参考电流停止信号
CHECK	I	CHECKER 模式控制信号
CHIP	I	CHIP 模式控制信号
CP_TEST	I	Charge Pump 测试信号
ION_CHK	I	Ion 测试信号
EXT_VPP	I	外部 VPP 输入许可信号
EVPPH	P	外部 VPPH 端子
EVPLL	P	外部 VPLL 端子
ENC	I	测试用信号，正常工作时接 GND
STC	I	测试内部时钟使能信号，正常工作时接 GND
EXTC	I	测试用信号，正常工作时接 GND
COUT	O	测试用信号，内部时钟输出信号
EEDBO(7:0)	O	输出数据总线

端口中还包含一部分测试用端口，在实际应用中这些端口被置为固定电平。各模式下的时序特性见图 4.13 和图 4.14 和表 4—3，表 4—4。从时序特性可以看出，EEPROM 的擦和写有着同样的时序，实际中先对存储单元进行擦操作，然后

表 4—3 EEPROM 擦写时间要求

项目	略号	条件	MIN	TYP	MAX	单位
消去脉冲宽度	tpe		1.4		3.6	ms
写入脉冲宽度	tpw		1.4		3.6	ms
WRITE/EARSE RESET 时间	twer		500			ns
地址建立时间	taddrs	ns	0			ns
地址保持时间	taddrh	us	0			ns

第四章 多功能红外遥控器的模块设计与硬件实现

数据建立时间	tds		0			ns
数据时间	tdh		0			
Discharge 时间	tdis		3			

表 4-4 EEPROM 读时间要求

项目	略号	条件	MIN	TYP	MAX	单位
STP 建立时间	tst1s		100			ns
	tst2s		0			ns
STP 保持时间	tst1h		10			ns
	tst2h		10			ns
地址保持时间	tahr		0			ns
数据保持时间	tdhr		0			ns
Precharge 时间	tprew	VDD≥2.7V	75			ns
		VDD≥4.5V	45			ns
地址建立时间	tasr	VDD≥2.7V	75			ns
		VDD≥4.5V	45			ns
数据输出延时时间	tdod	VDD≥2.7V	70			ns
		VDD≥4.5V	40			ns

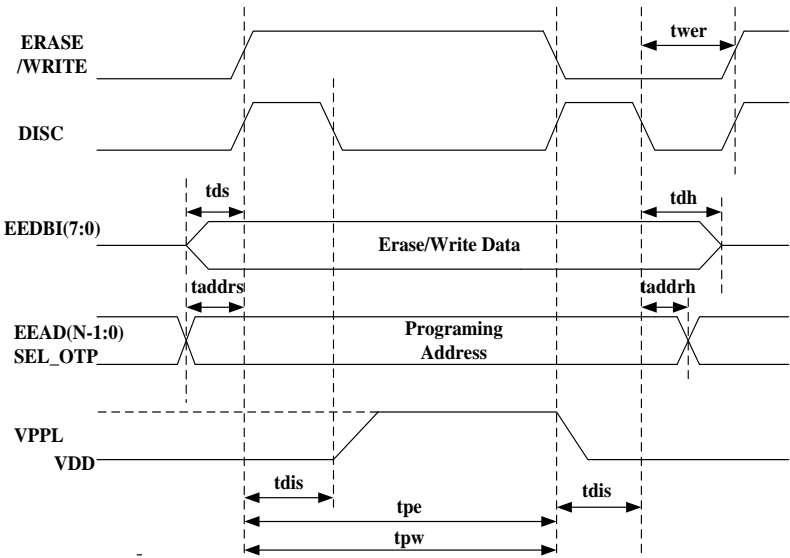


图 4.13 EEPROM 擦写时序图（其时间要求见表 5-3）

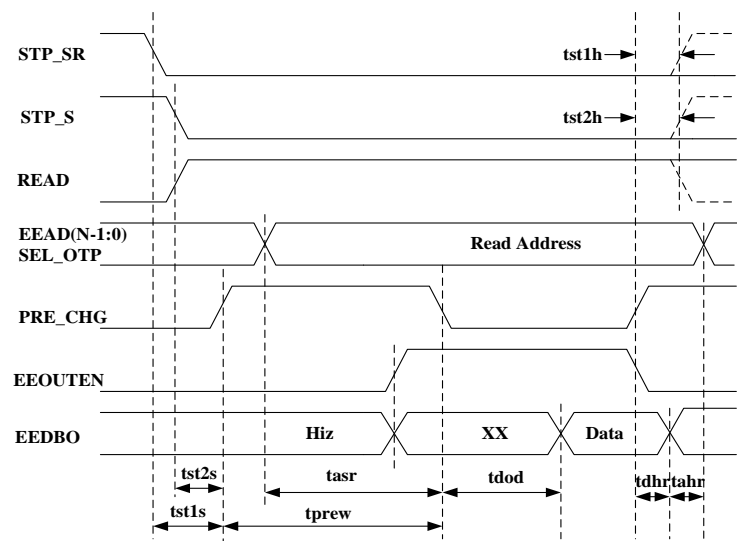


图 4.14 EEPROM 读序图（其时间要求见表 5—4）

再进行写操作。

前面说的 EEPROM 存储器是针对于 ASIC 设计的情况,对于 FPGA 设计验证阶段,由于 EEPROM 存储器不是纯逻辑部件,用 VerilogHDL 语言只能对它进行行为描述,不能通过 EDA 工具综合为具体电路,因此要么在实验板上使用片外 EEPROM,要么用 FPGA 内部 RAM 来替代 EEPROM,这需要有一个连接 EEPROM 行为模块读写控制逻辑与 RAM 读写控制逻辑的接口电路。RAM 模块可以用 Quartus II 软件像上面生成 ROM 那样很方便的生成,因此,本设计在 FPGA 设计验证阶段采用 RAM 来代替 EEPROM。

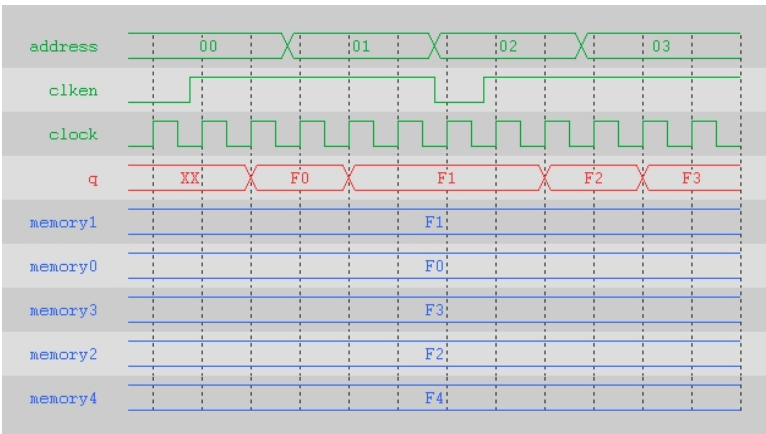


图 4.15 RAM 读数据时序图

图 4.15、4.16 为类似 ROM 那样通过 Quartus II 软件生成的 RAM 模块的时序,

其读时序与 ROM 相同。写时序增加了一个写时钟使能，并在写使能有效时，在同一个时钟节拍的上升沿采样地址，下降沿将数据总线上的数据读入存储单元。

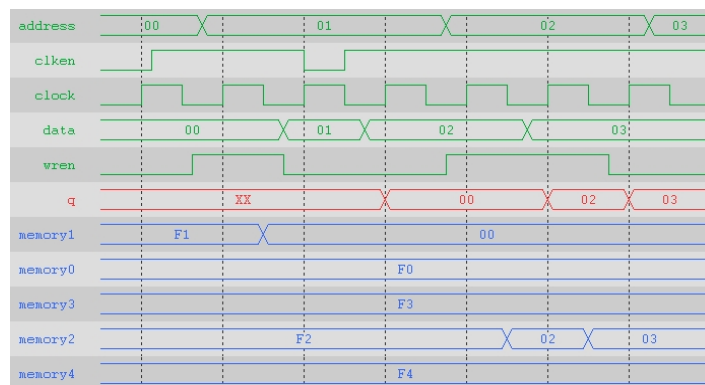


图 4.16 RAM 写数据时序图

4.2.6 ROM 读时序控制模块设计

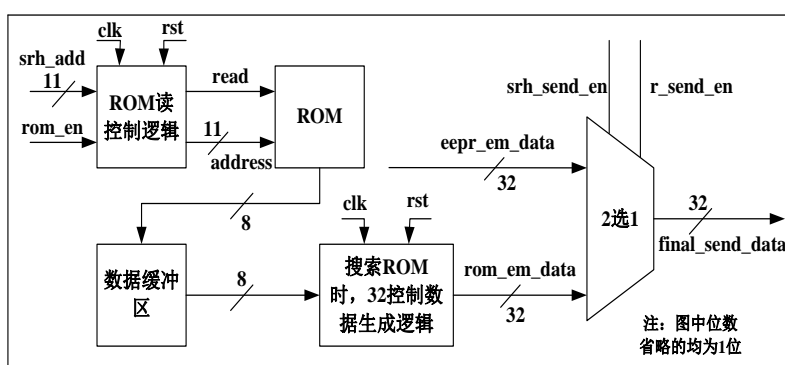


图 4.17 ROM 读时序控制模块简图

如图 4.17 所示，该模块主要完成根据 srh_add 所提供的 11 位地址从 ROM 中读入数据到缓冲区，并且根据状态的不同，选择发送来自不同存储器的数据。信号 srh_send_en（遥控器搜索发码状态）为高时，选择 rom_em_data（从 ROM 中读出的待发送数据）；信号 r_send_en（普通按键状态下）为高时，选择 eepr_em_data（从 EEPROM 中读出的数据待发送数据）。

4.2.7 EEPROM 读写时序控制模块设计

如图 5.9 所示，该模块主要完成：一，在 store_en 信号有效的时候，根据搜索模块锁定的地址，从 ROM 中读入目标控制代码的系统码和键码以及相应的发

码格式并将其存入 EEPROM 中。二，在遥控器处于普通按键状态时，根据键盘发生器模块产生的键码地址（在 EEPROM 中系统码唯一且存储位置固定，地址是已知的）从 EEPROM 中读数据，并且产生遥控器发码使能信号。

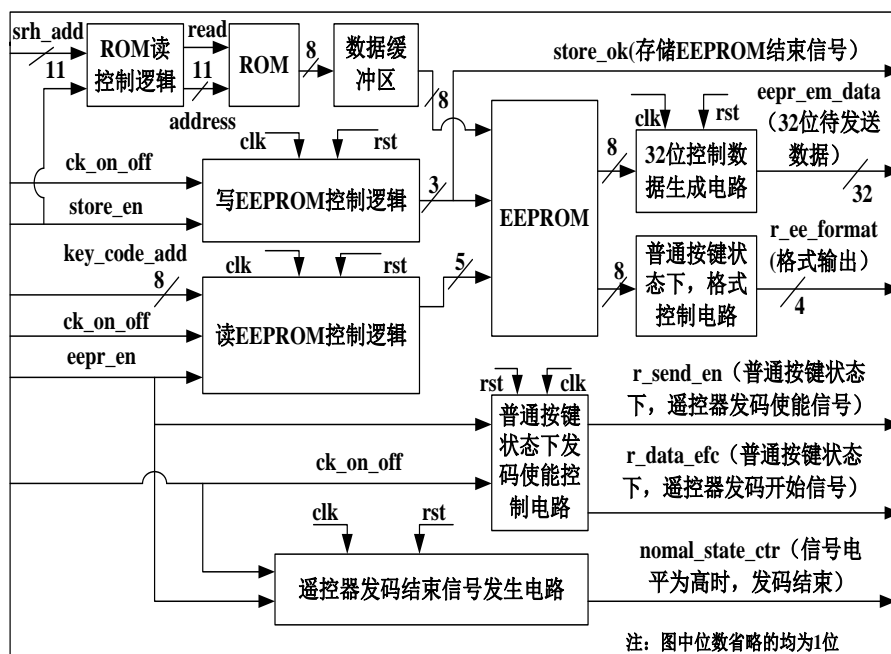


图 4.18 EEPROM 读写时序控制模块简图

由上可知，当做 FPGA 验证时，图 4.18 中的 EEPROM 块需要用 RAM 块替代，此时要有一个接口电路，将控制 EEPROM 的时序转换为控制 RAM 块的时序。

4.2.8 编码模块设计

如图 4.19 所示，该模块主要完成，根据被控设备的需要，采用不同的发码格式，将 32 位并行待发送数据转化为能从红外输出口输出的串行 32 位数据。本设计根据实际的需要设计了 NEC6122、TC9012F、KONKA 以及大字等 4 种不同的发码类型。

由第一章中红外遥控器的编码原理可知，遥控器发射的每帧数据中包括引导码，用户码，和键码三个部分，其中引导码是由一个高电平和一个低电平组成，用户码（用来区分不同类型的被控对像）和键码（用以区分不同的按键）都为 8 位数据，每一位数据即“1”或“0”是采用脉冲位置调制方式（PPM）来区分的。引导码高低电平持续时间的长短，调制脉冲的宽度，以及每帧数据的位数的不同决定了不同的发码格式。控制 DVD，DVB 的遥控器一般采用 NEC6122 格式发码，

只有控制 TV 的遥控器，发码格式较多。但如今的电视市场，主流品牌电视占据 90% 以上的市场分额，本文采用的四种发码格式，正是主流品牌电视遥控器所使用的格式。

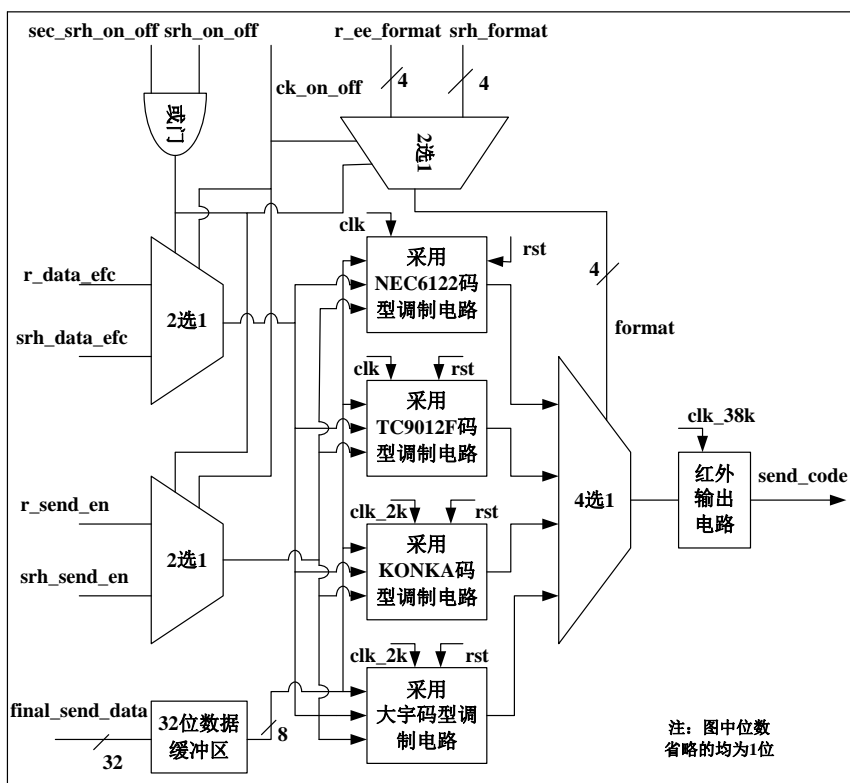


图 4.19 编码模块功能简图

本设计用一个四位寄存器(图中名为 format)来控制选通生成每种格式的电路。format[0](这表示信号的最低位)为高其它信号为低则输出 NEC6122 格式,format[1]为高其它信号为低则输出 TC9012F 格式,format[2]为高其它信号为低则输出 KONKA 格式,format[3]为高其它信号为低则输出大字格式。下面将详细讨论四种码的实现情况。寄存器中的数据在遥控器处于搜索状态下由格式控制电路根据搜索地址产生(见搜索控制模块),在普通按键状态下,则是从 EEPROM 中直接读出的。下面将一一介绍每种发码格式的电路设计情况。

1. NEC6122 格式

见图 2.7 与图 2.8,该格式电路由寄存器 format 的最低位 format[0]选通,发送的是 32 位数据,脉冲宽度为 0.56ms,即 1.78K,正好为工作时钟 clk 的一个时钟周期。本设计工作时钟的选择是从降低遥控器功耗出发,让系统尽量处于低频工作状态,因此选择该格式脉冲宽度作为系统工作时钟周期,这样做也是为了在用

VerilogHDL 语言描述该格式电路时，电路更加简单。对于 NEC6122 编码电路的设计，本设计采用计数器和移位寄存器加上控制逻辑在时钟的协调下完成的。在发码允许信号来到后，计数器开始记数，D 触发器持续输出一个高电平，和一个低电平，作为遥控器引导码。不同的格式引导脉冲的脉宽和低电平的宽度都可能不一样，计数器的值就有所不同。在计数器的值到达预定的值后，移位寄存器启动，它在控制逻辑的控制下移出一位待发送数据，待前一位数据发送完毕后，再移出下一位数据，直到所有的数据都被移出为止。移位寄存器控制逻辑很关键，也是编码电路的难点所在。其它几种格式的设计与 NEC6122 编码电路的设计方法都差不多，不同的是计数器的预定值以及移位寄存器的控制逻辑不一样。

2. TC9012 格式

如图 4.20，图 4.21 所示，该格式除引导码以外与 NEC6122 格式有着完全一样的结构。该格式由寄存器 format 的第 2 位 format[1]选通。

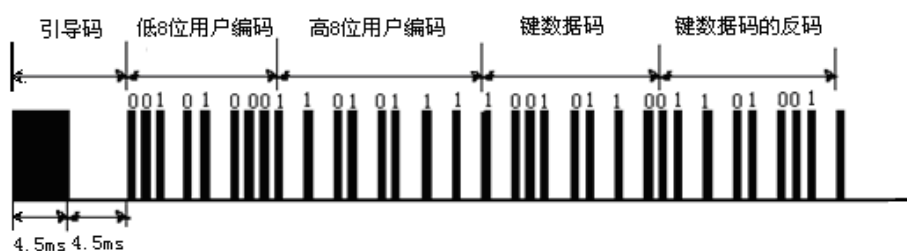


图 4.20 TC9012 格式的一帧数据

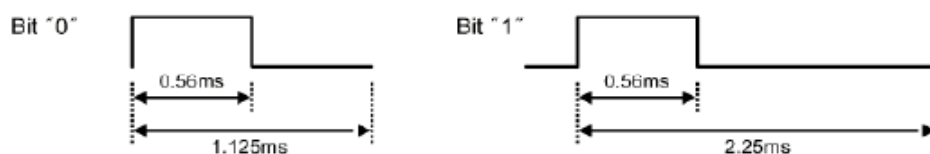


图 4.21 TC9012 格式的“0”和“1”

3. KONKA 格式

见图 4.22，图 4.23，KONKA 格式只发送 16 位数据，8 位用户码，8 位数据

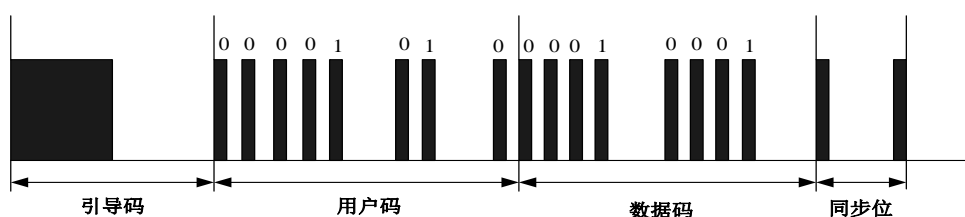


图 4.22 KONKA 格式的一帧数据

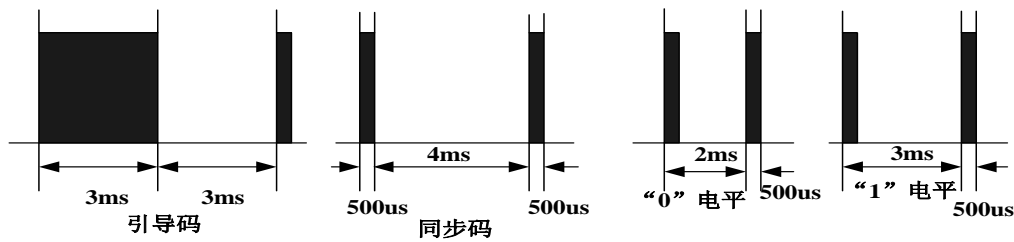


图 4.23 KONKA 格式的引导码、同步码以及电平“0”和“1”

码，数据码结尾还有一同步位，该格式由寄存器 format 的第 3 位即 format[2]选通。该格式的脉冲宽度为 500us 即 2K，为了在用 VerilogHDL 语言描述该格式电路时，电路更加简单，这部分电路使用了另外一个分频时钟 clk_2k，其时钟周期正好为 500us。

4. 大字格式

见图 4.24，图 4.25，大字格式的脉冲宽度也为 500us，这部分电路所使用的时钟与 KONKA 格式是一样的。大字格式也发送 16 位数据，用户码与数据码间有 4ms 时间间隔。该格式由寄存器 format 的第 4 位即 format[3]选通。

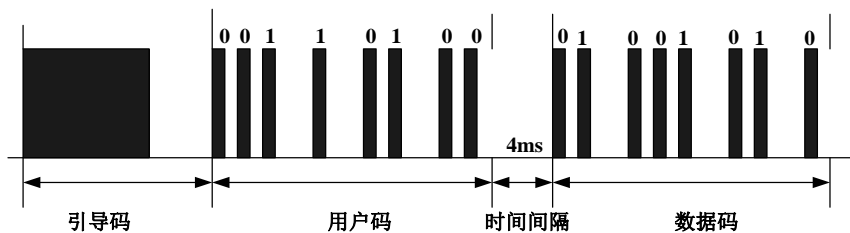


图 4.24 大字格式的一帧数据

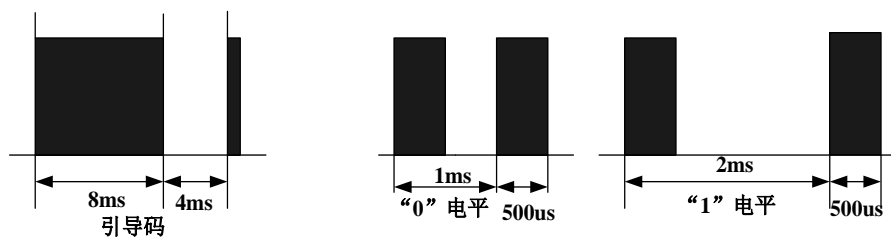


图 4.25 大字格式的“0”和“1”

这四种格式中，KONKA 发送数据的顺序有点不同，引导码结束后，KONKA 格式码，是从用户码的最高位到最低位的顺序发送数据的，发送完用户码后，数据码的发送也是从最高位到最低位。其它三种格式，无论用户码还是数据码都是从低位向高位的顺序发送的。^{[1]~[6]}

4.2.9 顶层模块的设计

顶层模块的作用就是将各子模块输入输出端口有效地连接起来，从外部引入激励信号，并将希望的输出引出。从外部看，顶层模块就好比一个黑盒子，其功能的实现由内部模块实现。设计中是利用元件例化的功能实现的。图 4.26 为顶层模块端口图。如图 4.26，顶层模块输入信号有时钟信号 `osc_in`，异步复位信号 `rst`，功能选择输入信号 `tv_in`,`dvd_in`,`dvb_in`，分别选择遥控器控制电视、DVD、机顶盒，`set` 信号使遥控器进入搜索记时状态，`key_in` 信号为 8 位键扫描输入；`key_out` 信号为 8 位键扫描输出，`display` 信号输出送 LED 显示。`send_code` 信号输出送红外发送输出口。

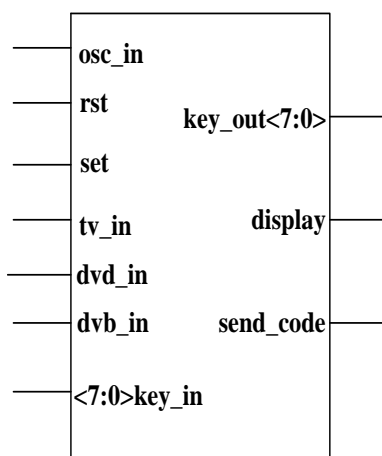


图 4.26 顶层模块端口图

4.3 多功能红外遥控器仿真分析

在完成了多功能红外遥控器各模块的代码设计以后，接下来要做的工作就是仿真。在工程上，HDL 语言描述的硬件仿真类型可分为功能仿真和时序仿真。功能仿真是在未经过布局、补线之前，使用 HDL 源程序作为被仿真程序的激励文件进行的仿真。时序仿真，则是将 HDL 语言描述的电路源代码综合之后，再由 FPGA 适配器映射于具体芯片后得到的文件进行仿真，该文件中加入了具体芯片和连线间的延迟信号，因此该仿真最接近真实电路。

功能仿真的作用在于一方面检查源代码语法上的错误，另一方面检验功能的正确性。在设计初期，源代码的修改和功能仿真会不断地重复以求得正确的结果。功能仿真不能对时序作任何的验证，因为仿真器仅对设计的逻辑行为进行模拟测

定，而没有把器件的延时特性考虑进去，仿真器给出的结果就仅仅是逻辑功能，所有信号在仿真时都是立即改变状态。在进行功能仿真之前，必须先建立仿真文件。所谓的仿真文件就是按设计者自己的意愿，依据模块的功能，在某些特定的时间对输入信号赋予一些值，然后经过仿真器运行以后查看输出波形，检验功能的正确性。建立仿真文件的方法有很多种，比较常用的有：建立仿真宏文件、测试激励文件、创建波形仿真文件等等，三者的作用相同。波形仿真文件比较直观而且设计方便，但是对于复杂的功能强大的模块就没有宏文件和测试台（testbench）来得方便。本设计对各模块的仿真采用了测试激励文件形式。激励文件里面的信号都是与设计模块端口的信号一一对应，而每个激励文件都与一个模块映射。激励文件的源程序也是 HDL 语言描述的，只不过描述的功能是模块端口输入信号在何时赋何值。激励文件里面允许有时间常数，而正常的 HDL 文件里面是不允许的。在建好仿真文件以后就是进入仿真环境，设计中使用的仿真工具是 Modelsim6.0SE。在运行了激励文件以后，仍然在仿真环境下观察模块输出端口信号的值，从而验证基于 FPGA 多功能红外遥控器系统功能的正确性。激励文件的设计难点是如何全面并且适时地给模块输入信号赋值，从而能够保证将程序运行的所有可能的情况包括在里面，全面地验证模块的功能。下面我们将对各模块作仿真分析。^{[1]、[2]、[21]~[23]}

4.3.1 时钟分频模块的仿真

本设计中，时钟分频模块比较简单。图 4.27 为其仿真波形。图中左侧的是信号名称，中间是信号的值，可以多个进制的模式查看，右侧是信号的波形图。一般情况下，仿真的时候默认的都是观察端口的信号，如果需要观察中间信号，可以自行添加。

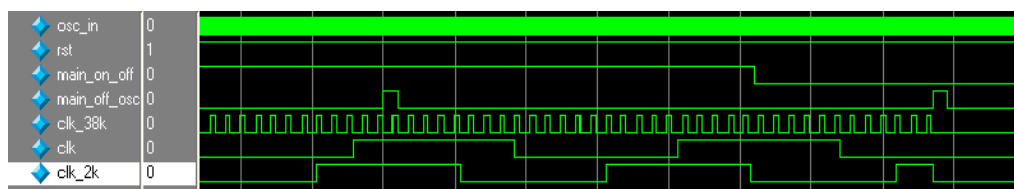


图 4.27 时钟分频模块仿真波形

从图中可以看出，在复位过后，当任意一外部输入有动作时，main_on_off 信号都将有效，而一旦信号 main_on_off 有效，时钟模块将被启动，信号 clk_38k, clk, clk_2k 分别输出频率为 38k（占空比为 1:3），1.78k（占空比为 1:1），2k（占空

比为 1:1) 的方波。信号 `main_on_off` 比信号 `main_off_osc` 具有高优先级, 当信号 `main_on_off` 有效时, 不管信号 `main_off_osc` 有效与否, 模块都将运行。仅当 `main_on_off` 无效后, 此时如果信号 `main_off_osc` 有效则模块停止运行。

4.3.2 状态控制模块的仿真

状态控制模块对整个系统的状态进行控制, 模块的设计没有采用状态机来设计。为了设计的方便, 模块的部分代码被放在键盘发生器模块中, 如第一次, 第二次搜索信号的产生, 时钟时能信号 `main_on_off` 的产生。其仿真波形见图 4.28 所示。图中当 `set_key_efc` 有效时, 系统进入记时状态。在 `set3s` 信号无效时, 如果 `set_key_efc` 无效, `main_on_off` 信号将无效, 系统进入待机状态。如果 `set3s` 信号有效, 系统进入等待状态。在该状态下, 如果 `srh_key_efc` 信号有效, 系统将进

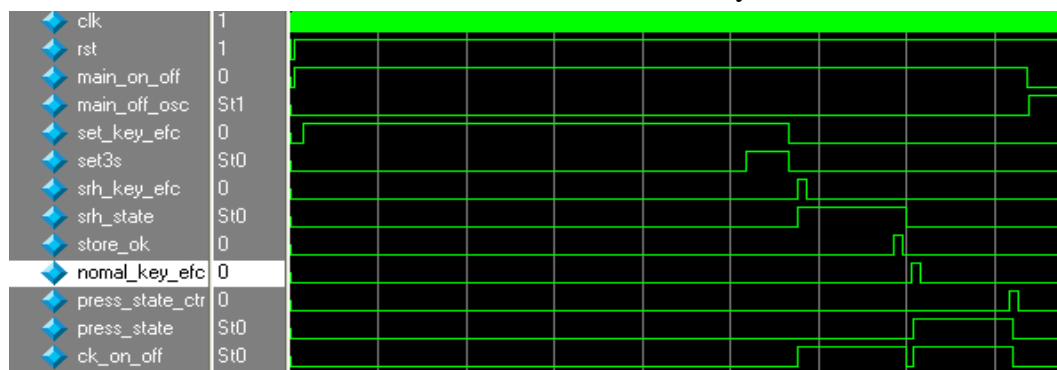


图 4.28 状态切换控制模块仿真图

入搜索状态 (`srh_state` 有效), 由于第二次搜索信号 (`sec_srh_on_off`) 在键盘发生器模块中产生, 所以仿真图中看不出系统从搜索状态进入存储代码状态。仅当存储代码完毕 (`store_ok` 信号有效) 时, 系统从存储状态中退出, 进入待机状态。在普通按键有效时候, 系统进入普通按键状态 (信号 `press_state` 有效), 在 `press_state_ctr` 信号由高变低后系统进入待机状态。在系统进入待机状态时, `main_on_off` 信号无效, 但在这个仿真图中为便于仿真其它信号, 这个信号未让它变化。`main_off_osc` 信号在 `main_on_off` 信号有效时候无效, 在其变低后, 延迟两个脉冲后有效。

4.3.3 键盘发生器模块的仿真

下面讨论分析键盘的测试情况。对于键盘的测试激励文件的编写不能像前面模块那样编写, 前面模块的激励文件, 只需要在不同的仿真时间段加入不同的激励, 而对于键盘, 激励文件中还须要用逻辑搭建图 4.29 中间那部分电路。图 4.29

为键盘的完整的测试平台。

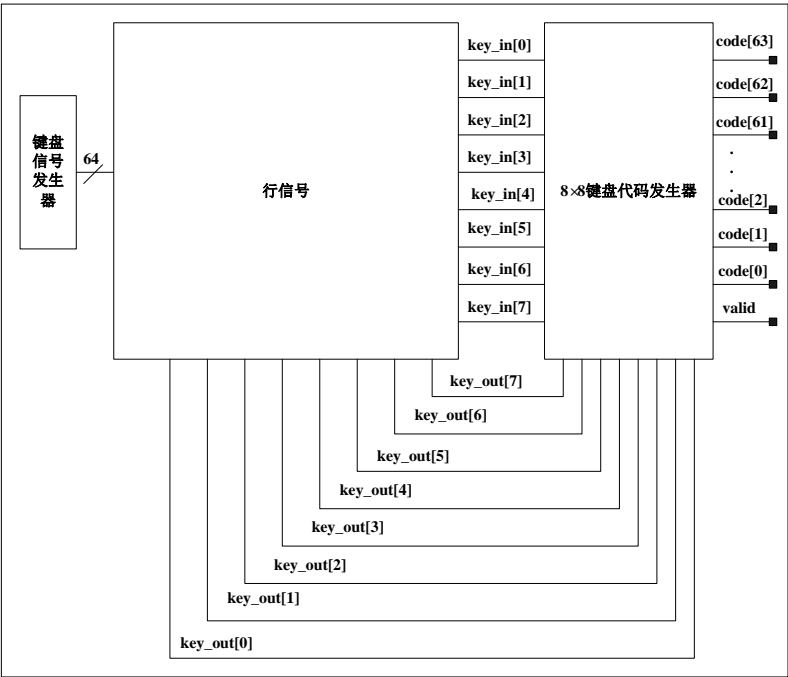


图 4.29 8x8 键盘扫描器/编码器测试结构

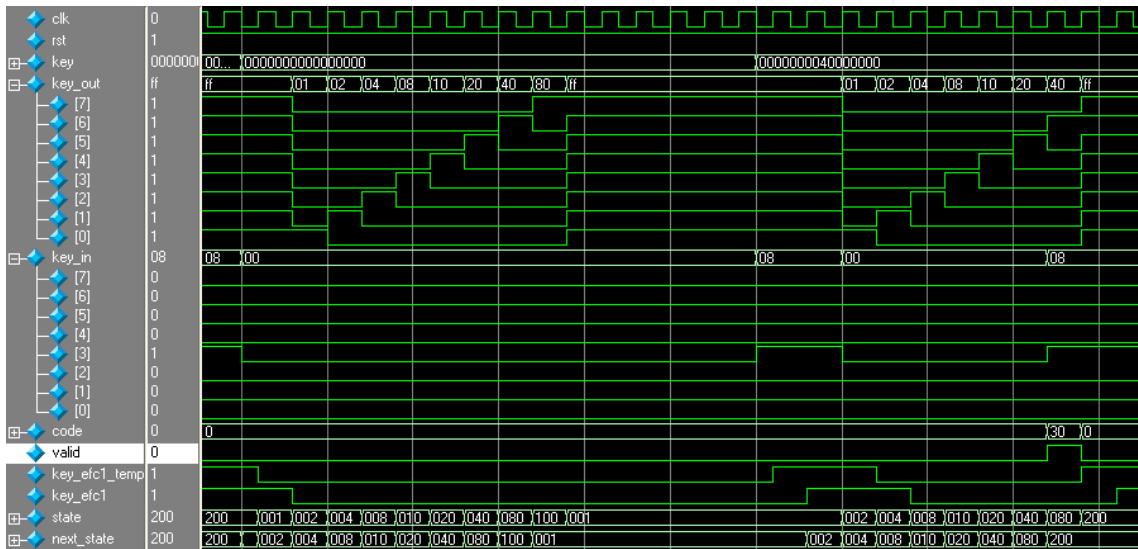


图 4.30 键盘发生器模块仿真波形（1）

图 4.30 为键盘发生器仿真波形（1）。从图中可以看出，当激励信号 key 有效时，此时在输入信号经过去亚稳态处理后（key_efc1 有效），键盘开始逐行扫描直到找到相应的按键。此时信号 valid 有效提示标志某一按键的信号 code 当前输出

有效。该仿真图仅仅是对键盘发生器的仿真，对于本模块，通过对键盘操作还要产生许多其它的逻辑信号，因此还必须要对标志某一按键的信号 `code` 进行译码。

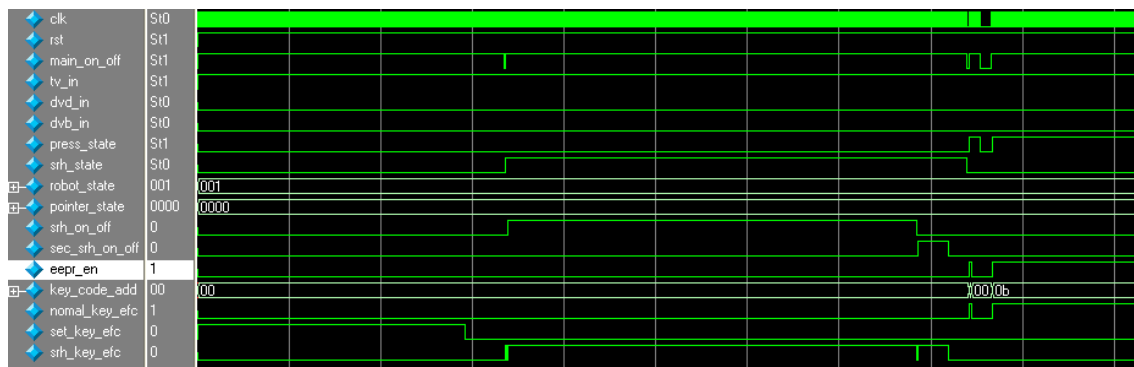


图 4.31 键盘发生器模块仿真波形（2）

从图 4.31 可以看出，在 `set_key_efc` 有效一段时间后，系统进入等待状态，此时可以设置初始搜索地址指针，图中指针信号 `pointer_state` 为 0，表明遥控器从 ROM 第一个单元开始搜索。在 `srh_key_efc` 有效后，遥控器进入搜索状态，分别进行第一次，第二次搜索。在第一次搜索完，第二次搜索未开始期间，遥控器键盘除 `power` 键外其余被锁定，此时任意按键不改变遥控器的状态。仅当 `power` 键再次被按下，遥控器才开始第二次搜索。信号 `eepr_en` 与信号 `key_code_add` 分别为普通按键状态下，当 `nomal_key_efc` 有效时才发生变化。

4.3.4 搜索控制模块的仿真

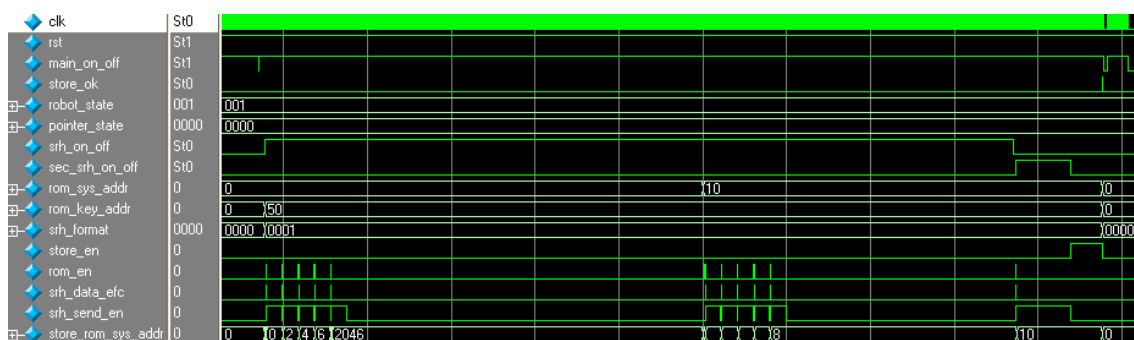


图 4.32 搜索控制模块仿真波形图

从图 4.32 仿真波形可以看到，在 `srh_on_off` 信号有效时，遥控器开始搜索。`rom_en` 有效，遥控器从 ROM 读数据。随后 `srh_data_en` 有效，遥控器发码。在一组数据都被发送完毕后，遥控器停止发码。一段时间后（这段时间用于人体的反应时间）系统码地址累加 10（本设计中，5 个数据为一组，每个数据占两个存储

单元), 重复刚才的读数据然后发码过程。可以看到, 在第二组数据发送出去后, 发现目标对象受控, 因此锁定目标控制代码在第二组数据中。在信号 `sec_srh_on_off` 有效后, 遥控器的系统码地址锁定为第二组数据的初始地址。键码地址因为搜索系统码地址还在同一厂家之内, 因此保持不变。二次搜索, 发现以 10 单元为起始的地址的数据为目标控制数据。因此在 `sec_srh_on_off` 无效后, 信号 `store_en` 有效, 遥控器开始保存系统码和键码。

4.3.5 存储器模块的仿真

对存储器模块的仿真就是对 ROM、EEPROM 时序的仿真。从图 4.34 可以看出, 在信号 `rom_en` 有效后, 地址在时钟下降沿发生变化, 在上升沿 ROM 采样,

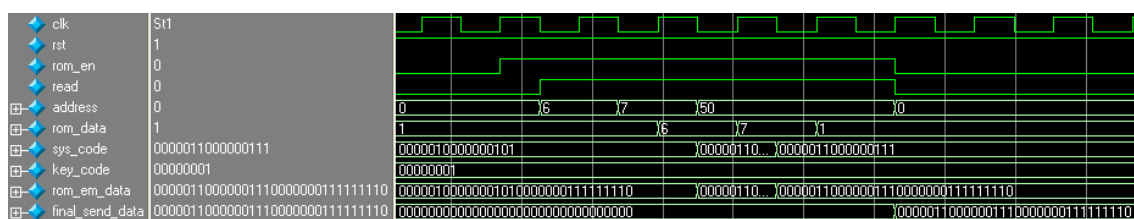


图 4.33 ROM 读时序仿真波形

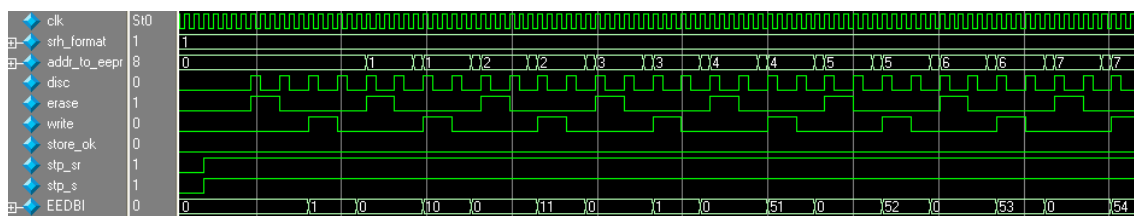


图 4.34 EEPROM 写时序仿真波形

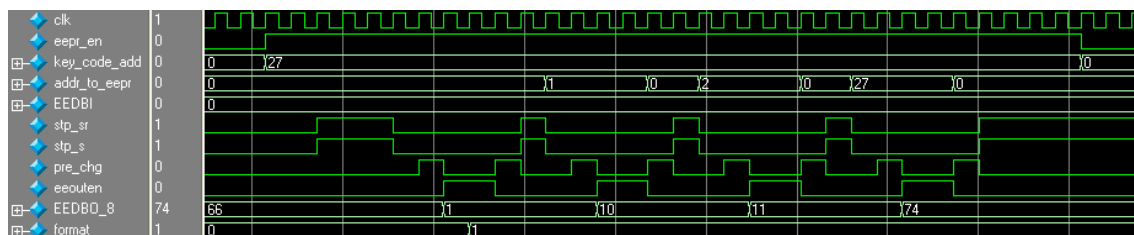


图 4.35 EEPROM 读时序仿真波形

在下一时钟上升沿, 输出数据。地址 6 和 7 的单元存储的数据为 00000110 和 00000111。系统码的 16 位数据为 00000110000000111, 就是地址 6 中的数据是系

统码的高 8 位，地址 7 中的数据为低 8 位。最终送往编码模块的数据是系统码加上地址为 50 的单元中的键码及其反码共 32 位数据。

图 4.34 与图 4.35 为遥控器读写 EEPROM 仿真波形。图 4.34 中，遥控器首先保存的是遥控器发码格式，然后是 16 位系统码，最后是键码。在数据保存完后信号 store_ok 有效（图中未显示出）。图 4.35 中，遥控器最先读出的是发码格式，然后是 16 位的系统码，最后根据键码地址读出相应的键值。

4.3.6 编码模块的仿真

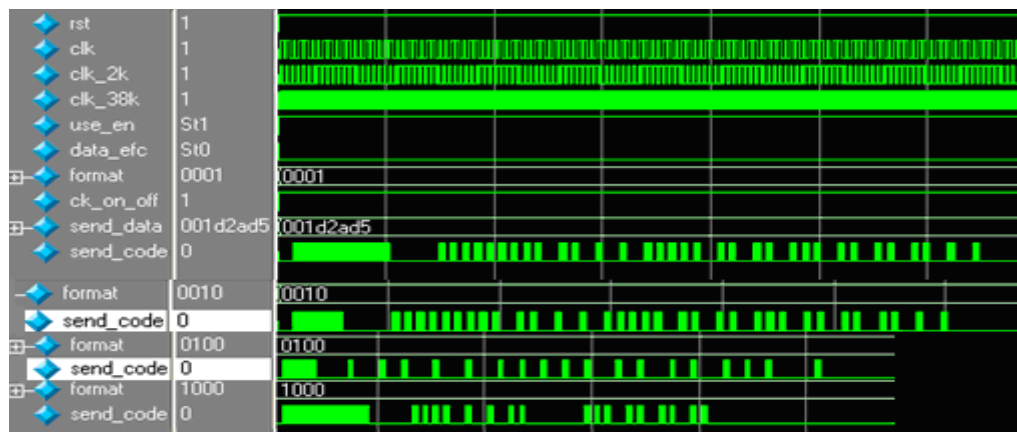


图 4.36 编码模块的仿真波形

为了视图方便，四种编码格式都被剪切到同一个仿真窗口中。见图 4.36，在格式信号 format 分别为 0001, 0010, 0100, 1000 时并且发码允许的情况下（use_en 为高，data_efc 为低）遥控器分别发送 NEC6122、TC9012F、KONKA 以及大字四种格式的波形。KONKA 和大字两种格式发送的是 16 位数据，因此 32 位数据必须在发送前转换为 16 位数据。

4.3.7 顶层模块的仿真

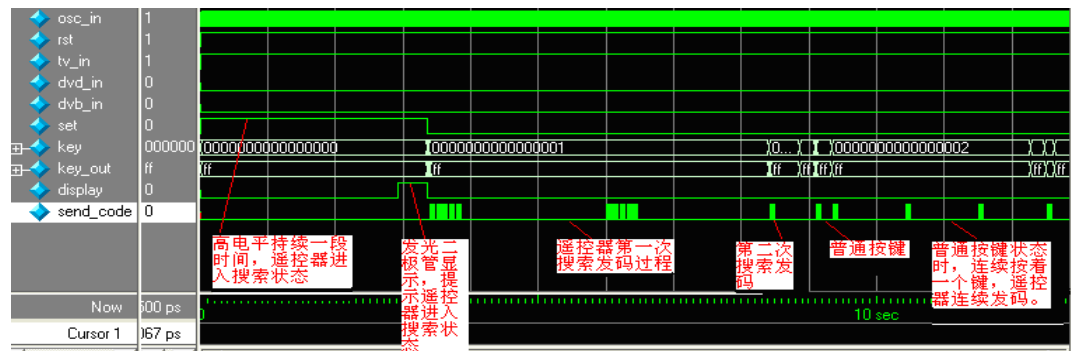


图 4.37 多功能红外遥控器顶层模块的仿真波形

图中已经详细注明遥控器的工作过程。通过观察可知，遥控器模块设计已经完全实现最初预定的功能。下一步将要利用 EDA 工具，将功能上正确的源代码综合为实际的电路。

4.4 多功能红外遥控器的综合

综合是将软件描述与硬件结构相联系的关键步骤，是文字描述与硬件实现的一座桥梁，是最具有硬件描述语言特色的。综合所要做的工作是依据 FPGA 厂商所提供的库，将 HDL 源代码转换成各种低级的、可与 FPGA 或构成 ASIC 的门阵列基本结构相映射的网表文件或程序。综合的过程是由综合器来完成的。在综合过程中，综合器通常要对设计进行优化，高级的综合器可以根据容量、速度等许多约束条件进行优化。HDL 综合器将根据设定的系列目标期间的特点对综合的 HDL 程序进行面向目标器件优化，从而生成利于映射于具体目标芯片的元件模块。^{[1]~[20]}设计中使用的芯片是 ALTERA 公司提供的，所以我们使用该公司的 QuartusII 软件自带的综合器进行综合。本设计并没有特殊的约束需要，我们采用系统默认的约束条件对顶层模块进行综合。综合通过以后可以查看综合报告以及综合生成的 RTL (Register Transferlevel,寄存器传输级) 级电路。在查看综合报告时，我们关注的主要有三个方面：(1) 通用元器件的使用情况；(2) 占用芯片资源的情况（都是以 FPGA 芯片的基本单元为准的）；(3) 最终的时钟频率，它决定了最终在芯片上能跑多快。表 4.5 为综合后的报告，它是经过优化以后的报告。

表 4—5 多功能红外遥控器系统 FPGA 综合报告

+-----+ ; Fitter Resource Usage Summary +-----+	
; Resource	; Usage
+-----+	
; Total logic elements	; 1,768 / 2,910 (61 %)
; -- Combinational with no register	; 1009
; -- Register only	; 116
; -- Combinational with a register	; 643
; Total LABs	; 216 / 291 (74 %)
; Logic elements in carry chains	; 443
; User inserted logic elements	; 0
; Virtual pins	; 0
; I/O pins	; 24 / 65 (37 %)
; -- Clock pins	; 0 / 2 (0 %)
; Global signals	; 6
; M4Ks	; 5 / 13 (38 %)
; Total memory bits	; 18,432 / 59,904 (31 %)
; Total RAM block bits	; 23,040 / 59,904 (38 %)
; PLLs	; 0 / 1 (0 %)
; Global clocks	; 6 / 8 (75 %)
; Maximum fan-out node	; osc_test:oo clk
; Maximum fan-out	; 679
; Highest non-global fan-out signal	; searching_control:search main_srh_cnt
; Highest non-global fan-out	; 280
; Total fan-out	; 7616
; Average fan-out	; 4.23
+-----+	

由于本设计对时序要求不高，未给出时序报告。从上面的综合报告看出，本设计完成后使用的器件资源并没有超出器件本身的拥有量，设计符合器件的要求。综合以后我们还可以查看这个设计 RTL 电路图，图中 EEPROM 存储块用 RAM 存储块代替，因而多了个 EEPROM 与 RAM 读写时序接口模块。

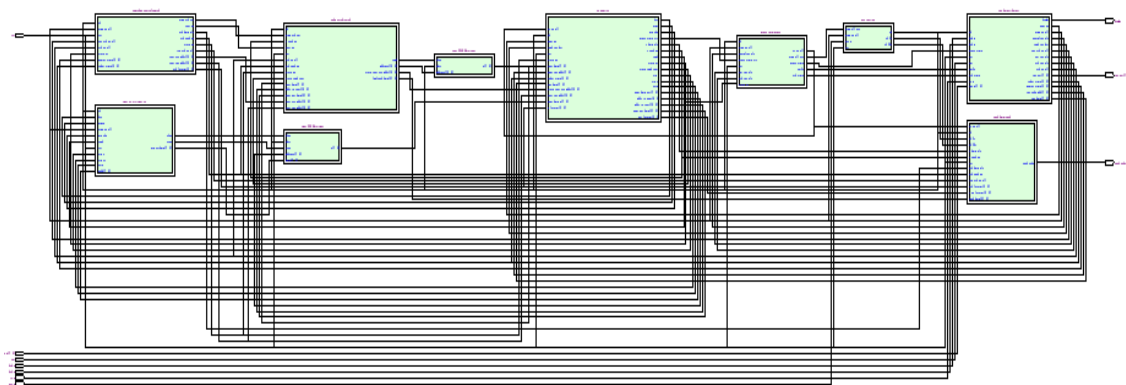


图 4.38 多功能红外遥控器的 RTL 视图

4.5 多功能红外遥控器布局布线与后仿真

布局布线工作是承接综合过程的，它的作用主要是将综合生成的网表文件放入设计者指定的目标器件，并作适当的布线以尽量达到设计者的要求。

布局布线工作也是由 EDA 自动完成的，设计者要做的主要工作是将需要输出或查看的中间信号锁定在 FPGA 芯片固定的 I/O 引脚上，以方便用示波器查看。完布局布线工作以后，还要做时序仿真，因为布线后生成的文件中包含了硬件延时的信息，所以此时的仿真工作才是最接近硬件运行结果的。图 4.39 为顶层模块的时序仿真图，与图 4.37 的功能仿真图相比较，其结果是一致的。

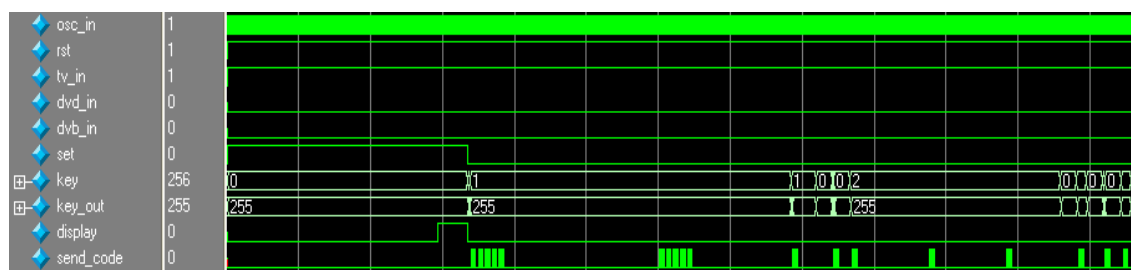


图 4.39 多功能红外遥控器时序仿真波形

4.6 多功能红外遥控器的功耗分析

由于遥控器是电池供电，因此本设计对功耗要求较高，因此设计必须对功耗进行估计。ALTERA 公司的功耗仿真器 PowerPlay Power Analyzer 工具用于计算 FPGA/CPLD 的功耗，为选择电源模块、决定是否加散热片，决定设计方案以及设计方法后否合理等提供依据，功耗的准确估计对使用电池作为电源的设计尤为重要。CMOS 电路的功耗主要来源与开关状态的切换，PowerPlay Power Analyzer 计算功耗时给每个开关元件建立一个电容模型，然后根据用户设置的时钟和输入信号开关频率、同步元件的翻转率、特定器件的电容、静态功耗和其他数据估算 FPGA 的功耗。准确估算功率的关键是获得准确的信号翻转率数据。^{[1]~[20]}

PowerPlay Power Analyzer Status	Successful - Thu May 24 11:25:29 2007
Quartus II Version	5.1 Build 176 10/26/2005 SJ Full Version
Revision Name	remote_amend
Top-level Entity Name	remote_top_osc
Family	Cyclone
Device	EP1C3T144C8
Power Models	Final
Total Thermal Power Dissipation	48.11 mW
Dynamic Thermal Power Dissipation	0.00 mW
Static Thermal Power Dissipation	48.11 mW
Power Estimation Confidence	Low: user provided insufficient toggle rate data

图 4.40 多功能红外遥控器功耗分析报告

图 4.40 为本设计的功率分析简易报告，功率分析的结果为 48.11Mw，这是能够接受的。说明本设计的方案和设计较为合理。

第五章 多功能红外遥控器的外围电路设计及其测试

在完成多功能红外遥控器的模块设计以及硬件实现后，还必须对电路在实际器件中的运行情况进行测试。这就要设计多功能红外遥控器的实验平台。本设计中实验平台有一台数字示波器，一个红外线遥控编码分析仪，不同型号的用来测试的 TV、DVD、DVB 设备以及测试电路板。其中测试电路板需要自己设计。本设计中电路板主要分为电源电路，芯片及其配置电路，键盘输入输出电路，红外发射电路等四部分。电源电路向整个电路板供电，产生各部分电路需要的电压。键盘输入输出电路完成键扫描输出与输入，红外发射电路（见图 2.3b）将串行数据通过红外线输出。因为其它电路都比较简单，本章重点论述芯片和配置电路。

5.1 Cyclone 器件

对于本设计来说，价格的因素无疑是非常重要的因素，因此须得选择低成本的 FPGA 器件，然而成本和性能往往是相互矛盾的，要在性能和价格间找到一个合适的定位，并不是件容易的事情。

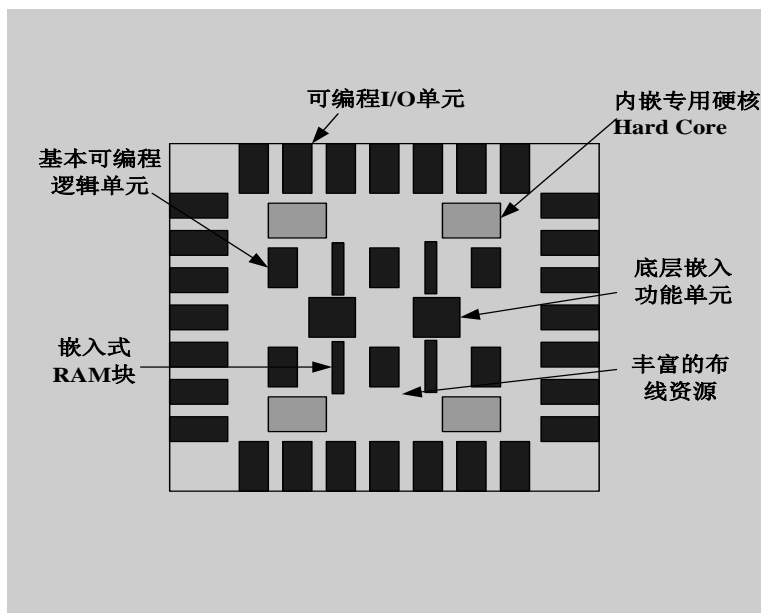


图 5.1 Cyclone 器件结构图

Cylone 系列器件基于一种全新的低成本架构，从设计之初就充分考虑了成本中节省。其在设计时选择了较小的封装形式，以提供给用户足够的 I/O 管脚和良好的功耗特性。在此基础上，根据封装的物理尺寸，装入尽可能多的逻辑结构和存储器块，从而保证每种封装都装入最多的逻辑资源。对于价格很敏感的本设计来说，Cylone 器件无疑是很好的选择。Cylone 一共由 6 部分组成，分别为可编程输入/输出单元、基本可编程逻辑单元、嵌入式块 RAM、布线资源、底层嵌入功能单元和内嵌专用内核等。其结构框图见图 5.1 所示。

1. 可编程输入/输出单元

为了使 FPGA 有更加灵活的运用，目前大多数 FPGA 的 I/O 单元都被设计为可编程模式，即通过软件的灵活配置，可以适配不同电气标准和 I/O 物理特性；可以调整匹配阻抗的特性，上、下拉电阻；可以调整输出电流的大小等。一般支持的常见电气标准有 LVTTTL、LVCOMS、SSTL、HSTL、LVDS、LVPECL 和 PCI 等。

2. 基本可编程逻辑单元

可编程逻辑单元 (LE, Logic Element) 是可编程逻辑的主体，可根据设计的需要灵活的改变其内部连接和配置，完成不同的逻辑功能。FPGA 是基于 SDRAM 工艺的，其基本的可编程逻辑单元都是由查找表 (LUT, Look Up Table) 和 (Register) 组成的。查找表一般为 4 输入的，完成组合逻辑功能，不过多个 LE 可以相互级联完成高于 4 输入的组合逻辑。FPGA 内部有很灵活的寄存器，可以按照要求配置成同步/异步复位和置位、时钟使能的触发器 (FF, Flip Flop)，也可以配置位锁存器 (Latch)。FPGA 利用寄存器可以完成同步时序设计。

3. 嵌入式块 RAM

目前大多数 FPGA 器件都有嵌入的块 RAM (Block RAM)。FPGA 内部嵌入可编程 RAM 块，大大的拓展了 FPGA 的应用范围和使用灵活性。FPGA 内嵌的 RAM 一般可以灵活的配置成单端口 RAM (SPRAM, Single Port RAM), 双端口 RAM (DPRAM, Double Ports RAM), 伪双端口 RAM (Pseudo DPRAM), CAM (Content Addressable Memory), FIFO (First In First Out) 等常用存储器结构。本设计就利用了一个 2K 字节宽度的单口 ROM (使用的仍然是内部 RAM)，和一个 256 字节宽度的单口 RAM。

4. 布线资源

FPGA 有着丰富的布线资源, 这些布线资源根据工艺、长度、宽度和分布位置的不同划分为不同的等级, 有一些是全局性的专用资源, 用以完成全局时钟和全局复位/置位的布线; 一些叫长线资源, 用以完成器件 Bank (分区) 间的一些高速信号和一些第二全局时钟信号的布线; 还有一些叫短线资源, 用来完成 LE 间的互联与布线; 在 LE 内部还有各式各样的布线资源和专用时钟、复位等控制信号线。

5. 底层嵌入单元

底层嵌入单元是指那些通用程度较高的嵌入式功能模块, 比如 PLL(Phase Locked Loop)、DLL (Delay Locked Loop)、DSP、CPU 等。对于本设计来说, 这些功能块并没有用到, 但是对于下一代学习型多功能遥控器, 由于要引入模拟信号, 很可能要用到 PLL。

6. 内嵌专用内核

这里的专用内核与底层嵌入功能单元是有区别的, 他们是指那些通用性较弱的不是所有 FPGA 器件都包含的硬核 (Hard Core)。比如乘法器等。

5.2 Cyclone 的配置

Cyclone 系列 FPGA 是基于 SRAM 工艺的, 所以每次上电后, 都需要配置。在 FPGA 内部, 有许多可编程的逻辑、多路器、互连线节点和 RAM 初始化内容等, 都需要配置数据来控制。而 FPGA 中的配置 RAM (Configuration RAM) 就起到了这个作用, 它存放了配置数据的内容。

根据 FPGA 在配置电路中的角色, 其配置数据可以使用方式载入到目标器件中。

- (1) FPGA 主动 (Active) 配置方式;
- (2) FPGA 被动 (Passive) 配置方式;
- (3) JTAG(Joint Test Action Group)方式。

在主动配置方式下, 由目标 FPGA 主动输出控制和同步信号 (包括配置时钟) 给 Altera 专用的一种配置芯片 (EPSC1、EPSC4 等)。在配置芯片收到命令后就把配置数据发送到 FPGA, 完成配置过程。

在被动配置方式下, 由系统中的其它设备发起并完成配置过程。这些可以是 Altera 的配置芯片 (EPC 系列) 或者是单片机、CPLD 等智能设备。FPGA 在配置过程中完全处于被动地位, 只是输出一些状态信号来配合配置过程。它包括被动

串行 PS (Passive Serial)、快速被动并行 FPP (Fast Passive Parallel)、被动并行同步 PPS (Passive Parallel Synchronous)、被动并行异步 PPA (Passive Parallel Asynchronous) 以及被动串行异步 PSA (Passive Serial Asynchronous) 几种模式。

JTAG 是 IEEE1149.1 边界扫描测试的标准接口。绝大多数的 Altera 的 FPGA 都支持由 JTAG 口进行配置, 并支持 JAM STAPL 标准。从 JTAG 进行配置可以使用 Altera 的下载电缆, 并通过 QuartusII 下载, 也可以通过微处理器来模拟 JTAG 时序来进行配置。

对于 Cyclone 器件也有三种配置方式, 分别是 AS (Active Serial Mode)、PS (Passive serial Mode)、JTAG(Joint Test Action Group)模式。AS 模式是以 FPGA 为主导地位的模式, PS 模式是以芯片为主导地位的配置模式, JTAG 模式是通过专用串口进行扫描配置。以具体的配置电路进行选择, 这反应在 FPGA 芯片的 MSEL[1...0]的电平驱动组合上, 具体选择模式与 MSEL 脚的驱动关系见表 5-1。

本文对 Cyclone 器件的配置是采用主动串行 AS (Active Serial) 配置方式来完成配置的。所用的 Altera 专用配置芯片是 EPCS1, EPCS1 是非易失性的, 基于 FLASH 工艺的存储芯片, 该芯片的内部结构框图见图 5.2。

表 5-1 配置方式与 MSEL 脚驱动关系

MSEL1	MSEL0	配置方式
0	0	AS
0	1	PS
0	0 or 1	JTAG-based

1. AS 配置电路及其信号说明

主动配置模式下, 配置设备提供了访问配置数据的串行接口。FPGA 将通过

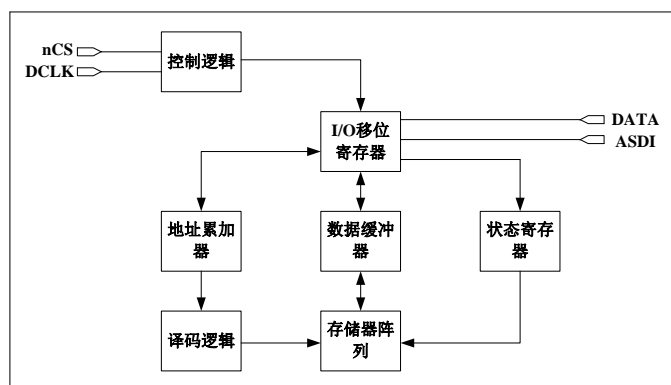


图 5.2 EPSC1 内部结构框图

这个接口将配置设备中的数据读入到自己内部的 SRAM 中，具体的接口电路见图 5.3 所示。AS 配置模式比较简单，一共需要 4 根信号线。

DATA 脚：DATA 信号线为数据输出线，配置数据由此进入 FPGA 内部 SRAM 中，它连接 FPGA 的 DATA0 管脚。

DCLK 脚：DCLK 信号线为 AS 模式下，由 FPGA 发出的配置所需要的时钟，它对应 FPGA 的 DCLK 脚。

nCS 脚：nCS 信号为 AS 模式下，FPGA 发出的对外部配置芯片的片选信号。它对应 FPGA 的 nCSO 脚。

ASDI 脚：为配置芯片接收 FPGA 配置信号的输入信号。它对应 FPGA 的 ASDO 脚。

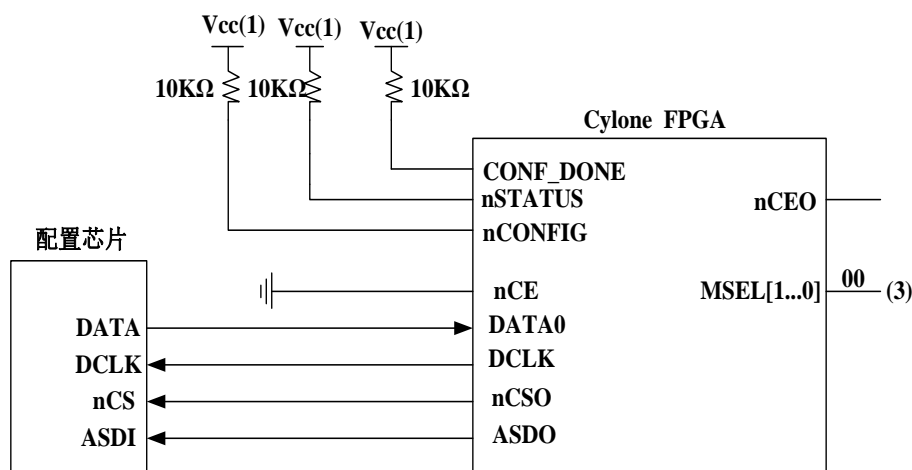


图 5.3 AS 配置连接电路图

配置过程中 FPGA 上的其它相关引脚说明：

MSEL[1...0]脚：设定 FPGA 配置模式管脚。此处两个信号都为 0。选择 AS 模式。

nCE 脚：nCE 信号为 FPGA 芯片选择信线，低电平有效。在此处表示该配置芯片只为该 FPGA 芯片进行配置，在多 FPGA 配置电路或者是在线编程配置芯片电路中，用它选择需要配置的 FPGA 芯片。

nCONFIG 脚：nCONFIG 信号为配置显示控制输入，一个低跳变表示重启配置设备，一个由低到高的跳变表示进入配置状态。当该信号被拉低的时候，所有 FPGA I/O 口都被置为三态 I/O 口。

CONF_DONE 脚：为配置状态引脚。

nSTATUS 脚：为配置状态引脚。

2. 配置步骤

Cylone 的 AS 模式配置时序见图 5.4 所示。

首先在系统初次上电的时候，系统进入上电复位（POR）状态，一旦进入 POR 阶段，FPGA 芯片将驱动 nSTATUS 管脚为低电平，表示此时芯片正忙，并且 nCONFIG 信管脚也被驱动为低，表示芯片此时未配置。POR 阶段大约持续 100ms 左右。上电完成后，FPGA 释放 nSTATUS 管脚，通过外部上拉电阻它被上拉为高，表示此时 FPGA 进入配置阶段。在 FPGA 上电成功退出后，所有的 I/O 引脚为三态，在配置以前和配置器件 FPGA 内部均有弱上拉电阻进行拉高。

然后，FPGA 芯片由 DCLK 脚发出配置时钟，提供给所有参与配置的芯片，并向各接口提供时序。AS 模式下，DCLK 时钟一般要求部低于 14MHZ，不高于 20MHZ，一般为 17MHZ 左右。串行配置设备在 DCLK 上升沿锁存由 FPGA 发出的控制信号，并在其下降沿给出配置数据。而 FPGA 设备在 DCLK 上升沿给出控制信号，并锁存配置设备提供的配置数据。在配置的时候，FPGA 用 nCSO 管脚来对外部芯片进行选择。FPGA 的串行数据输出口 ASDO 向外部配置设备发出读地址信号。外部芯片通过 DATA 口向 FPGA 提供配置数据。

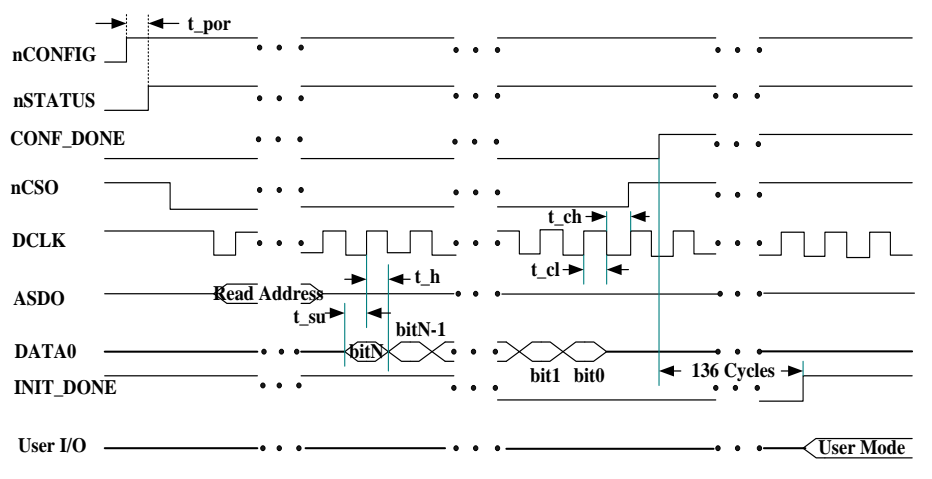


图 5.4 AS 配置时序

在 FPGA 接收完数据后，它释放 CONF_DONE 管脚，该管脚在外部上拉电阻作用下被上拉为高。此时，FPGA 内部 SRAM 区域已经完成配置数据的载入，进行内部系统初始化。在初始化的时候，可以采用 QuartusII 软件里关于初始化时钟的设置选项，默认时钟为 10MHZ，在初始化完成后，该内部时钟自动关闭。如果我们选择了用户初始化时钟设置项，软件将用 CLKUSR 引脚，作为初始化时钟脚，这个 CLKUSR 的提供并不影响芯片的配置。在系统初始化期间，CONF_DONE 管脚一直为高电平，这个时间段持续 136 个时钟周期。

在初始化完成后，INIT_DONE 由低到高跳变，进入用户模式。在进入用户模式后，各 I/O 口不再处于弱上拉状态，而是按用户在 VerilogHDL 程序中定义的那样，定义各 I/O 端口。

3. 在线编程配置电路

本文所采用的 EPCS1 配置芯片是非易失性存储器，可以通过 Altera 专用下载电缆 ByteBlastII 从 PC 上下载配置数据。AS 模式的芯片带有在线编程接口，在串行配置设备进行在线编程的时候，下载电缆通过驱动 nCE 为高来禁止 FPGA 对串行配置芯片的访问，驱动 nCONFIG 为低来保持随时处于初始化状态。在编程结束后，下载电缆释放 nCE 和 nCONFIG 管脚，使配置芯片处于被 FPGA 访问状态，

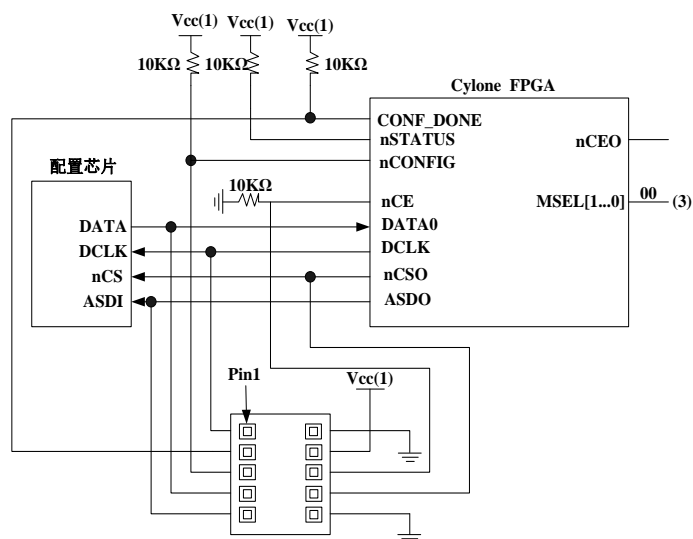
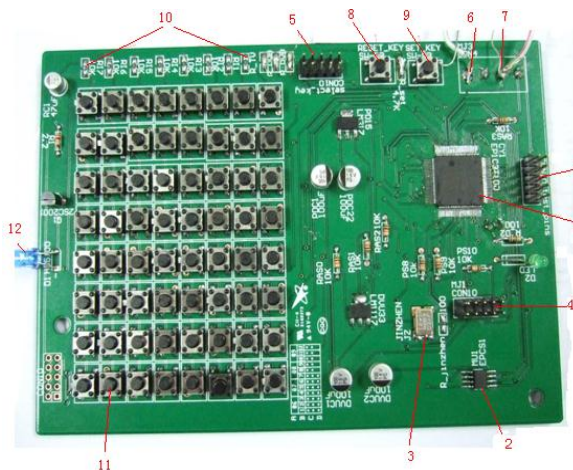


图 5.5 在线编程电路原理图

其原理图见图 5.5 所示。^{[14]~[23]}

5.3 遥控器测试电路板

如图 5.6 所示，为本设计测试电路板。电路板所用电源为 5V 直流电源，芯片的工作电压为 3.3V。复位输入为低电平有效。键盘扫描输入口以及状态切换输入口都接有 10KΩ 下拉电阻。



1.测试芯片 (EP1C3T100C8) 2.配置芯片 (EPCS1) 3.晶振 (40.6M) 4.下载电缆接口 5.测试输出口 6.电源正极输入 7.地 8.复位管脚输入 9.状态切换输入 10.键盘输入口的下拉电阻 11.键盘 12.红外输出口

图 5.6 红外遥控器实验电路板

5.4 遥控器的测试

在电路板做好后，遥控器的实验平台就已经建立起来了。下面要做的是对遥控器进行测试验证，其测试方法和测试结果如下。

本设计在测试过程中，采用化整为零的方法。先验证每个模块的功能，通过电路板上的测试输出口输出模块中关键信号的逻辑状态，引入示波器观察，发现有错即修改原代码，直到模块逻辑正确。每个模块验证完毕后，再将全部模块整合为一个系统，通过红外线接收分析仪，接收测试板发出的红外线，并由 PC 机显示输出代码。在实验中，发现了单个 verilogHDL 模块能通过调试，整合成遥控器系统却不能成功的现象，后来改进了发码电路，最后调试得以成功。本设计采用这样的测试方法，成功完成整个系统的测试。下面是本设计成功控制的机型型号列表：

TV: CHD32600, CHD32300, CHD30300, CHD32366, CHD34300, CHD29300,
CHD29600, CRT; LT4233, LT4699, LT4299, LT4099

DVD: DVD900, DVD817, DVD619, DVD610, DVD617, DVD630, DVD606,
DVD600, DVD605, DVD615, DVD618, DVD860, DVD868, DVD866

DVB: DVB-S2600H, DVB-S9000N, DVB-S3000G, DVB-S3600MV, DVB-S6800,
DVB-S5600, DVB-S6000, DVB-C2000N, DVB-C5800B

另外本设计还实验了对部分其他家电公司的产品的测试，都得以成功。

第六章 总 结

本论文的工作是在遥控器市场的需求下完成的。本论文主要完成如下的工作：

1. 完成多功能红外遥控器系统总体框架的设计。
2. 完成多功能红外遥控器 VerilogHDL 语言的模块设计。
3. 完成测试电路板的设计。
4. 完成多功能红外遥控器的仿真和测试。

本设计经过近一年的努力，其结果是成功的，项目也已经通过公司的验收，随即将进行后端的设计。本设计的也有不足之处，不足之处在于遥控器对遥控对象的控制率不能达到 100%，因为对本设计来说，被控对象的控制代码的收集相当重要，这直接关系着遥控器的使用范围，而对数据的收集不可能达到 100%，只能保证对主流品牌电器的覆盖面。

然而，以本设计为基础的下一代遥控器，是可学可搜型多功能红外遥控器。遥控器能够从代码数据库中搜索目标控制代码，也可以通过红外输入学习新的遥控代码并保存入代码数据库中。具有学习功能的多功能遥控器，能保证代码 100% 覆盖。另外实现遥控器与电视以及其它设备的无线通信，也是下一代遥控器设计的目标。

致谢

致 谢

经过三年刻苦钻研，终于完成了我的硕士学位论文。首先要衷心感谢我尊敬的导师张德源老师的悉心指导和关心。论文的实施以及论文撰写都是在张老师的悉心指导下完成的，张老师严谨的治学态度、渊博的学识、刻苦的治学精神，都让我受益匪浅。三年来，张老师不仅在学术上给予我无私的的指导，在生活上也给予我极大的关怀。值此论文完成之际，谨向张老师致以崇高的敬意和诚挚的感谢。

同时，在整个科研上及论文的撰写期间，实习单位同事孙镇博士在诸多方面给予了我极大的帮助、指点和支持，他的严谨的工作态度，以及强烈的上进心，对技术掌握的精深，让我深深敬佩，是我学习的榜样。在此谨向他表示衷心的感谢！

另外感谢实习单位其它同事曾勃、黄太平、李恂、吴大军、石化平、李林等的通力协作，论文的完成离不开他们的共同支持。感谢我的好友陈周在论文撰写期间对我的照顾，感谢父母对我学业的无私的支持！

最后，感谢所有帮助过我的人！

参考文献

- [1] 夏宇闻. Verilog 数字系统设计教程. 北京: 北京航空航天大学出版社, 2003
- [2] K. 科夫曼. 基于 Verilog 语言的实用 FPGA 设计 (沈树群, 张艳, 吴京松, 译). 北京: 科学出版社, 2004
- [3] 简弘伦. 精通 Verilog HDL IC 设计核心技术实例详解. 北京: 电子工业出版社, 2005
- [4] 荀殿栋. 数字电路设计使用手册. 北京: 电子工业出版社, 2003
- [5] 刘宝琴. 数字电路与系统. 北京: 清华大学出版社, 1993
- [6] 阎石. 数字电子技术基础. 北京: 高等教育出版社, 1998
- [7] 杜慧敏. 基于 Verilog 的 FPGA 设计基础. 西安: 西安电子科技大学出版社, 2006
- [8] 任艳颖. IC 设计基础. 西安: 西安电子科技大学出版社, 2003
- [9] EDA 先锋工作室. Altera FPGA/CPLD 设计 (基础篇). 北京: 人民邮电出版社, 2005
- [10] 曾繁泰. EDA 工程方法学. 北京: 清华大学出版社, 2003
- [11] 潘松. EDA 技术实用教程. 北京: 科学出版社, 2002
- [12] 任爱锋, 初秀琴, 常存, 等. 基于 FPGA 的嵌入式系统设计. 西安: 西安电子科技大学出版社, 2004, 60-125
- [13] 任爱锋, 初秀琴, 常存, 等. 基于 FPGA 的嵌入式系统设计. 西安: 西安电子科技大学出版社, 2004, 17-26
- [14] 康宁. FPGA 设计与应用. 北京: 清华大学出版社, 2003
- [15] 侯伯亨, 顾新. VHDL 硬件描述语言与数字逻辑电路设计. 西安: 西安电子科技大学出版社, 2004, 1-10
- [16] 黄智伟. FPGA 系统设计与实践[M]. 北京: 电子工业出版社, 2005
- [17] Altera Corporation. Cyclone Device Handbook, Volume 1, 2005
- [18] Altera Corporation. QuartusII Version 5.0 Handbook, 2005
- [19] Altera Corporation. Configuring Cyclone FPGAs, 2005
- [20] Altera Corporation. Serial configuration Devices (EPSC1, EPSC4, EPSC16, & EPSC64) Features, 2005
- [21] 陈满. 基于 FPGA 多路脉冲时序控制电路设计与实现: [硕士学位论文]. 成都: 四川大学, 2006, 6-8, 50-57

参考文献

- [22] 黄健亮. 基于FPGA的自适应滤波器的设计与实现: [硕士学位论文]. 西安: 西安电子科技大学, 2006, 27-30
- [23] Altera Corporation. ByteBlasterII Download Cable User Guide, 2005
- [24] www.altera.com
- [25] www.mentor.com
- [26] www.fpga.com.cn
- [27] www.oa.changhong.com
- [28] 华虹 NEC Corporation. HMEEPSF16-512B EEPROM Data Sheet Ver1.0. 2000
- [29] Michael D.Ciletti. Verilog HDL 高级数字设计 (张雅绮, 李锵, 等译). 北京: 电子工业出版社, 2006
- [30] BhaskerJ. VerilogHDL synthesis: A practical Primer. Star Galaxy Publishing, 1998
- [31] Rabaey Jan M. Digital Integrated Circuits: a design perspective. Prentice-Hall International Inc, 1996
- [32] Michal John, Sebastian Smith. Application-Specific Integrated Circuits. Pearson Education North Asia Limited Inc. 1997
- [33] Lee S. Design of Computers and Other Complex Digital Devices. Upper Saddle River, NJ:prentice-Hall, 2000
- [34] Mano MM, Kime CR. Logic and Computer Design Fundamentals. Upper Saddle River, NJ:prentice-Hall, 1997
- [35] Abramovici M, et al. Digital Systems Testing and Testable Design. Rockville, MD:Computer Science Press, 1990
- [36] Ciletti MD. Modeling, Synthesis and Rapid Prototyping with the Verilog HDL. Upper Saddle River, NJ:prentice-Hall, 1999
- [37] Clare CR. Designing Logic Systems Using State Machines. New York: McGrawHill, 1971
- [38] Heuring VP, Jordan HF. Computer Systems Design and Architecture. Menlo Park, CA:Addison-Wesley Longman, 1997
- [39] Walerly JF. Digital Design Principales and Practices, 3rd ed. Upper Saddle River, NJ:prentice-Hall, 2000
- [40] Katz RH. Contemporary Logic Design. Redwood City, CA: Benjamin Cumming, 1994

在学期间的研究成果

在学期间的研究成果

- [1] 蔡 勇，张德源. 《多功能红外遥控器的 FPGA 设计》. 福建电脑，已发表
- [2] 本设计已被长虹公司验收.