Escuela de Ingeniería en Computadores

CE 4301 — Arquitectura de Computadores I

Simuladores ISA y Debug

Tarea 1

Profesor: Luis Chavarria Zamora

Estudiantes:

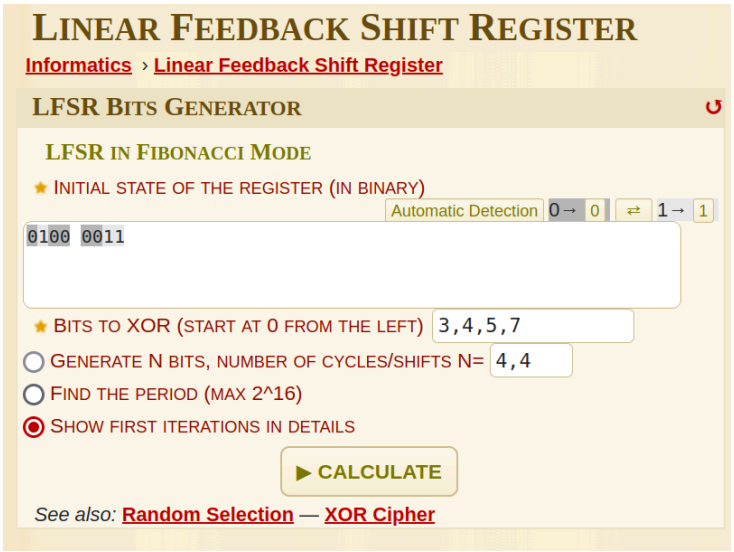
Carlos Andrés Mata Calderón

I Semestre 2024

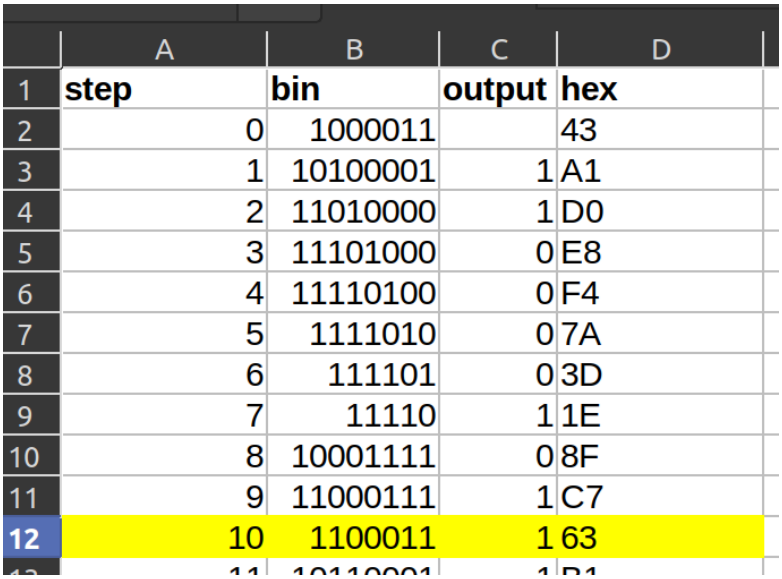
LFSR

Se implementa el algoritmo de LFSR, para 3 arquitecturas diferentes. Se usa como semilla el valor `0x43 = 0100 0011` qué es la letra C en ASCII. Se calcula con el polinomio de $x^8 + x^6 + x^5 + x^4 + 1$, y realiza se `steps=10`, y se almacenan en la dirección de memoria `0x100` estos 10 valores.

Se usa la página https://www.dcode.fr/linear-feedback-shift-register para obtener los resultados esperados.



Y se obtiene que para la step 10 el valor es `0x63`

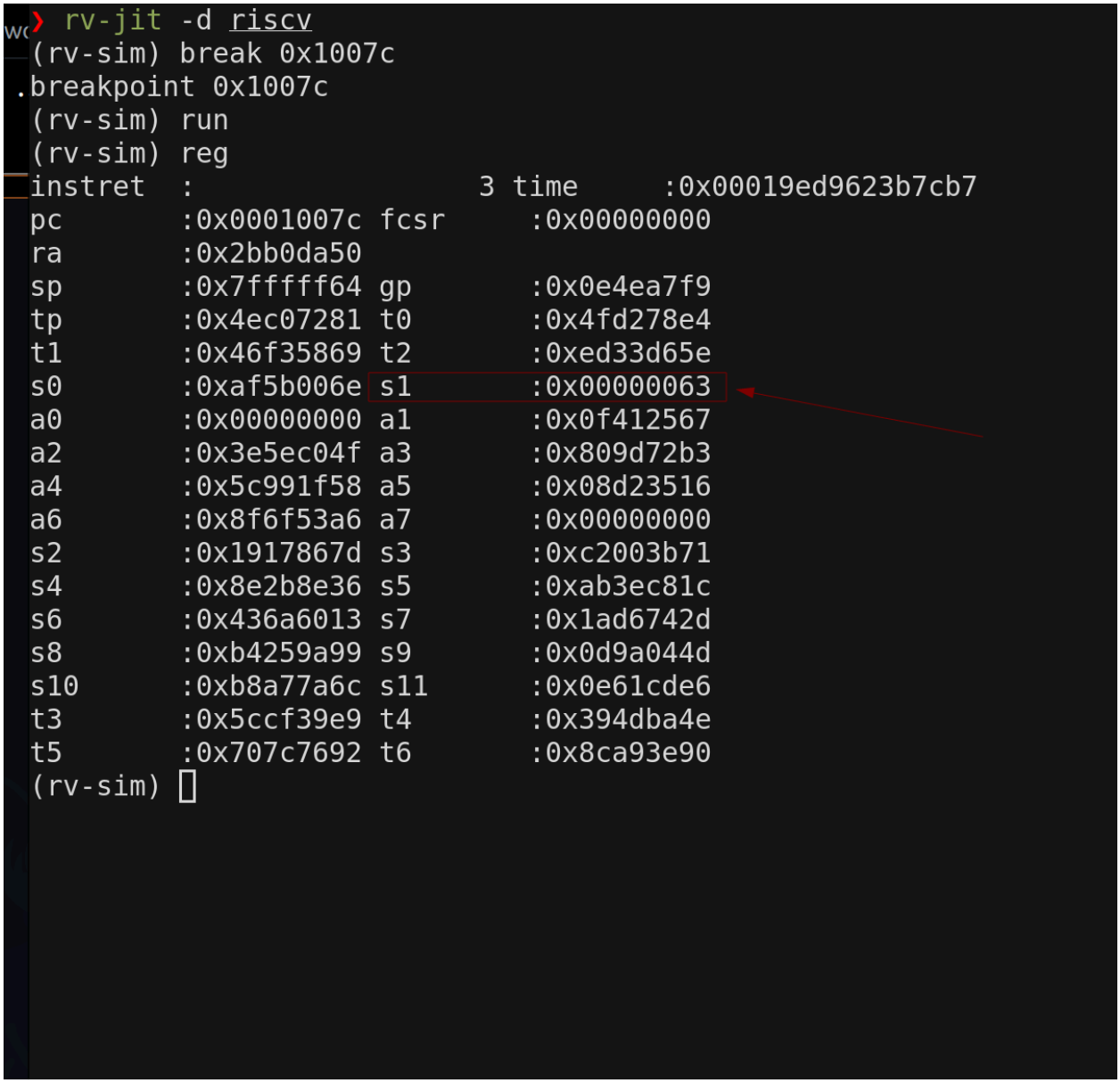


	A	B	C	D
1	**step**	**bin**	**output**	**hex**
2	0	1000011		43
3	1	10100001	1	A1
4	2	11010000	1	D0
5	3	11101000	0	E8
6	4	11110100	0	F4
7	5	1111010	0	7A
8	6	111101	0	3D
9	7	11110	1	1E
10	8	10001111	0	8F
11	9	11000111	1	C7
12	10	1100011	1	63

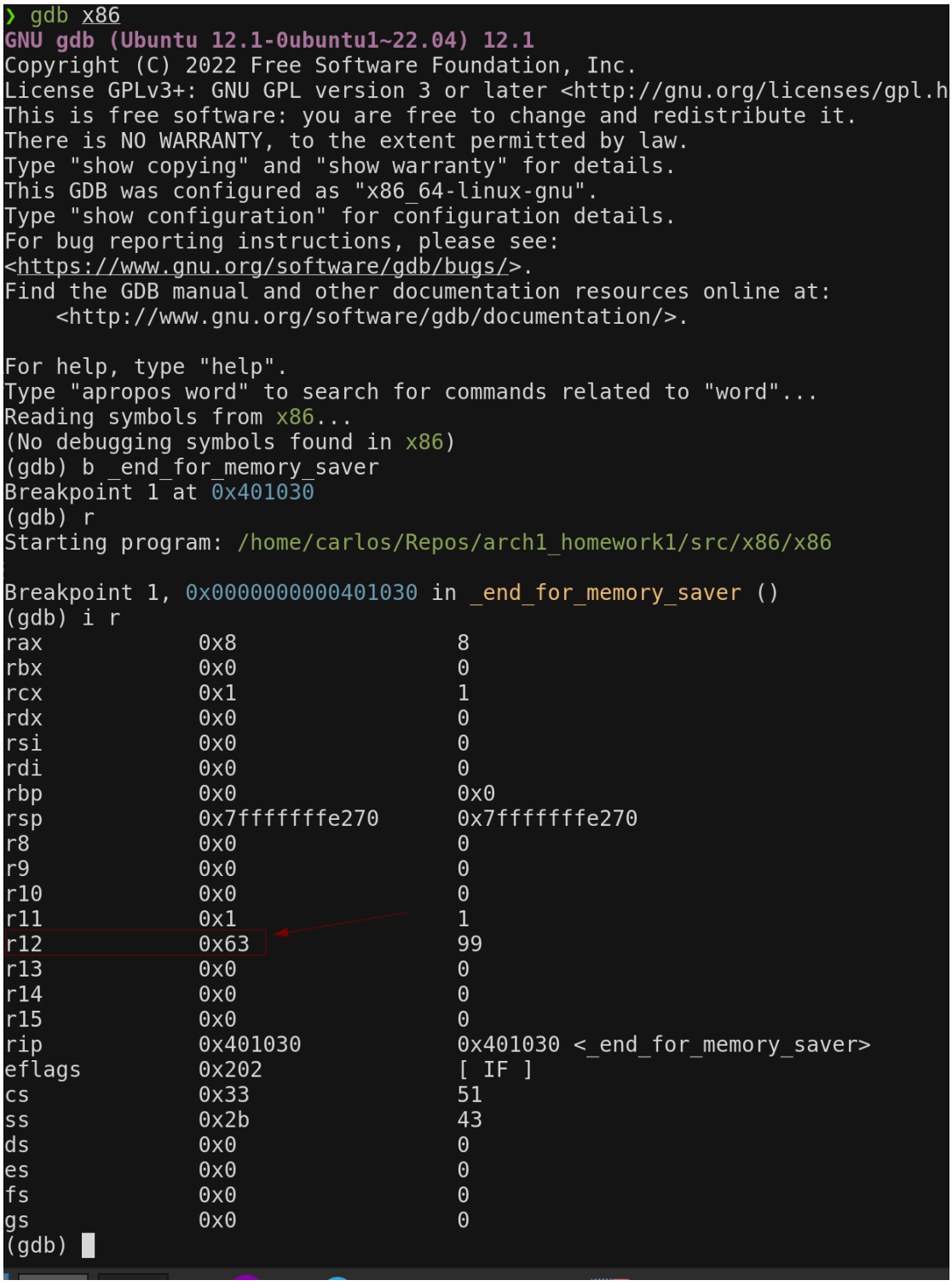
Para comprobar que efectivamente el código funciona, se revisarán los registros para cada una de las arquitecturas. Además cada arquitectura tiene **un archivo de código** que tiene extensión `.s` para el caso de RISCV y ARM, para x86-64 es `.asm`, **un archivo ejecutable** que tiene el ejecutable para esa arquitectura y **por ultimo un archivo disassembly** que tiene extensión `.txt` que tiene las instrucciones desarmadas.

RISCV

El resultado para se almacena en s1. Se recomienda usar *Ripes Emulator* , para ver los 10 valores almacenados en memoria del algoritmo.



El resultado para se almacena en r12 el valor.



ARM

El resultado para se almacena en r5. Se recomienda usar *CPUlator Simulator* , para ver los 10 valores almacenados en memoria del algoritmo.