

Bitácoras de Trabajo

Información general

Grupo No. 5.

Proyecto No.4

Fecha: 05/04/2023.

Nombre del Proyecto: Laboratorio 4- Lógica Secuencial y Controladores

Sesión No. 1.

Marque con una X la modalidad de la sesión:

Presencial ()

En línea (X)

Otra: _____

Distribución de roles:

Rol	Nombre estudiante
Coordinación	Carlos Andres Mata Calderon
Secretariado	Joseph David Jimenez Zuñiga
Fiscal	Tatiana Mora

Minuta

Objetivos de la sesión

1. Aumentar la descripción del problema relacionado con el desarrollo del juego 2048 utilizando System Verilog en una FPGA.
2. Identificar y plantear dudas sobre el problema.

Descripción breve de la sesión

Durante la llamada, se llevó a cabo una lectura colectiva del problema para analizar cada una de sus partes y se discutieron posibles enfoques para el desarrollo del juego, se analizaron los recursos requeridos.

Acuerdos	Responsable	Fecha de entrega
Investigar funcionamiento de VGA, los diagramas y temas varias que relacionan las diferentes partes del proyecto.	Carlos Mata Joseph Jimenez Tatiana Mora	10/04/2023

Información general

Grupo No. 5.

Proyecto No.4

Fecha: 11/04/2023.

Nombre del Proyecto: Laboratorio 4- Lógica Secuencial y Controladores

Sesión No. 2.

Marque con una X la modalidad de la sesión:

Presencial (X)

En línea ()

Otra: _____

Distribución de roles:

Rol	Nombre estudiante
Coordinación	Carlos Andres Mata Calderon
Secretariado	Joseph David Jimenez Zuñiga
Fiscal	Tatiana Mora

Minuta

1. Revisar la información investigada en relación al desarrollo del juego 2048 en una FPGA mediante System Verilog.
2. Crear diagramas que muestren la solución final y el posible uso del controlador VGA.

Trabajo previo Investigación

Para el desarrollo de este laboratorio se deben responder las siguientes preguntas.

1. Investigue sobre el funcionamiento de máquinas de estado finito. Explique la diferencia entre una máquina de Moore y una de Mealy y muestre la diferencia por medio de diagramas de estados y señales.

Una máquina de estado finito es un modelo matemático abstracto que se utiliza para describir sistemas que cambian su comportamiento en respuesta a eventos o entradas, son comúnmente utilizadas para diseñar y analizar sistemas que se comportan de manera predecible en función de su estado actual y de las entradas que reciben.

Las máquinas de estado finito se componen de dos partes principales: **un conjunto finito de estados y una función de transición** que describe cómo la máquina cambia de un estado a otro en función de las entradas que recibe.

El **conjunto de estados** posibles se define previamente, puede ser tan grande o tan pequeño como sea necesario para describir el sistema que se está modelando. Cada estado representa una configuración particular del sistema y puede tener una o más entradas asociadas que determinan cómo el sistema se comportará en ese estado.

La **función de transición** describe cómo la máquina cambia de un estado a otro en función de las entradas que recibe. Esta función puede ser representada como una tabla de transición, un diagrama de estados o una ecuación lógica. La función de transición toma dos entradas el estado actual de la máquina y la entrada actual, para producir como salida el próximo estado de la máquina. Las salidas pueden ser cualquier cosa, desde una señal de control hasta una operación compleja en el sistema.

Las máquinas de Moore son las que la salida depende únicamente del estado del sistema y las máquinas de Mealy son muy parecidas a las máquinas de Moore, pero las salidas pueden depender tanto de las entradas como del estado actual. Por lo tanto, en los diagramas de transición de estado de las máquinas Mealy, las salidas se etiquetan en los arcos en lugar de en los círculos. La máquina Mealy produce una salida basada en la entrada actual, mientras que la máquina Moore produce una salida basada únicamente en el estado actual. Debido a esto, la salida de la máquina Mealy puede aumentar un ciclo antes que la salida de la máquina Moore. Si se desea que la salida de la máquina Mealy coincida con la de la máquina Moore, se puede retrasar la salida de Mealy a través de un flip-flop. Al elegir el estilo de diseño de la Máquina de Estado Finito (FSM).

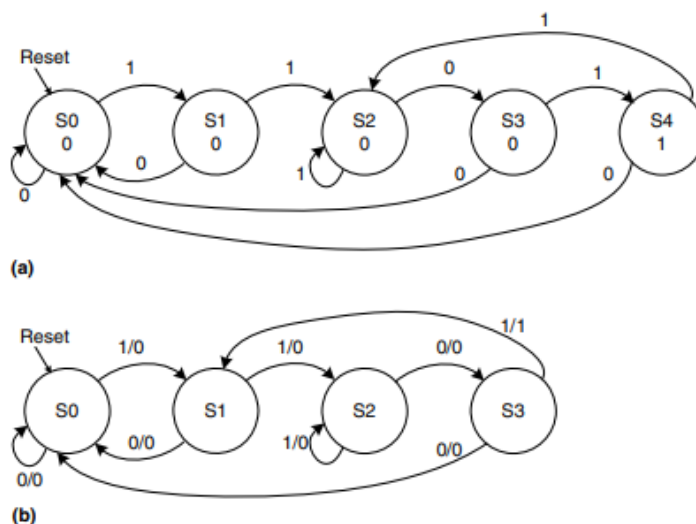


Figure 3.30 FSM state transition diagrams: (a) Moore machine, (b) Mealy machine

2. Explique los conceptos de setup time y hold time. ¿Qué importancia tienen en el diseño de sistemas digitales?

El período de reloj o tiempo de ciclo, T_c , es el tiempo entre los flancos ascendentes de una señal de reloj repetitiva. Su recíproco, $f_c = 1/T_c$, es la frecuencia del reloj. Aumentar la frecuencia del reloj aumenta el trabajo que un sistema digital puede realizar por unidad de tiempo.

El Set Up Time es el tiempo mínimo que se debe mantener una entrada estable antes de que se active el reloj en un flip-flop o un latch. Se mide desde el momento en que la entrada se estabiliza hasta el flanco de subida o bajada del reloj. El objetivo es asegurar que la entrada esté estable y tenga suficiente tiempo para propagarse a través de la lógica combinacional antes de que se capture en el flip-flop o en el latch.

Por otro lado, el Hold Time es el tiempo mínimo que se debe mantener una entrada estable después de que se active el reloj en un flip-flop o un latch. Se mide desde el flanco de subida o bajada del reloj hasta el momento en que la entrada debe permanecer estable para garantizar que el valor se capture correctamente en el flip-flop o en el latch. El objetivo es asegurar que la entrada se mantenga estable durante un tiempo suficiente después de que se active el reloj, para que se capture el valor correcto.

La principal diferencia entre el Set Up Time y el Hold Time es que el primero se mide antes del flanco de reloj y el segundo después del flanco de reloj. Ambos son importantes para garantizar el correcto funcionamiento de los circuitos digitales y deben ser considerados durante el diseño para evitar posibles errores de temporización y de estabilidad en el circuito.

3. Investigue sobre el efecto de rebote en señales digitales provenientes de elementos mecánicos (interruptores, por ejemplo). Muestre al menos dos formas de solucionar el efecto de rebote, por medio de circuitos digitales.

Este problema se produce debido a que los contactos del interruptor no se cierran o abren de manera instantánea y limpia, sino que hacen contacto y se separan repetidamente durante un breve período de tiempo, generando una serie de señales transitorias. Estas señales transitorias pueden ser detectadas por el circuito digital como varios cambios de estado, lo que puede provocar errores en el procesamiento de la señal

Flip-flop JK: El flip-flop JK se puede utilizar para filtrar los rebotes en la señal de entrada. Una posible configuración para el filtro de rebote es conectar la señal de entrada al pin J y la señal complementaria al pin K, y utilizar una señal de reloj para sincronizar el cambio de estado del flip-flop. De esta manera, cualquier cambio de estado en la señal de entrada que dure menos que el período de reloj será filtrado.

Registro de desplazamiento: El registro de desplazamiento se puede utilizar para filtrar los rebotes en la señal de entrada y producir una señal de salida limpia y estable. Este circuito digital se puede configurar para desplazar la señal de entrada a través de una serie de flip-flops, eliminando los rebotes y produciendo una señal de salida sincronizada.

Filtro digital: Un filtro digital se puede utilizar para filtrar los rebotes en la señal de entrada y producir una señal de salida limpia y estable. Este circuito utiliza técnicas de procesamiento de señales para filtrar la señal de entrada y eliminar los rebotes. Se pueden utilizar diferentes tipos de filtros digitales, como filtros FIR y filtros IIR, dependiendo de los requisitos de la aplicación.

4. Investigue sobre las señales involucradas en la sincronización de una interfaz VGA.

H_SYNC: Esta señal se utiliza para sincronizar la transmisión horizontal de la señal de video. H_SYNC indica el inicio de cada línea de video y se transmite al final de cada línea de video. La frecuencia de H_SYNC es de 31.77 kHz.

V_SYNC: Esta señal se utiliza para sincronizar la transmisión vertical de la señal de video. V_SYNC indica el inicio y el final de cada cuadro de video y se transmite al final de cada cuadro de video. La frecuencia de V_SYNC es de 60 Hz.

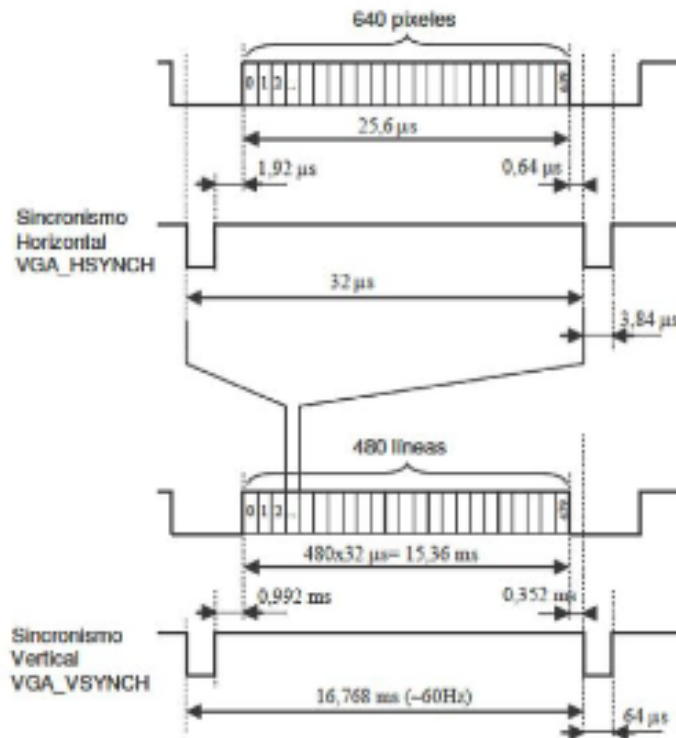
BLANK: Esta señal se utiliza para indicar al monitor que no se está transmitiendo señal de video. BLANK se utiliza para sincronizar la señal de video y garantizar que se muestre correctamente en la pantalla del monitor.

RGB: Estas señales se utilizan para transmitir los componentes de color de la señal de video. Cada componente de color se transmite como una señal analógica separada. En este caso, hay 8 bits por componente de color, por lo que se necesitan un total de 24 señales (8 para el componente de color rojo, 8 para el verde y 8 para el azul).

Para transmitir los componentes de color RGB, se pueden utilizar registros de desplazamiento que permitan transmitir los datos de manera serial a través de los pines de salida de la FPGA. Estos registros se pueden programar para transmitir los datos en el formato adecuado para la interfaz VGA, que es normalmente RGB de 8 bits por componente de color.

5. Muestra un diagrama de tiempos de las señales de sincronización de VGA para una resolución de 640x480 píxeles

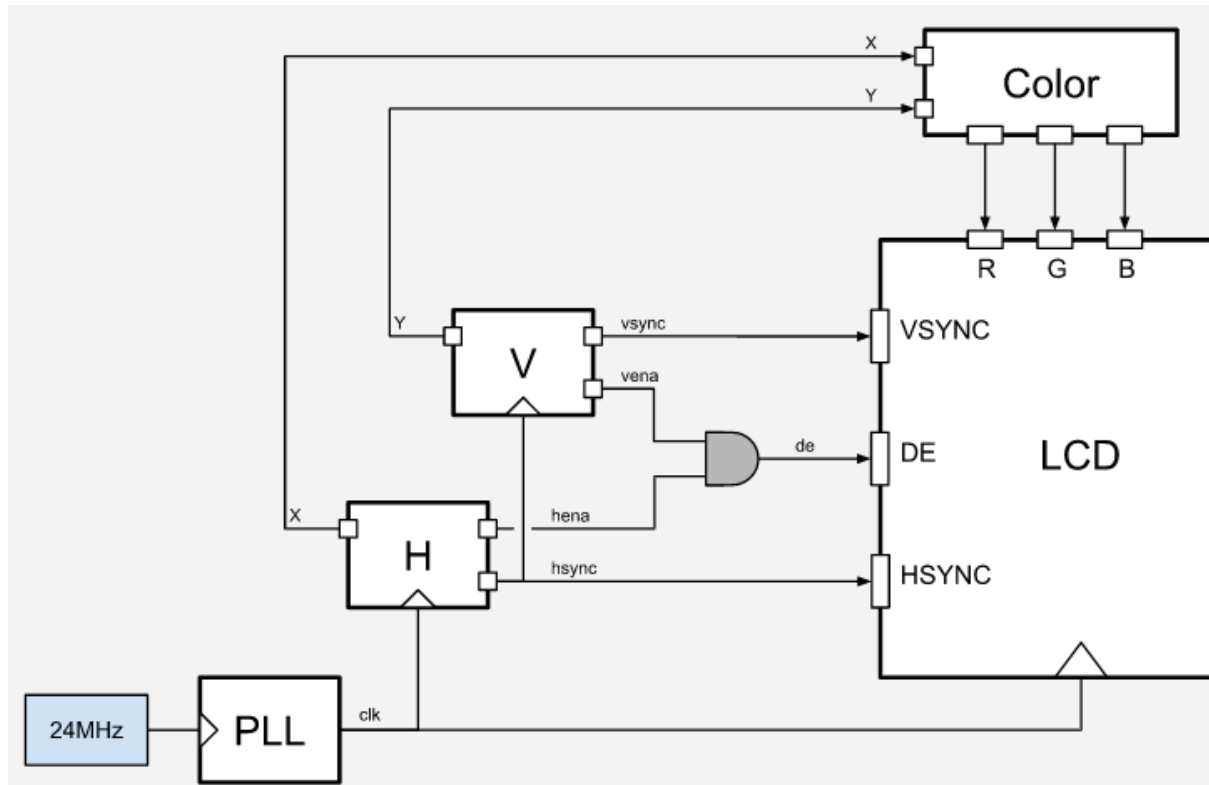
Señales de sincronismo (640x480, 60Hz)



6. Para la resolución del punto anterior, calcule matemáticamente la frecuencia aproximada de las señales de sincronización vertical y horizontal.

La frecuencia de actualización vertical (V_SYNC) es de 60 Hz, lo que significa que se deben generar 60 cuadros de video por segundo. La duración de cada cuadro de video es de aproximadamente 16.68 ms. La frecuencia de actualización horizontal (H_SYNC) es de 31.47 kHz, lo que significa que se deben generar 640 píxeles por línea de video en un tiempo de aproximadamente 31.77 µs.

7. Proponga un diagrama de bloques que implemente el controlador de VGA. Tenga en cuenta que este será parte de su diseño final, utilizando un modelado de estructura.



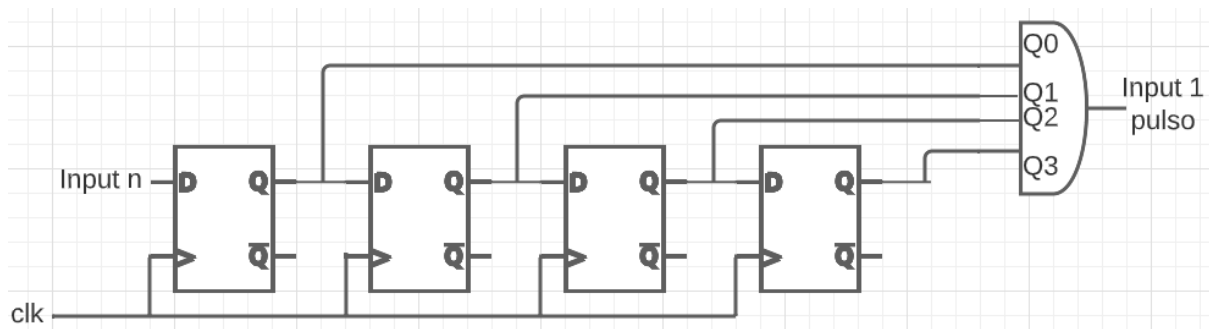
<https://journalusco.edu.co/index.php/iregion/article/download/756/1451>

https://www.researchgate.net/publication/291417400_Didactic_Platform_for_Image_Processing_Experiments_based_on_Digital_Design

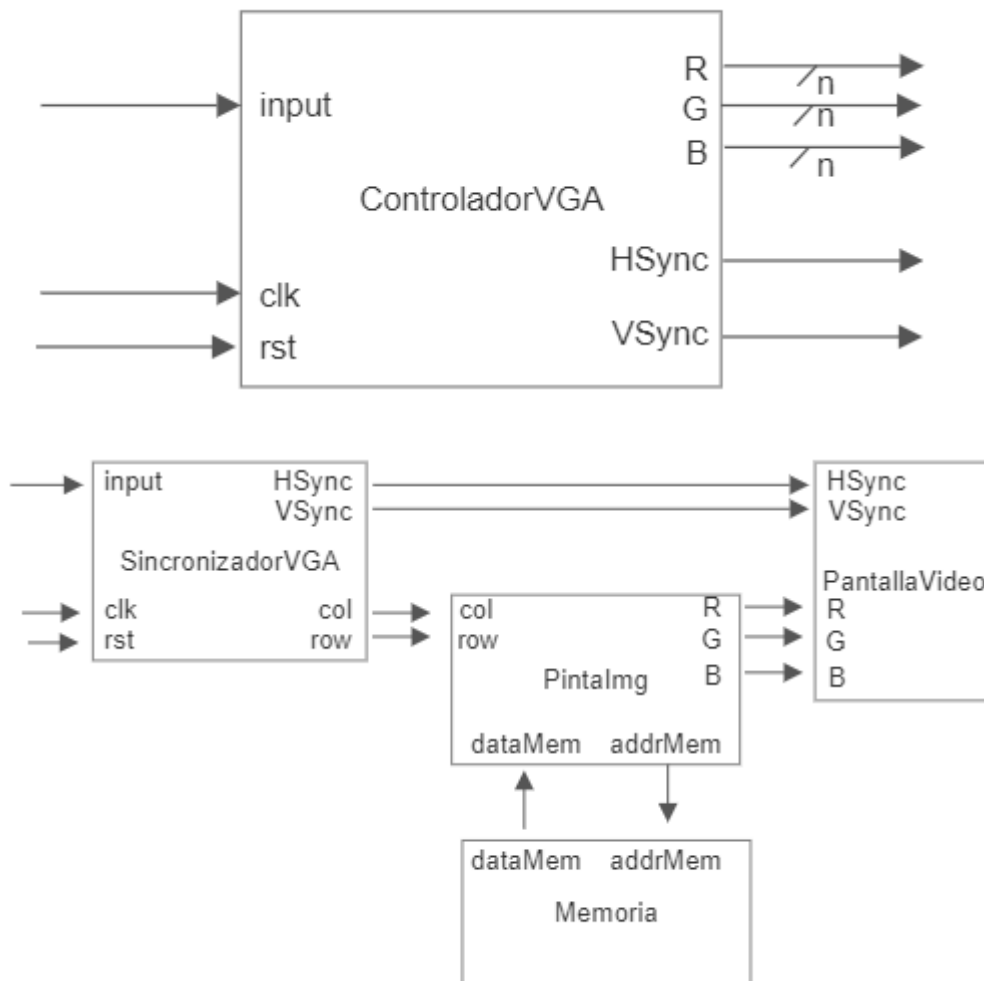
Diagrama de bloques de app



Sistema anti rebote entradas



Controlador de VGA



Descripción breve de la sesión

Durante esta sesión, se profundizó en el diagrama de bloques de la solución final del desarrollo del juego 2048 en una FPGA utilizando System Verilog. Se discutió el posible uso del controlador VGA para lograr visualizar una imagen del juego. Además, se continuó el desarrollo de los diagramas para repartir el trabajo de manera efectiva y se habló sobre la importancia de lograr una visualización clara del juego. También se presentaron posibles diagramas de aproximación al problema y se revisó la información investigada previamente.

Acuerdos	Responsable	Fecha de entrega
Traer información útil para el adelantar el desarrollo de la arquitectura	Carlos Mata Joseph Jimenez Tatiana Mora	13/04/2023

Información general

Grupo No. 5.

Proyecto No.4

Fecha: 13/04/2023.

Nombre del Proyecto: Laboratorio 4- Lógica Secuencial y Controladores

Sesión No. 3

Marque con una X la modalidad de la sesión:

Presencial ()

En línea (X)

Otra: _____

Distribución de roles:

Rol	Nombre estudiante
Coordinación	Carlos Andres Mata Calderon
Secretariado	Joseph David Jimenez Zuñiga
Fiscal	Tatiana Mora

Minuta

1. Analizar y revisar posibles soluciones para el desarrollo del juego 2048 en una FPGA mediante System Verilog.
2. Completar la arquitectura básica de la solución final y dividir el trabajo en dos partes: la máquina de estados y la visualización de VGA.
3. Ajustar los diagramas teóricos a la realidad y definir las especificaciones técnicas de la solución final.

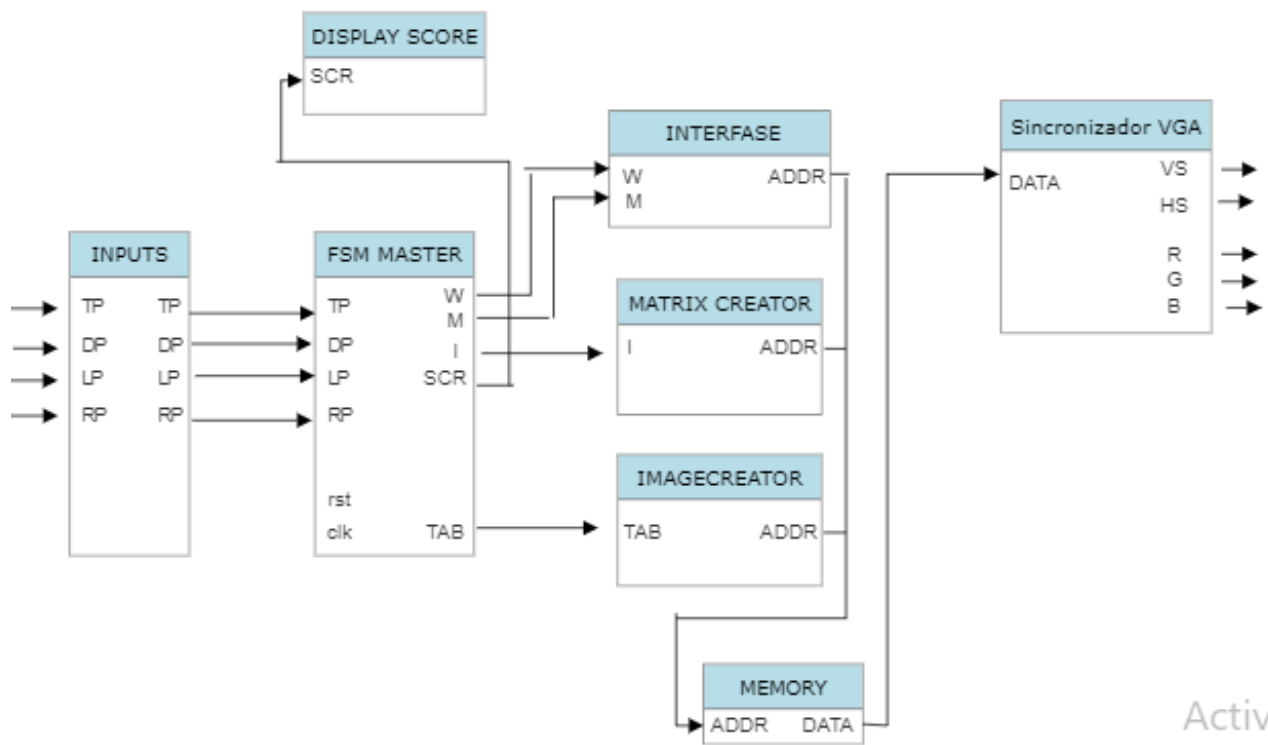
Notas Máquina de Estados

Devuelve la máquina de estados:

W si gano.

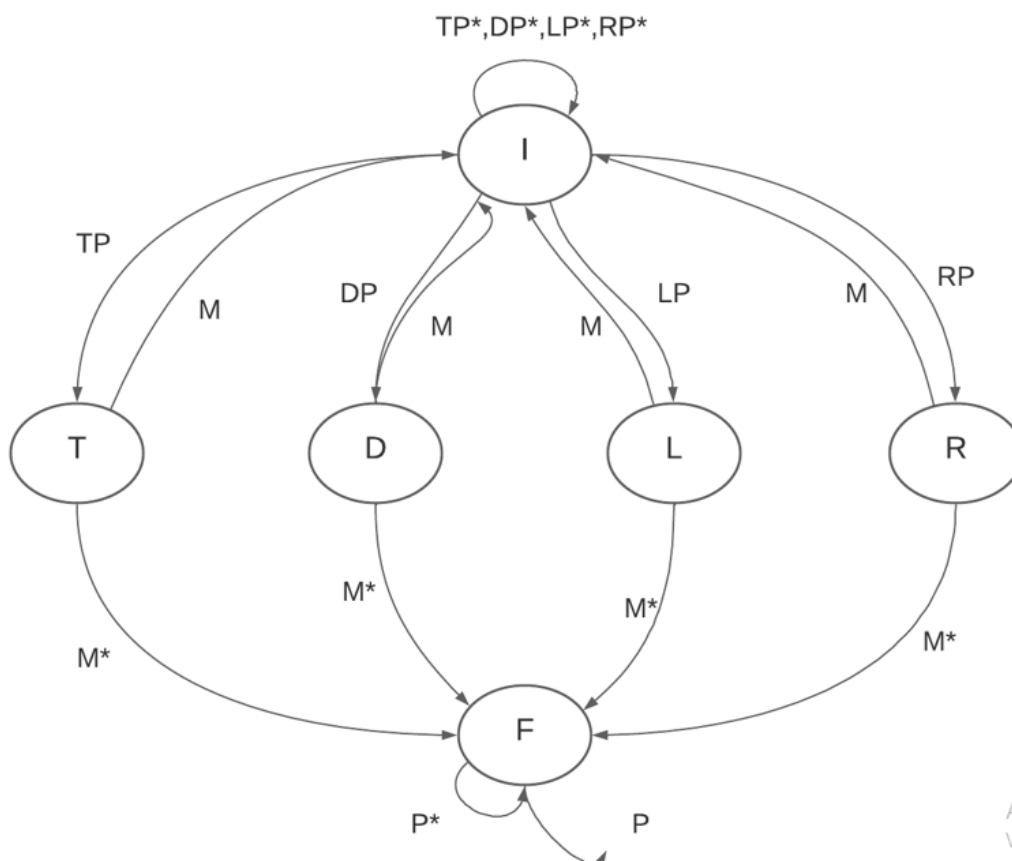
M si es posible hacer un movimiento

Información recopilada:



Activar ' Ve a Confi

FSM



Act Ve a

Descripción breve de la sesión

Durante esta sesión, se presentaron unos diagramas básicos que muestran la teoría a seguir para iniciar la programación del juego 2048 en una FPGA utilizando System Verilog. Además, se dividió el trabajo en dos partes: la máquina de estados y la visualización de VGA. Carlos se encargará de la máquina de estados, mientras que Tatiana y Joseph se enfocarán en la visualización de VGA. Se discutieron posibles soluciones y se analizó la arquitectura básica de la solución final para completarla. Durante la sesión, se resolvieron dudas y se establecieron plazos para cumplir con los objetivos planteados.

Acuerdos	Responsable	Fecha de entrega
Programación de Visualización VGA	Joseph Jimenez Tatiana Mora	30/04/2023
Programación de Máquina de Estados	Carlos Mata	30/04/2023
Visualización de VGA	Joseph Jimenez Tatiana Mora	20/04/2023
Máquina de estados Básica	Carlos Mata	20/04/2023

Información general

Grupo No. 5.

Proyecto No.4

Fecha: 18/04/2023.

Nombre del Proyecto: Laboratorio 4- Lógica Secuencial y Controladores

Sesión No. 4

Marque con una X la modalidad de la sesión:

Presencial ()

En línea (X)

Otra: _____

Distribución de roles:

Rol	Nombre estudiante
Coordinación	Carlos Andres Mata Calderon
Secretariado	Joseph David Jimenez Zuñiga
Fiscal	Tatiana Mora

Minuta

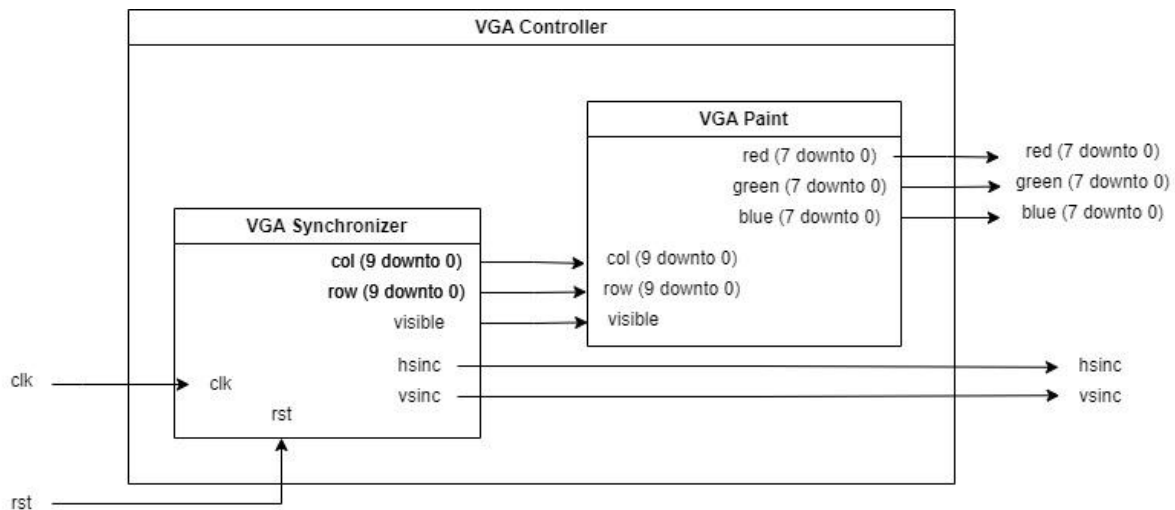
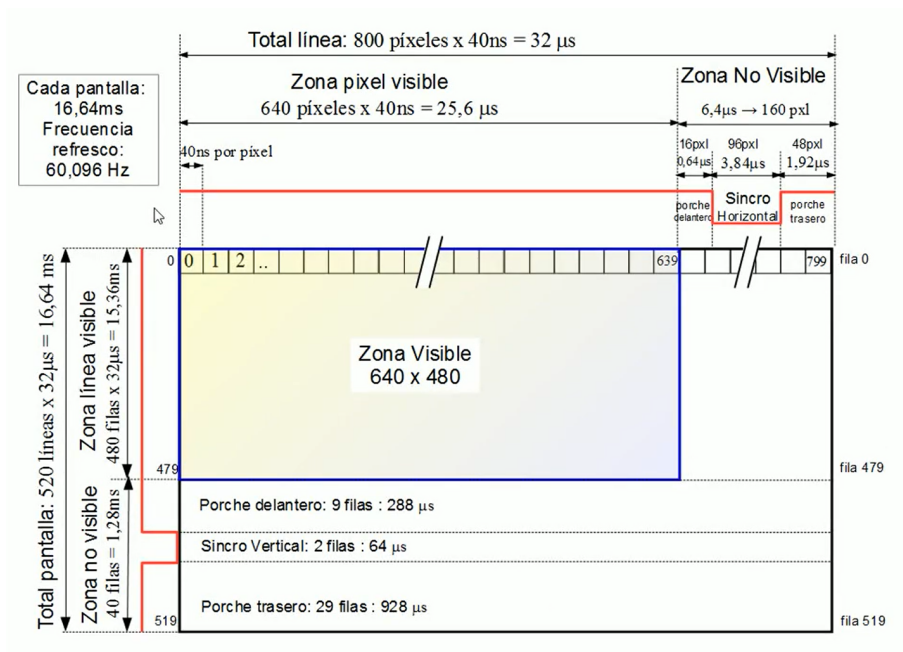
Objetivos de la sesión

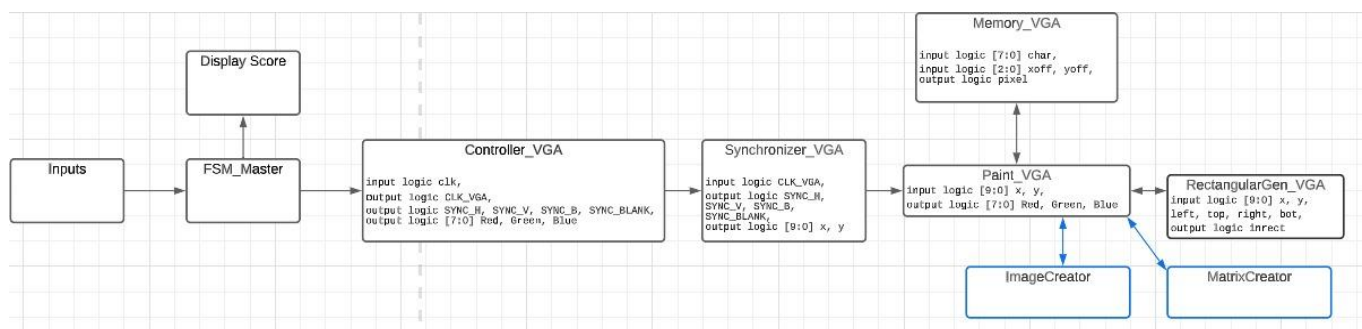
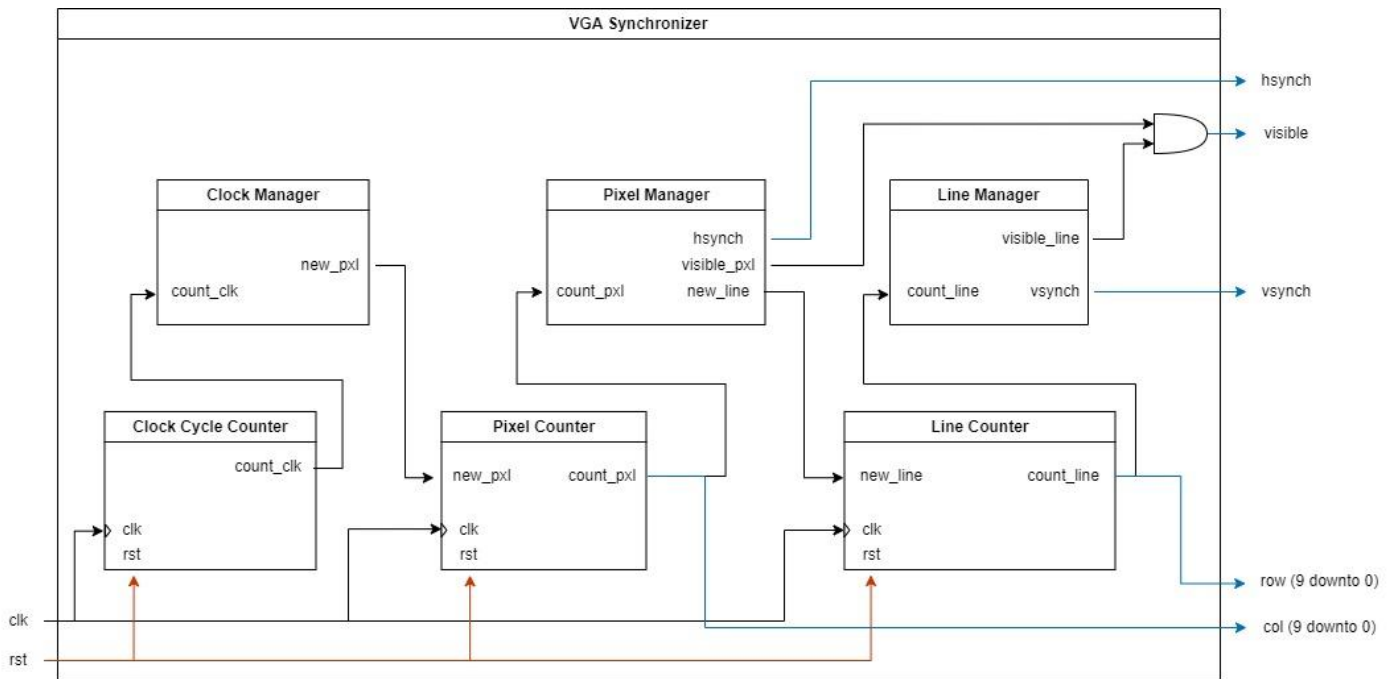
1. Discutir los avances del trabajo realizado en el desarrollo del juego 2048 mediante System Verilog.
2. Presentar diagrama final con los módulos necesarios para el controlador VGA

Trabajo Previo obtenido

Para la creación del diagrama de tiempos de las señales de sincronización de VGA para una resolución de 640x480 pixeles se estará tomando en cuenta la siguiente información. A pesar de la frecuencia ser mayor de 60Hz por 0.096 Hz se trabajará con este dato debido a que al realizar los cálculos de tiempos en la zona visible y la zona no visible es el resultado obtenido.

Se presenta un diagrama de bloques de primer nivel que representa el controlador VGA, más adelante se detalla cada módulo, tanto como el VGA Synchronizer como el VGA Paint.





Descripción de la sesión

En esta sesión, se presentaron los avances en el desarrollo del juego 2048 en una FPGA utilizando System Verilog y se discutieron los problemas encontrados en el proceso. Se mencionó que uno de los mayores inconvenientes ha sido la visualización del VGA, ya que no se ha logrado conectar el controlador después de varios intentos. Además, se informó que hubo varias causas externas que requirieron la atención de los integrantes, lo que afectó el progreso del proyecto. Durante la sesión, se discutieron posibles soluciones para estos problemas y se establecieron plazos para avanzar en el proyecto. Se resolvieron dudas y se trabajó en equipo para lograr los objetivos planteados.

Acuerdos	Responsable	Fecha de entrega
Continuar con el trabajo y resolver los problemas que impiden la solución correcta	Carlos Mata Joseph Jimenez Tatiana Mora	26/04/2023

Información general

Grupo No. 5.

Proyecto No.4

Fecha: 26/04/2023.

Nombre del Proyecto: Laboratorio 4- Lógica Secuencial y Controladores

Sesión No. 5

Marque con una X la modalidad de la sesión:

Presencial ()

En línea (X)

Otra: _____

Distribución de roles:

Rol	Nombre estudiante
Coordinación	Carlos Andres Mata Calderon
Secretariado	Joseph David Jimenez Zuñiga
Fiscal	Tatiana Mora

Minuta

Objetivos de la sesión

1. Discutir los avances del trabajo realizado en el desarrollo del juego 2048 mediante System Verilog.
2. Revisar si los problemas han sido resueltos y comunicar progreso

Descripción de la sesión

En esta sesión se lograron resolver los problemas que habían impedido el avance del proyecto en sesiones anteriores. Tanto la visualización del VGA como la máquina de estados han sido ajustados y funcionan correctamente. Los integrantes del equipo compartieron los avances realizados desde la sesión anterior y se discutieron los pasos a seguir para continuar con el desarrollo del juego.

Acuerdos	Responsable	Fecha de entrega
Terminar faltante del proyecto	Carlos Mata Joseph Jimenez Tatiana Mora	01/05/2023

Información general

Grupo No. 5.

Proyecto No.4

Fecha: 30/04/2023.

Nombre del Proyecto: Laboratorio 4- Lógica Secuencial y Controladores

Sesión No. 6

Marque con una X la modalidad de la sesión:

Presencial ()

En línea (X)

Otra: _____

Distribución de roles:

Rol	Nombre estudiante
Coordinación	Carlos Andres Mata Calderon
Secretariado	Joseph David Jimenez Zuñiga
Fiscal	Tatiana Mora

Minuta

Objetivos de la sesión

1. Continuar con el desarrollo del juego 2048 en una FPGA mediante System Verilog
2. Revisar y depurar la implementación de la máquina de estados y la visualización del VGA

Descripción de la sesión

Durante esta sesión, el equipo logró hacer grandes avances en el desarrollo del juego 2048 en una FPGA mediante System Verilog. La visualización y la obtención de datos en memoria se han creado en gran parte, sin embargo, aún falta ajustar y sincronizar adecuadamente estos elementos con el tablero de visualización y la máquina de estados. Además, se revisó la implementación de la máquina de estados y se identificaron errores que requieren ser depurados. Se discutieron posibles soluciones y se establecieron tareas específicas para resolver los problemas identificados. En resumen, la sesión fue muy productiva y se logró avanzar significativamente en el proyecto, aunque todavía queda trabajo por hacer para alcanzar los objetivos planteados.

Acuerdos	Responsable	Fecha de entrega
Terminar faltante del proyecto	Carlos Mata Joseph Jimenez Tatiana Mora	04/05/2023
Solicitar tiempo de desarrollo	Carlos Mata Joseph Jimenez Tatiana Mora	02/05/2023