Universidade Federal do Rio Grande do Norte 

Centro de Tecnologia

Departamento de Engenharia de Computação e Automação

DCA0212.1 - Circuitos Digitais

Docente: Tiago Barros

Discentes: Carlos Eduardo Medeiros da Silva, Marcantoni Leite de Sousa Melo,

Victor de Alcantara Gouveia e Vilner César Oliveira.

Laboratório 2

**1. Introdução:**

Este relatório descreve a construção de um circuito digital com o objetivo de contar as entradas iguais a 1, explorando as funcionalidades da linguagem VHDL para projetar circuitos mais elaborados. Para isso, são utilizadas declarações de componentes para criar portas lógicas em arquivos separados, que são então instanciados no arquivo principal que descreve o circuito como um todo.

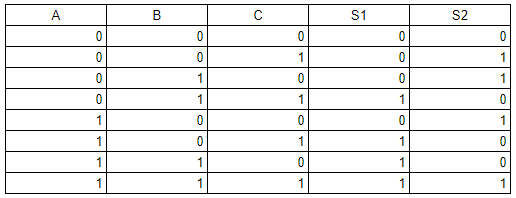
O circuito construído tem como finalidade implementar um contador de bits, que conta em código binário o número de entradas iguais a 1 no sistema. Isso resulta em duas saídas, representando o valor contado de forma adequada no sistema binário.

**2. Metodologia:**

A metodologia para construir o circuito de contagem de bits em VHDL envolve analisar requisitos, projetar portas lógicas, declarar componentes, implementar o circuito principal, simular, depurar e otimizar o código, documentar o processo e validar o circuito. Essa abordagem garante a funcionalidade e eficiência do circuito.

**2.1 Tabela Verdade e Equações**

Para realizar a contagem de 1’s, o circuito deve retornar nas suas saídas o resultado da contagem em binário. Dessa forma, o circuito combinacional deve obedecer a tabela verdade abaixo.



**Tabela 1:** Tabela verdade do circuito

Para isso, as equações para S1 e S2 são:

𝑆1 = 𝐴'⋅𝐵⋅𝐶 + 𝐴⋅𝐵'⋅𝐶 + 𝐴⋅𝐵⋅𝐶' + 𝐴⋅𝐵⋅𝐶

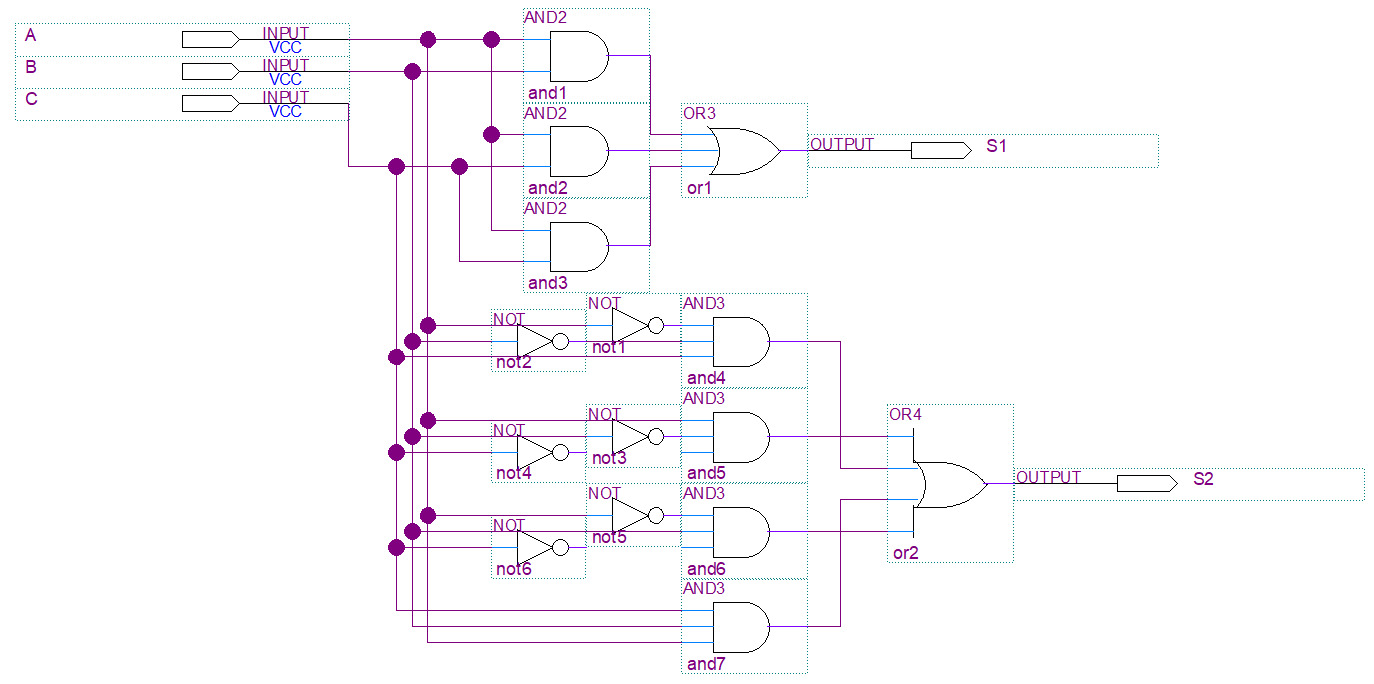
𝑆2 = 𝐴'⋅𝐵'⋅𝐶 + 𝐴'⋅𝐵⋅𝐶' + 𝐴⋅𝐵'⋅𝐶' + 𝐴⋅𝐵⋅𝐶

Utilizando algumas propriedades da álgebra booleana conseguimos simplificar 𝑆1. Logo,

𝑆1 = 𝐴⋅𝐵 + 𝐴⋅𝐶 + 𝐵⋅𝐶

**2.2 Representação em Portas Lógicas**

O circuito resultante de S1 simplificado e S2 é apresentado na imagem abaixo.

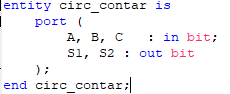


**Figura 1:** Representação do circuito em forma de portas lógicas

**2.3 Descrição em VHDL**

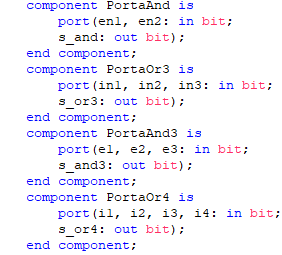
A seguir mostraremos os trechos de código que descreve o circuito. O mesmo deve conter 3 entradas, A, B e C, e 2 saídas S1 e S2.

Primeiro definimos a entidade top “circ\_contar” que recebe as 3 entradas e as processa na saída S1 e S2, assim como mostra a imagem abaixo.



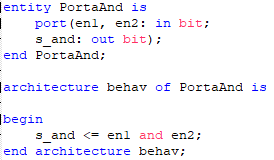
**Figura 2:** Definição da entidade top.

Depois, declaramos os componentes PortaAnd, PortaAnd3, PortaOr3, PortaOr4 que representa cada porta que utilizamos no circuito. Logo,

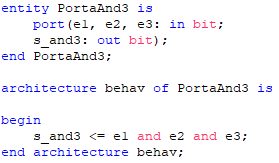


**Figura 3:** Declaração dos componentes.

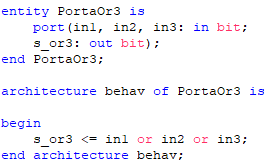
Em arquivos separados, essas portas são definidas como:



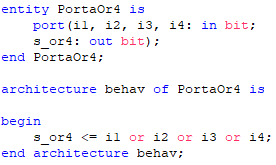
**Figura 4:** Porta AND de 2 entradas



**Figura 5:** Porta AND de 3 entradas

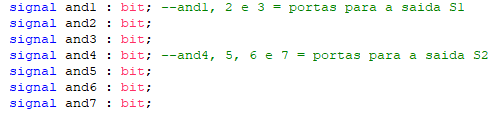


**Figura 6:** Porta OR de 3 entradas



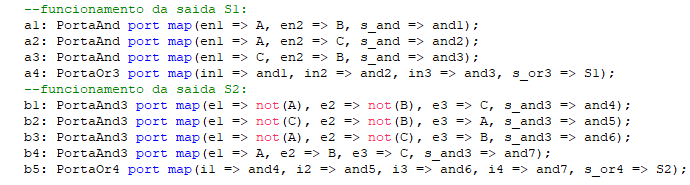
**Figura 7:** Porta OR de 4 entradas

Ainda em architecture, ligamos os componentes pelos sinais definidos abaixo:



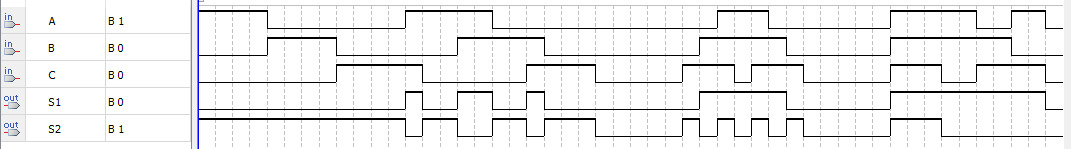
**Figura 8:** Signals para ligação dos componentes.

Por fim, temos que instanciar os componentes utilizando os signals que foram criados. Assim, temos:



**Figura 9:** Instanciação dos componentes.

**3. Resultados:**



**Figura 10:** Resultado da simulação

Na simulação, o estado s1 passa a ser 1 quando A e B, ou A e C ou B e C forem 1. No caso de apenas A, ou apenas B, ou apenas C ser 1, s1 se mantém zero. Entretanto, quando A, B e C são pressionados simultaneamente, s1 é 1. Ou seja, para s1 passar a ser 1, basta que pelo menos 2 dos 3 sejam 1.

Já o estado s2, quando apenas A, ou apenas B, ou apenas C foi 1, s2 foi 1. No caso de pressionar simultaneamente A e B, ou A e C, ou B e C, o estado s2 passa a ser 0. Mas se A e B e C forem pressionados ao mesmo tempo, s2 passa a ser 1. Ou seja, s2 passa a ser 1 apenas quando A, B ou C forem 1 sozinhos, ou quando A, B e C forem 1 simultaneamente.

Nesse caso, s1 e s2 são 1, simultaneamente, apenas quando A, B e C são 1.

4. **Conclusão:**

Dessa forma, foi desenvolvido com sucesso um circuito em VHDL para a problemática apresentada, fazendo uso de componentes, sinais internos e instanciação de portas lógicas. A principal dificuldade percebida foi o desenvolvimento da simplificação da equação de S1, o que foi facilmente solucionado revisando e aplicando os conhecimentos teóricos sobre as propriedades booleanas. Observando os resultados apresentados, percebe-se, também, que o circuito foi devidamente implementado de forma que funcionou da forma esperada.