



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE CIENCIAS

Organización y Arquitectura de Computadoras Practica 3

PRESENTA

**Carlos Emilio Castañón Maldonado
Pablo César Navarro Santana**

PROFESOR

José de Jesús Galaviz Casas

AYUDANTES

**Ricardo Enrique Pérez Villanueva
Sara Doris Montes Incin
María Ximena Lezama Hernández**

Organización y Arquitectura de Computadoras

Practica 3

Ejercicios

- Desarrolla un circuito que simule el comportamiento de la implicación lógica. Solo puedes hacer uso de fuentes de alimentación power y ground, transistores tipo *P* y *N*, y pines de entrada y salida.

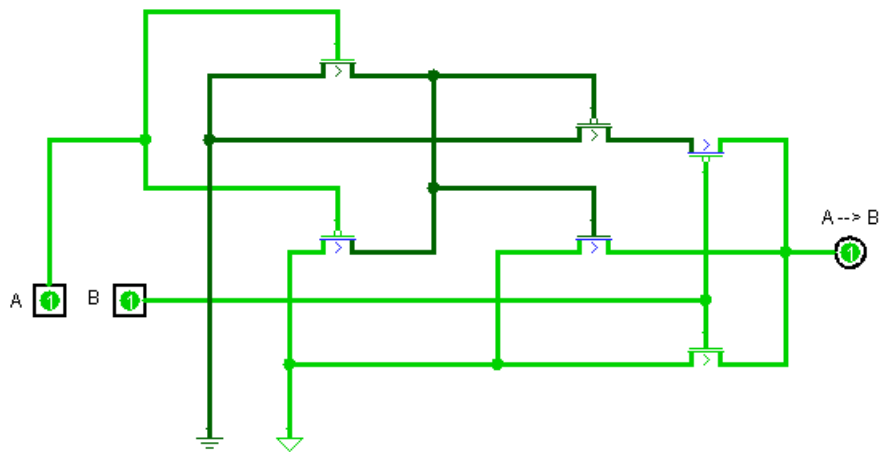
Notemos que $X \rightarrow Y \equiv \neg X \vee Y$

$X \rightarrow Y$		
X	Y	Resultado
1	1	1
1	0	0
0	1	1
0	0	1

$\neg X \vee Y$		
X	Y	Resultado
1	1	1
1	0	0
0	1	1
0	0	1

Además de que si recordamos, el conectivo lógico \vee es equivalente a la *suma* en álgebra de boole, entonces tendremos que:

$$F(X, Y) = X' + Y$$



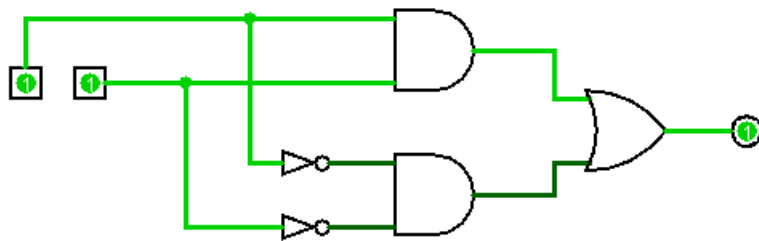
- Desarrolla un circuito que simule el comportamiento de la tabla de verdad del Si y solo si $P \Leftrightarrow Q$. Para este ejercicio solo puedes usar compuertas, como AND, OR, NAND, etc.

X	Y	Resultado
0	0	1
0	1	0
1	0	0
1	1	1

Y \ X	0	1
0	1	0
1	0	1

Como en el mapa de karnaguh, no se forman cuadrados ni rectangulos, entonces no se puede reducir el circuito y por lo tanto su función queda de la siguiente forma:

$$F(X, Y) = X'Y' + XY$$



- Sean $x, y \in \{0, 1, 2, 3\}$, desarrolla un comparador electrónico de 2 bits, las salidas del comparador deben ser: $x \geq y$ Para este ejercicio solo puedes usar compuertas, como AND, NOR, XOR, ect.

X_1	X_2	Y_1	Y_2	Resultado	—	X_1	X_2	Y_1	Y_2	Resultado
0	0	0	0	1	—	1	0	0	0	1
0	0	0	1	0	—	1	0	0	1	1
0	0	1	0	0	—	1	0	1	0	1
0	0	1	1	0	—	1	0	1	1	0
0	1	0	0	1	—	1	1	0	0	1
0	1	0	1	1	—	1	1	0	1	1
0	1	1	0	0	—	1	1	1	0	1
0	1	1	1	0	—	1	1	1	1	1

$X_1X_2 \backslash Y_1Y_2$	00	01	11	10
00	1	0	0	0
01	1	1	0	0
11	1	1	1	1
10	1	1	0	1

$X_1X_2 \backslash Y_1Y_2$	00	01	11	10
00	1	0	0	0
01	1	1	0	0
11	1	1	1	1
10	1	1	0	1

$X_1X_2 \backslash Y_1Y_2$	00	01	11	10
00	1	0	0	0
01	1	1	0	0
11	1	1	1	1
10	1	1	0	1

De estas tablas, obtenemos las siguientes expresiones:

$$\begin{aligned}
& X_1'X_2'Y_1'Y_2' + X_1X_2'Y_1'Y_2' \\
& + X_1X_2Y_1'Y_2' + X_1'X_2Y_1'Y_2' = Y_1Y_2(X_1'X_2' + X_1X_2' + X_1X_2 + X_1'X_2) \\
& = Y_1'Y_2'(X_2'(X_1' + X_1) + X_2(X_1 + X_1')) \\
& = Y_1'Y_2'(X_1' + X_1)(X_2' + X_2) \\
& = Y_1'Y_2'(1)(1) \\
& = Y_1'Y_2'
\end{aligned}$$

$$\begin{aligned}
& X_1X_2Y_1'Y_2' + X_1X_2Y_1'Y_2 \\
& + X_1X_2Y_1Y_2 + X_1X_2Y_1Y_2' = X_1X_2(Y_1'Y_2' + Y_1'Y_2 + Y_1Y_2 + Y_1Y_2') \\
& = X_1X_2(Y_1'(Y_2' + Y_2) + Y_1(Y_2 + Y_2')) \\
& = X_1X_2(Y_2 + Y_2')(Y_1' + Y_1) \\
& = X_1X_2(1)(1) \\
& = X_1X_2
\end{aligned}$$

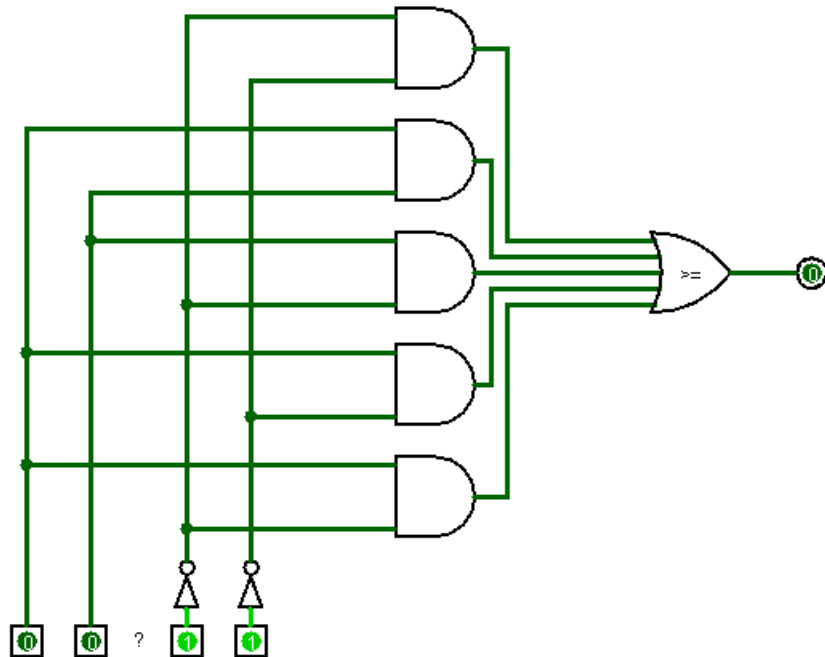
$$\begin{aligned}
& X_1'X_2Y_1'Y_2' + X_1'X_2Y_1'Y_2 \\
& + X_1X_2Y_1'Y_2' + X_1X_2Y_1'Y_2 = X_2Y_1(X_1'Y_2' + X_1'Y_2 + X_1Y_2' + X_1Y_2) \\
& = X_2Y_1'(X_1'(Y_2' + Y_2) + X_1(Y_2'Y_2)) \\
& = X_2Y_1'(X_1' + X_1)(Y_2'Y_2) \\
& = X_2Y_1'(1)(1) \\
& = X_2Y_1'
\end{aligned}$$

$$\begin{aligned}
& X_1X_2Y_1Y_2' + X_1X_2Y_1'Y_2' \\
& + X_1X_2'Y_1Y_2' + X_1X_2'Y_1'Y_2' = X_1Y_2'(X_2Y_1 + X_2Y_1' + X_2'Y_1 + X_2'Y_1') \\
& = X_1Y_2'(X_2(Y_1 + Y_1') + X_2'(Y_1 + Y_1')) \\
& = X_1Y_2'(X_2 + X_2')(Y_1 + Y_1') \\
& = X_1Y_2'(1)(1) \\
& = X_1Y_2'
\end{aligned}$$

$$\begin{aligned}
& X_1X_2Y_1'Y_2' + X_1X_2Y_1'Y_2 \\
& + X_1X_2'Y_1'Y_2' + X_1X_2'Y_1'Y_2 = X_1Y_1'(X_2Y_2' + X_2Y_2 + X_2'Y_2' + X_2'Y_2) \\
& = X_1Y_1'(X_2(Y_2' + Y_2) + (X_2'(Y_2' + Y_2))) \\
& = X_1Y_1'(X_2 + X_2')(Y_2' + Y_2) \\
& = X_1Y_1'(1)(1) \\
& = X_1Y_1'
\end{aligned}$$

Por lo tanto obtenemos la siguiente función:

$$F(X_1, X_2, Y_1, Y_2) = Y_1'Y_2' + X_1X_2 + X_2Y_1' + X_1Y_2' + X_1Y_1'$$



- Sean $x, y \in \{0, 1, 2, 3\}$, desarrolla un comparador electrónico de 2 bits, las salidas del comparador deben ser:

- $x > y$
- $x = y$
- $x < y$

Para este ejercicio solo puedes usar compuertas, como AND, NOR, XOR, etc.

X_1	X_2	Y_1	Y_2	Resultado	—	X_1	X_2	Y_1	Y_2	Resultado
0	0	0	0	=	—	1	0	0	0	>
0	0	0	1	<	—	1	0	0	1	>
0	0	1	0	<	—	1	0	1	0	=
0	0	1	1	<	—	1	0	1	1	<
0	1	0	0	>	—	1	1	0	0	>
0	1	0	1	=	—	1	1	0	1	>
0	1	1	0	<	—	1	1	1	0	>
0	1	1	1	<	—	1	1	1	1	=

El color azul representa intersección

$X_1X_2 \backslash Y_1Y_2$	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	1	1	0	1
10	1	1	0	0

$$\begin{aligned}
 X_1'X_2Y_1'Y_2' + X_1X_2Y_1'Y_2' &= X_2Y_1'Y_2'(X_1' + X_1) \\
 &= X_2Y_1'Y_2'(1) \\
 &= X_2Y_1'Y_2'
 \end{aligned}$$

$$\begin{aligned}
 X_1X_2Y_1Y_2' + X_1X_2Y_1'Y_2' &= X_1X_2Y_2'(Y_1 + Y_1') \\
 &= X_1X_2Y_2'(1) \\
 &= X_1X_2Y_2'
 \end{aligned}$$

$$\begin{aligned}
 &X_1X_2Y_1'Y_2' + X_1X_2Y_1'Y_2 \\
 X_1X_2'Y_1'Y_2' + X_1X_2'Y_1'Y_2 &= X_1Y_1'(X_2Y_2' + X_2Y_2 + X_2'Y_2' + X_2'Y_2) \\
 &= X_1Y_1'(X_2(Y_2'Y_2) + X_2'(Y_2' + Y_2)) \\
 &= X_1Y_1'(X_2 + X_2')(Y_2' + Y_2) \\
 &= X_1Y_1'(1)(1) \\
 &= X_1Y_1'
 \end{aligned}$$

Obtenemos la funcion:

$$f = X_2Y_1'Y_2' + X_1X_2Y_2' + X_1Y_1$$

$X_1X_2 \backslash Y_1Y_2$	00	01	11	10
00	0	1	1	1
01	0	0	1	1
11	0	0	0	0
10	0	0	1	0

$$\begin{aligned} X_1'X_2'Y_1'Y_2 + X_1'X_2'Y_1Y_2 &= X_1'X_2'Y_2(Y_1' + Y_1) \\ &= X_1'X_2'Y_2(1) \\ &= X_1'X_2'Y_2 \end{aligned}$$

$$\begin{aligned} X_1X_2'Y_1Y_2 + X_1'X_2'Y_1Y_2 &= X_2'Y_1Y_2(X_1 + X_1') \\ &= X_2'Y_1Y_2(1) \\ &= X_2'Y_1Y_2 \end{aligned}$$

$$\begin{aligned} &X_1'X_2'Y_1Y_2 + X_1'X_2'Y_1Y_2' \\ X_1'X_2Y_1Y_2 + X_1'X_2Y_1Y_2' &= X_1'Y_1(X_2'Y_2 + X_2'Y_2' + X_2Y_2 + X_2Y_2') \\ &X_1'Y_1(X_2'(Y_2 + Y_2') + X_2(Y_2 + Y_2')) \\ &X_1'Y_1(X_2' + X_2)(Y_2 + Y_2') \\ &X_1'Y_1(1)(1) \\ &X_1'Y_1 \end{aligned}$$

Obtenemos la funcion:

$$F = X_1'X_2'Y_2 + X_2'Y_1Y_2 + X_1'Y_1$$

$X_1X_2 \backslash Y_1Y_2$	00	01	11	10
00	1	0	0	0
01	0	1	0	0
11	0	0	1	0
10	0	0	0	1

Como podemos ver, no se forma ningún cuadrado ni rectangulo en el mapa de karnaugh, por lo tanto el circuito no se puede reducir, de tal forma que la función queda de la siguiente forma:

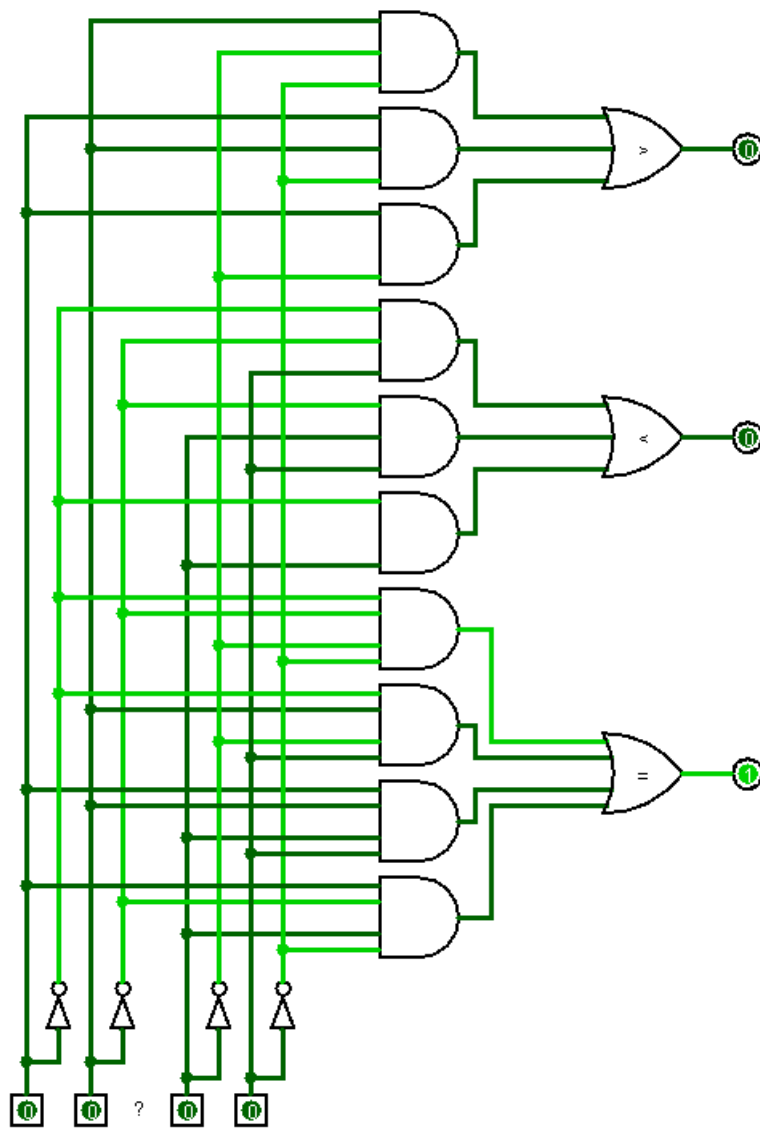
$$F(X_1, X_2, Y_1, Y_2) = X_1'X_2'Y_1'Y_2' + X_1'X_2Y_1'Y_2 + X_1X_2Y_1Y_2 + X_1X_2'Y_1Y_2'$$

Por lo tanto, para formar el circuito, debemos de obtener una salida distinta por cada una de las funciones, de tal forma que debemos tener las siguientes 3 funciones en un mismo circuito:

$$F = X_2Y_1'Y_2' + X_1X_2Y_2' + X_1Y_1'$$

$$G = X_1'X_2'Y_2 + X_2'Y_1Y_2 + X_1'Y_1$$

$$H = X_1'X_2'Y_1'Y_2' + X_1'X_2Y_1'Y_2 + X_1X_2Y_1Y_2 + X_1X_2'Y_1Y_2'$$



Preguntas

1 ¿Cual es la diferencia entre un transistor P y uno N?

Con el transistor P si pasamos un 0 a la base/gate, este deja pasar corriente desde el emisor hasta el colector, en cambio con el N este solo pasa corriente si recibe un 1 en la base/gate.

2 ¿Cuales son las partes de un transistor?

Las partes las componen un emisor, un colector y una gate (base) , los cuales se verían como:



3 ¿Porque se dice que los mapas de Karnaugh no nos dan una garantía de que siempre nos van a devolver la expresión mínima de la función?

Hay dos principales razones, la primera es que los mapas de karnaugh están pensados para el uso de un humano y no el de por ejemplo una maquina, la segunda es que el mapa de karnaugh tendrá 2^n casillas donde n es el numero de variables, por lo que si por ejemplo queremos hacer un mapa de karnaugh de 6 variables, nos enfrentaríamos con que necesitamos un mapa de karnaugh de $2^6 = 64$ casillas, lo cual daría pie a que al realizar el agrupamiento lleguemos a una minimización de la cual no tengamos garantía de que sea la expresión mínima ya que de haber agrupado los términos de manera diferente podríamos (o no) llegar a una mejor expresión.

4 ¿Cual es el procedimiento a seguir para desarrollar un circuito que resuelva un problema que involucre lógica combinacional?

El procedimiento seria:

- Primero elaboramos la tabla de verdad de la función booleana que representa el comportamiento del circuito, en función de las posibles entradas.
- Luego simplificamos la función booleana utilizando mapas de Karnaugh
- Una vez que tenemos la expresión booleana simplificada, procedemos a diseñar el circuito lógico que la implemente utilizando compuertas lógicas y otros elementos de circuitos combinacionales
- Una vez hecho lo anterior, verificamos que el circuito cumple con los requerimientos y limitaciones establecidos mediante el uso de pruebas a este.
- Usaremos mapas de Karnaugh en caso de que se utilicen menos de 7 variables, en dado caso que sean mas, es recomendable apoyarnos de algún tipo de algoritmo para encontrar la mínima expresión booleana, debido a que como se mencionó anteriormente, mientras mas variables agregamos, los casos del circuito aumentan exponencialmente

5 Si una función de conmutación se evalúa a mas ceros que unos ¿es conveniente usar minterminos o maxterminos? ¿En el caso que se evalué a mas unos que ceros?

Si tenemos una función de conmutación que evalúa a mas ceros que unos es conveniente usar *Maxterminos*, en caso de que evaluáramos a mas unos que ceros es conveniente usar *Minterminos*, esto se debe a que los *Maxterminos* son **Producto de Sumas** y como podemos recordar, al usar esta habrá menos términos que sumar.

En cambio los *Minterminos* son **Suma de Productos** y como podemos recordar, al usar esta habrá menos términos que multiplicar.

6 Analizando el trabajo realizado, ¿Cuales son los inconvenientes de desarrollar los circuitos de forma manual?

Los inconvenientes de desarrollar circuitos de forma manual es que estos pueden ser propenso a errores en especial de los humanos, además de que estarán limitados en escala, mas a parte de requerir mucho tiempo y recursos al querer mejorarlos/arreglarlos ya que podríamos caer en tener que empezar el circuito de cero , lo que puede aumentar significativamente el tiempo para el desarrollo de circuitos complejos.