

# Escuela Superior Politécnica del Litoral

## Laboratorio de Diseño de Sistemas Digitales

Avance # 1 , Parte 1

Nombre: Carlos Cedeño

Miguel Daquilema

Paralelo: 102

Fecha: 7/11/2019

# Introducción

El proyecto propuesta trata de implementar un sistema embebido para usarlo en la detección de lenguaje de señas usando el equipo MYO, el cual es un sensor de EMG (señales de electromiografía) de los músculos del antebrazo.

Mediante este sensor se planea adquirir datos para entrenar un algoritmo de Machine Learning supervisado y así identificar las letras: "A", "B", "I", "L", "N", "O", "P", "Q" y "U".

## Adquisición de señales

El dispositivo MYO opera bajo la tecnología de Bluetooth 4.0 BLE (bajo consumo de energía), por lo cual para adquirir las señales se necesita un módulo Bluetooth compatible con esta norma. Actualmente el dispositivo posee un adaptador "dongle" para PC el cual permite su uso en Sistemas operativos Windows. Para migrar esto a la FPGA se necesitará un modulo que trabaje con UART, tal como el modulo HC-08 o HC-10 para Arduino.

En las siguientes imágenes se ve una representación grafica de las señales obtenidas usando el dongle y los servicios desarrollados para Windows.

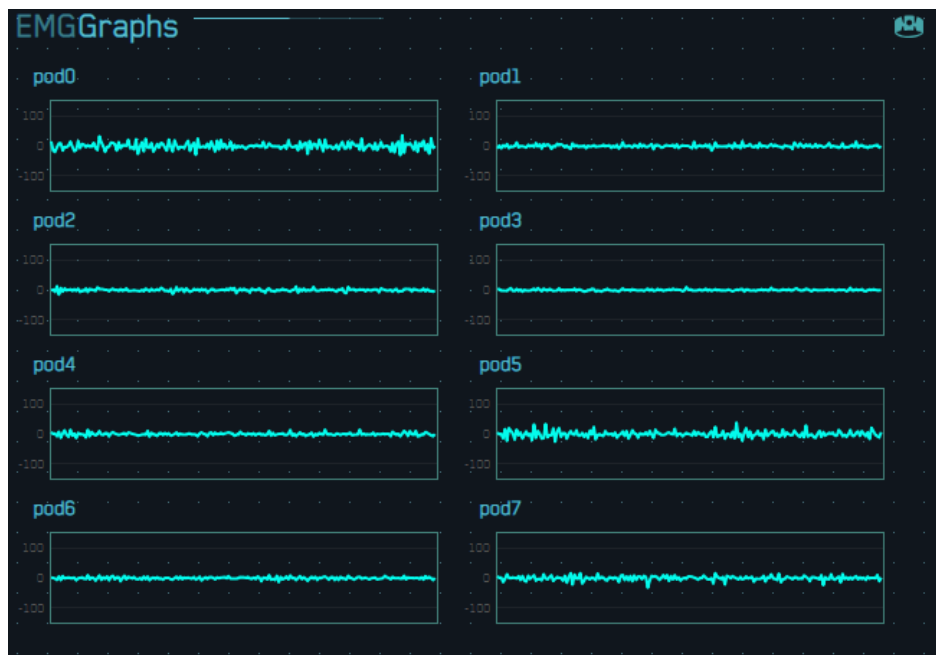


ILUSTRACIÓN 1 SEÑAL ADQUIRIDA PARA LA LETRA "A"

Existen algunas aplicaciones desarrolladas para Móviles Android donde permiten obtener también data desde el dispositivo. En la siguiente imagen se puede ver como a partir de un .csv generado por una aplicación móvil se logró graficar la señal producida por el MYO.

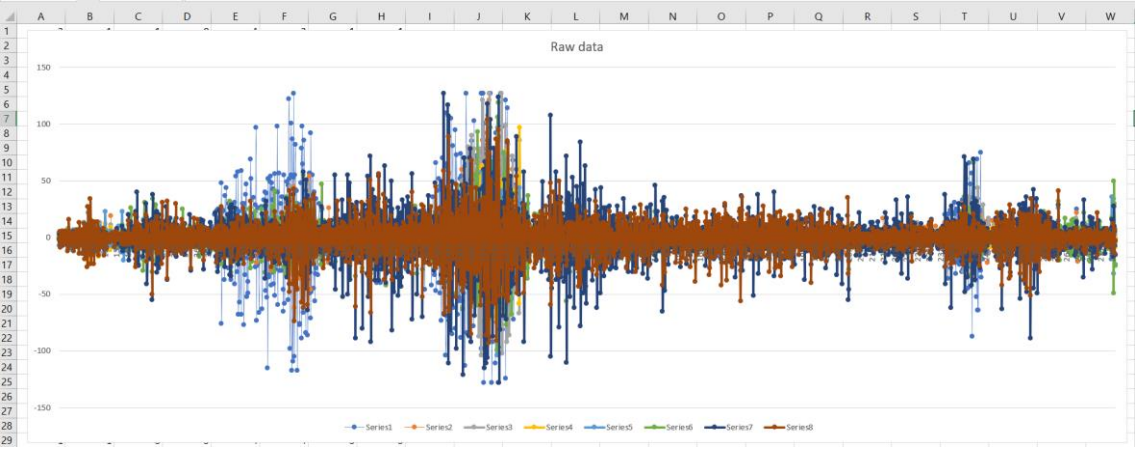


ILUSTRACIÓN 2 SEÑAL GENERADA A PARTIR DE .CSV OBTENIDO

	A	B	C	D	E	F	G	H
1	2	-1	-1	0	4	2	-1	-1
2	-2	-1	-2	-2	0	0	-3	-2
3	3	0	-3	-3	-6	-2	3	5
4	-4	1	-2	-1	0	0	-2	-6
5	0	-1	-3	-5	-7	-4	-6	-9
6	-3	0	0	1	1	0	-2	0
7	2	0	-1	3	5	2	-1	1
8	-1	-2	0	-2	-1	-1	5	1
9	3	-2	-3	0	-2	-4	0	6
10	-1	1	-1	-1	-4	-4	-7	-6
11	1	-3	-1	1	0	0	-1	1
12	-5	1	1	-1	1	0	-1	2
13	-1	1	-1	1	-2	3	0	-6
14	1	0	-1	0	2	1	3	2
15	-5	-3	-2	-2	-4	-2	-3	-1
16	2	-1	-1	1	-3	0	2	3
17	0	-2	2	0	4	2	4	6
18	0	1	-1	-2	0	0	-2	-4
19	-2	1	-1	-1	-4	-5	-2	-3
20	-1	-2	-1	1	0	3	1	2
21	0	0	-1	1	1	-1	3	4
22	2	-1	-1	0	2	0	4	5
23	-2	-1	0	-1	-2	-2	-3	-12

ILUSTRACIÓN 3 .CSV OBTENIDO POR APP

Cabe recalcar que el MYO posee 8 sensores distintos los cuales por defecto tienen un tiempo de muestreo de 200Hz, esto representa que cada línea o muestra es adquirida cada 5 ms, y cada columna representa el dato obtenido por cada sensor.

De acuerdo al paper “ Electromyogram (EMG) signal detection, classification of EMG signals and diagnosis of neuropathy muscle disease ” se pueden identificar 5 parámetros en una señal EMG para poder caracterizarla estos son:

- Median Value
- Averde Value
- Root Mean Square
- Maximun Power
- Minimun Power

# Algoritmo de Clasificación

Para poder lograr la detección de los símbolos antes propuestos se usará un algoritmo de Machine Learning supervisado de Clasificación tipo Nearest Neighbor: KNN.

El método de los k vecinos más cercanos (en inglés, k-nearest neighbors) es un método de clasificación supervisada (Aprendizaje, estimación basada en un conjunto de entrenamiento y prototipos) que sirve para estimar la función de densidad de las predictoras por cada clase.

Este es un método de clasificación no paramétrico, que estima el valor de la función de densidad de probabilidad o directamente la probabilidad a posteriori de que un elemento pertenezca a la clase a partir de la información proporcionada por el conjunto de prototipos. En el proceso de aprendizaje no se hace ninguna suposición acerca de la distribución de las variables predictoras.

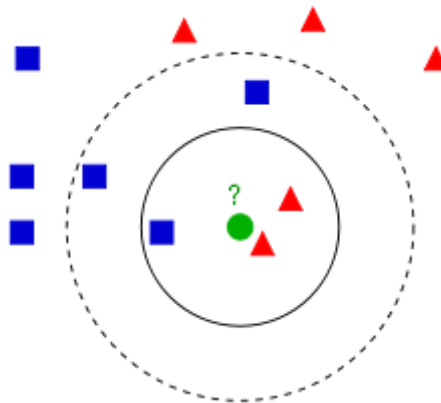


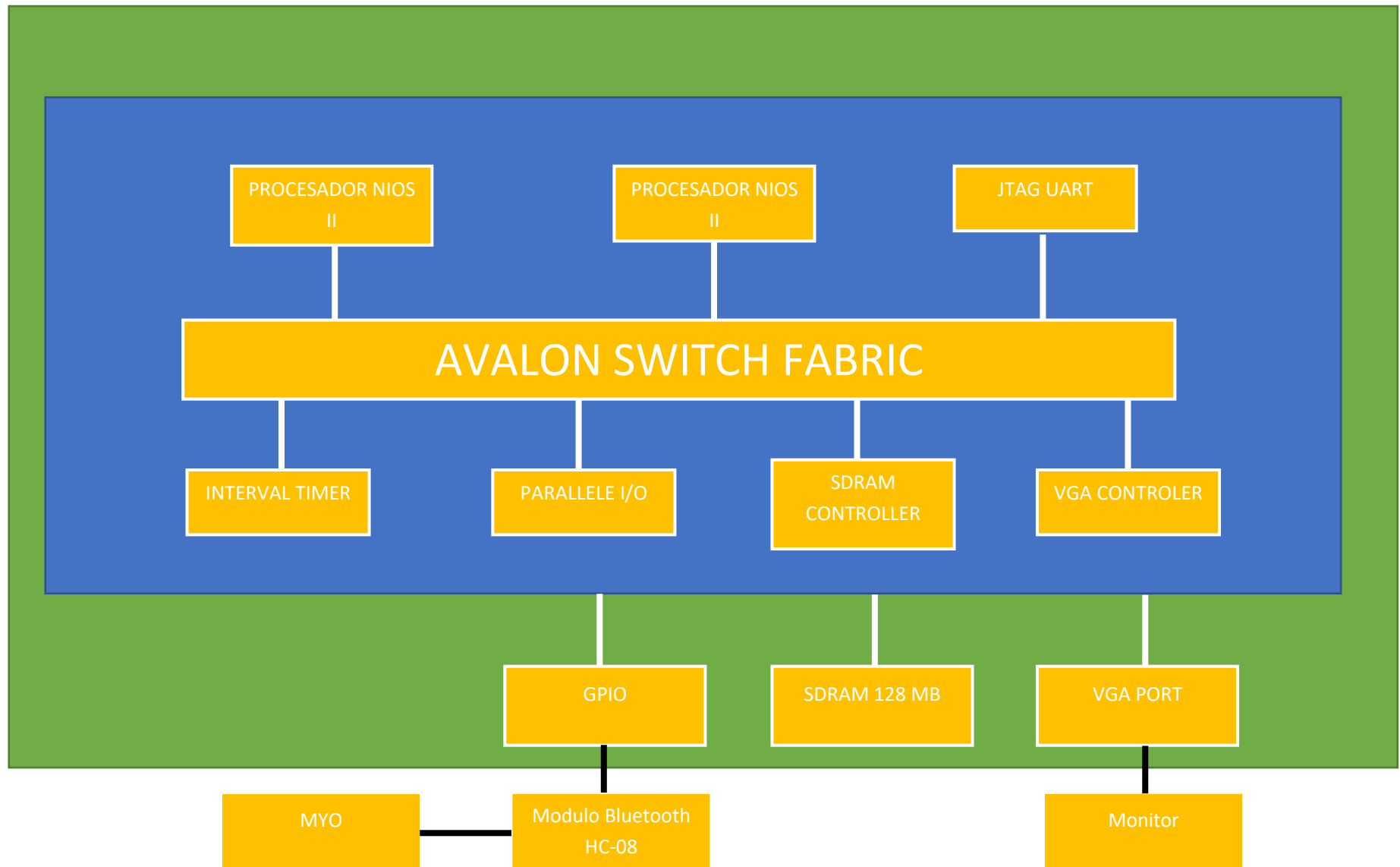
ILUSTRACIÓN 4 EJEMPLO DE KNN, PARA  $K = 3$  EL RESULTADO DE PREDICCIÓN SERÁ QUE EL ELEMENTO PERTENECE A LA CLASE TRIANGULO

## Implementación en DE-10

Para implementar en la DE-10 Standard se usará el módulo HC-08 de Bluetooth 4.0 BLE, el dispositivo MYO y una salida VGA.

El módulo HC-08 se conectará a través de los puertos UART de la FPGA. Por la salida de VGA se planea mostrar la letra que haga match con el algoritmo entrenado. Se usará código en C++.

Dado a los requerimientos del proyecto de usar dos procesadores se usará uno para la muestra por VGA del resultado y otro para el proceso de captura en tiempo real de la señal para su posterior clasificación.



El procesador **Nios® II**, el procesador más versátil del mundo, según Gartner Research, es el procesador blando más utilizado en la industria de FPGA. El procesador Nios II brinda una flexibilidad sin precedentes para sus necesidades de procesamiento de aplicaciones sensibles a los costos, en tiempo real, críticas para la seguridad (DO-254) y ASIC. El procesador Nios II es compatible con todas las familias Intel® FPGA y SoC.

El **JTAG-UART** Comunica transmisiones de caracteres en serie entre una PC host y un sistema SOPC Builder utilizando el circuito JTAG integrado en los FPGA de Altera.

El núcleo **Interval Timer** con interfaz Avalon® es un temporizador de intervalo para sistemas de procesador basados en Avalon®, como un sistema de procesador Nios® II. El núcleo proporciona las siguientes características:

- Contadores de 32 bits y 64 bits.
- Controles para iniciar, detener y restablecer el temporizador.
- Dos modos de conteo: cuenta regresiva una vez y cuenta regresiva continua.
- Registro del período de cuenta regresiva.
- Opción para habilitar o deshabilitar la solicitud de interrupción (IRQ) cuando el temporizador llega a cero

El núcleo del controlador **SDRAM** con interfaz Avalon® proporciona una interfaz Avalon Memory-Mapped (Avalon-MM) para SDRAM fuera del chip. El controlador SDRAM permite a los diseñadores crear sistemas personalizados en un dispositivo Altera® que se conecta fácilmente a los chips SDRAM.

Hay varios **puertos paralelos I/O** implementados en el FPGA que admiten transferencias de datos de entrada, salida y bidireccionales entre el procesador Nios II y los periféricos de E / S. Como se ilustra en la Figura 2, a cada puerto paralelo se le asigna una dirección base y contiene hasta cuatro registros de 32 bits. Los puertos que tienen capacidad de salida incluyen un dato grabable registrarse, y los puertos con capacidad de entrada tienen un registro de datos legible. Los puertos paralelos bidireccionales también incluyen un registro de dirección que tiene el mismo ancho de bit que el registro de datos. Cada bit en el registro de datos puede configurarse como una entrada configurando el bit correspondiente en el registro de dirección en 0, o como una salida estableciendo esta posición de bit en 1. Al registro de dirección se le asigna la dirección Base + 4.