

NYCU-ECE DCS-2024

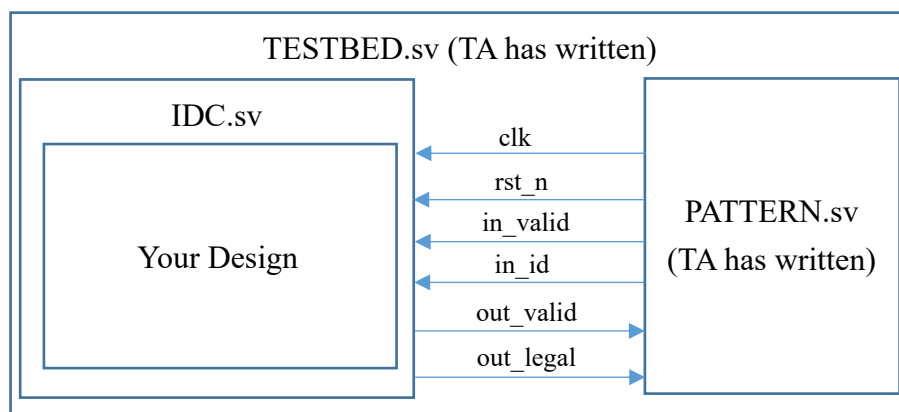
HW02

Design: Identification Number Check

資料準備

- 從 TA 目錄資料夾解壓縮:
`% tar -xvf ~dcsTA01/HW02.tar`
- 解壓縮資料夾 HW02 包含以下:
 - 00_TESTBED/
 - 01_RTL/
 - 02_SYN/
 - 03_GATE/
 - 09_UPLOAD/


Block Diagram





設計描述

身份證字號可以用來辨別公民的身份，而這串英文及數字當中是有一定的規則，以台灣為例，身份證字號第一碼的英文代表縣市，第二碼代表性別，第三至第九碼為流水編號，第十碼為驗證碼。

不改身分證字號 一條龍先生親揭理由

 三立新聞網
2020年7月10日 · 2分鐘 (閱讀時間)

 生活中心 / 鍾惠宇報導

 住在新北市泰山區63歲的謝條根，因為身分證字號為「A123456789」讓他被暱稱為「一條龍」先生，儘管好念、好記也十分特別，但長年來卻帶給他不少困擾，除了險些淪為罪犯，近20年冤跑警局、地檢署上百次，差點鬧到家庭革命，甚至還因此信用破產。現在新北市府民政局表示，可讓他變更身分證字號，不過謝條根卻婉拒市府美意。

本次作業需要請同學設計一個驗證身份證字號是否合理的電路，pattern會將身份證字號的10碼依序給入，其中測資的限制如下：

第1個字元代表地區，如下表

A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z
10	11	12	13	14	15	16	17	34	18	19	20	21	22	35	23	24	25	26	27	28	29	32	30	31	33

(pattern會在每筆測資的第1個cycle直接輸入數字，比如A就會直接輸入10)

第2個字元為性別，測資僅會有1和2 (在每筆測資的第2個cycle輸入)

第3到第9個字元為流水編號，可能為0 ~ 9 (在每筆測資的第3~9個cycle輸入)

第10個字元為檢查碼，可能為0 ~ 9 (在每筆測資的第10個cycle輸入)

而design最後須在pattern給出第10個字元後的100個cycles內輸出這筆身份證字號是否合理，詳細的驗證規則如下，以A123456789為例：

Step1: 將第1個字元拆成十位數及個位數，若為A則拆為1, 0，並將每個對應的數字乘上權重，權重如下：

	A										檢查號碼
	1	0	1	2	3	4	5	6	7	8	9
權重	x1	x9	x8	x7	x6	x5	x4	x3	x2	x1	

Step2: 將乘上權重後的結果相加

$$\begin{array}{r}
 1 \times 1 = 1 \\
 0 \times 9 = 0 \\
 1 \times 8 = 8 \\
 2 \times 7 = 14 \\
 3 \times 6 = 18 \\
 4 \times 5 = 20 \\
 5 \times 4 = 20 \\
 6 \times 3 = 18 \\
 7 \times 2 = 14 \\
 +) 8 \times 1 = 8 \\
 \hline
 121
 \end{array}$$

Step3: 相加後的數除以10並取餘數

$$121 / 10 = 12 \dots 1$$

Step4: 由除數10減去餘數得到檢查碼，若餘數為0，則檢查碼為0

$$10 - 1 = 9$$

Step5: 若算出的檢查碼與pattern給出的檢查碼一致，則out_legal_id輸出1，若不一致則out_legal_id輸出0；在這個例子中與pattern所給的檢查號碼相同，因此out_legal_id輸出1

規則可參考: <https://web.fg.tp.edu.tw/~anny/idtest.htm>

Inputs

Signal name	Number of bit	Description
clk	1	4ns clock signal
rst_n	1	Asynchronous negedge reset signal
in_valid	1	Pull high during digit input
in_id	6	Random locality(10~35) and digit(0~9) input

Outputs

Signal name	Number of bit	Description
out_valid	1	Pulled high during out_legal_id output (reset required)
out_legal_id	1	Legality of the Identification number 1 for legal ID and 0 for illegal ID (reset required)

Specifications

1. Top module name: **IDC**(File name : **IDC.sv**)
2. 在非同步負準位 reset 後，所有的 output 訊號必須全部歸零。
3. Output 要在 Input 結束後的 100 cycles 內輸出。
4. Output 僅能輸出 1 cycle，不能多不能少。
5. 下一筆 input 會在 out_valid pull down 後 1~4 個 cycle 送入
6. 02_SYN result 不行有 **error** 且不能有任何 **latch**。
7. Timing report 的 slack 必須為 non-negative 且 result 為 **Met**。
8. Gate level simulation 不能有 timing violation。
9. Clock period 4 ns。
10. Input delay = 0.5 * clock period; Output delay = 0.5 * clock period
11. 設計必須確實完成題目功能，請勿針對題目 **test pattern** 特定內容做設計，比如判斷是第 n 個 pattern 就直接設定輸出結果等，如有這種情形則 demo 結果會判定為 fail。

12. 請勿使用 `*error*`, `*latch*`, `*congratulation*` or `*fail*` 當作 logic / wire / reg / submodule / parameter 的名稱，否則 demo 結果會是 fail

Note: *代表在該 word 前後的任何符號，比如: `error_test` 即為禁止的。

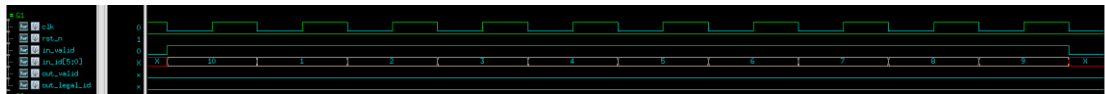
13. Design 當中請勿使用 `for` 迴圈來撰寫。

Example waveform

Reset all output after asynchronous and active-low reset signal



10 cycles for input ID digits in each pattern



Output result in each pattern



上傳檔案

1. Code使用09_upload上傳。
2. report_dcsxx.pdf, xx is your server account. 上傳至new E3。
3. demo 1 請在 4/4 23:59之前上傳，demo 2請在4/11 23:59之前上傳。
4. report請在4/11 23:59之前上傳。

Grading policy

1. Pass the RTL& Synthesis simulation: 70%
2. performance: 25%
Ranking formula: (total latency + number of patterns) * area
4. Report: 5%

Note

Template folders and reference commands:

1. 01_RTL/ (RTL simulation) → `./01_run`
2. 02_SYN/ (synthesis) → `./01_run_dc`
3. 03_GATE/ (gate-level simulation) → `./01_run`
4. 09_UPLOAD/ (upload) → `./01_upload`

報告請簡單且重點撰寫，不超過兩頁A4，並包括以下內容

1. 描述你的設計方法，包含但不限於如何加速(減少critical path)或降低面積。
2. 基於以上，畫出你的架構圖(Block diagram)
3. 心得報告，不侷限於此次作業，對於作業或上課內容都可以寫下。
4. 遇到的困難與如何解決。