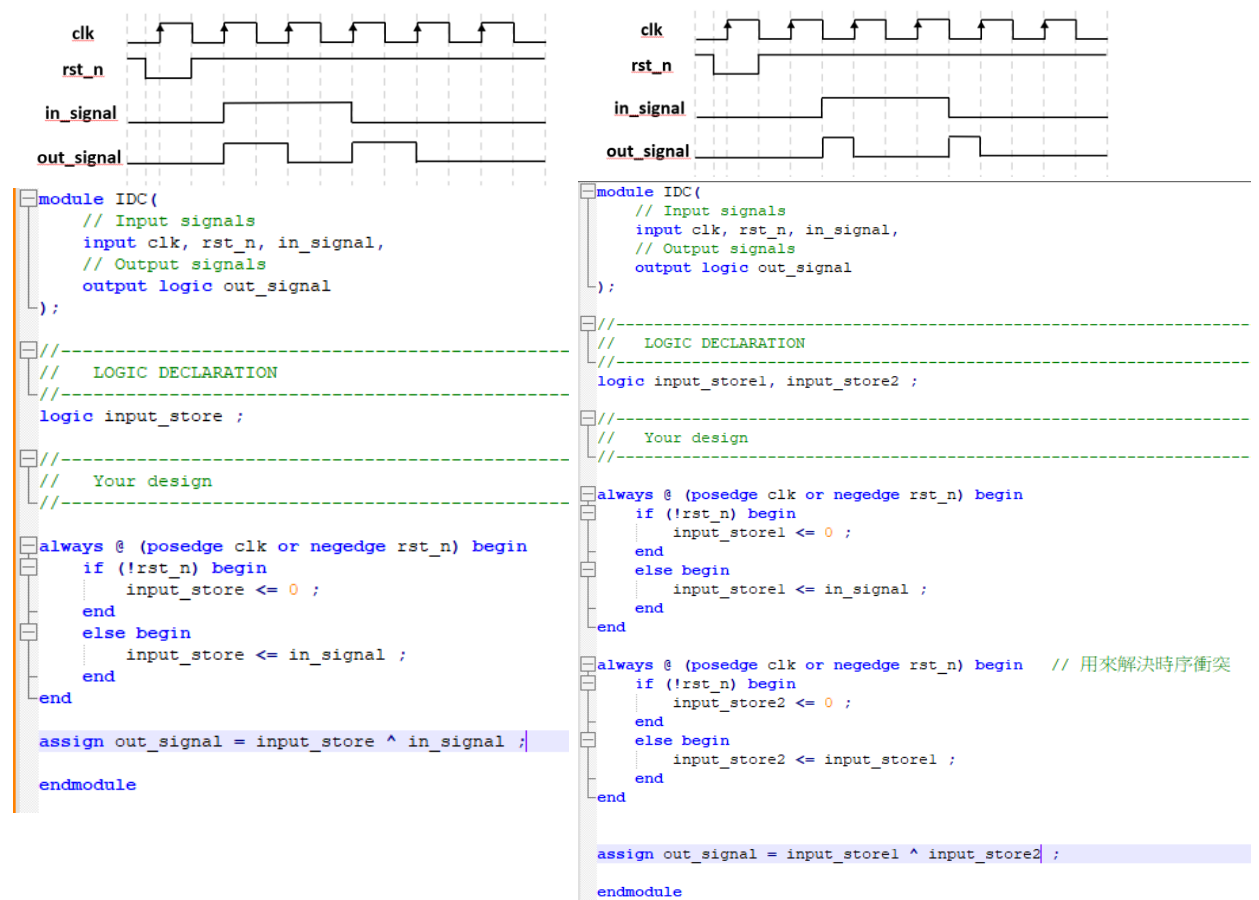


1. Please write the RTL code whose simulation waveform is shown below, output signal output a pulse when input signal changes (12%)



考慮到時序衝突的問題，只有打出符合以下其中一個標準的 code，即可拿滿分

- (1) input 在 posedge 給可以跑出正確 out_signal 波型
- (2) input 在 negedge 給可以跑出正確 out_signal 波型
- (3) TA 手推波型可以推出正確波型 (時序衝突問題這邊會忽略)

(code 有符合上述 3 個條件其中一個即可拿到 12 分)

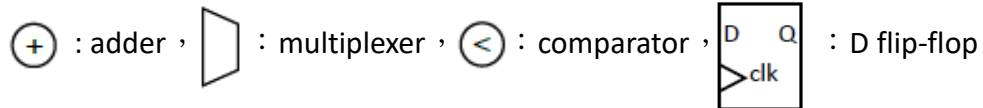
(code 只在有限範圍內正確 (用 counter 去數)，6 分)

(code 無法跑出正確模擬波型 0 分)

2. For (a) and (b), please draw the block diagrams of the following two circuits using the symbols of adders, multiplexers, comparators, and D flip-flops.

※ comparator, multiplexer 之訊號順序請標示清楚。

※所有訊號不論 multi-bit bus 或 1-bit signal 都用一條線表示即可。



(a) always_ff @ (posedge clk, negedge rst_n) begin (12%)

```

    if (~rst_n)    a <= 0;
    else          a <= a + in_reg;
  
```

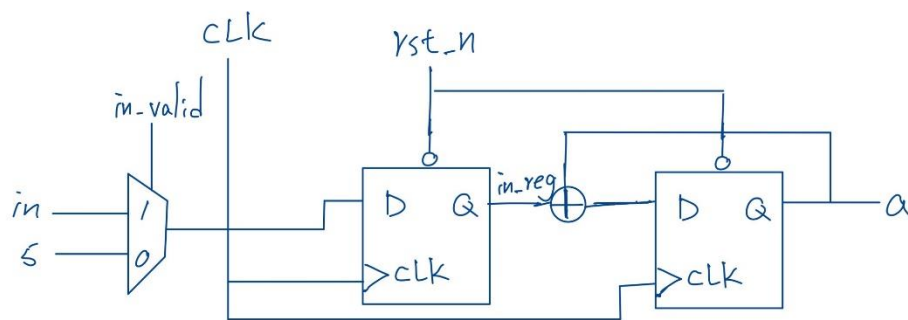
end

always_ff @ (posedge clk, negedge rst_n) begin

```

    if (~rst_n)      in_reg <= 0;
    else if (in_valid) in_reg <= in;
    else            in_reg <= 5;
  
```

end



評分標準:

1. 訊號名稱沒有標示和 Block 沒有標示清楚等一處扣 1 分
2. rst_n 另外使用 mux 連接扣 4 分
3. rst_n 沒有 0 代表 negedge reset 一處扣 1 分
4. 少一個 FF 扣 6 分
5. 多餘的 block 依情況斟酌扣分

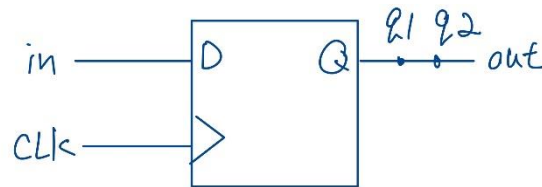
(b) always_ff @ (posedge clk) begin (12%)

q1 = in;

q2 = q1;

out = q2;

end



評分標準:

1. 畫出兩個以上 FF 得 0 分
2. 標示不清楚一處扣 1 分
3. q1 q2 標錯位置扣 1 分

3. A timing report after running 02_SYN is shown below. Please answer the following questions. (16%)

(a) What is critical path? Where is the critical path in the design?

Design 裡面 delay 最長的 combinational path

(input -> output / input -> DFF / DFF -> output / DFF -> DFF)

(有寫到 delay 最長就給全對)

in_id[0] -> weight_reg_8 / input external delay -> weight_reg_8

in_id[0] -> DFFRX4

(只要有寫到上面的排列組合其中一組，就給分)

(b) What's the problem in the design? And how to fix the problem?

Slack is negative / timing violation / arrival time > required time.....

(只要有寫到上面的其中一個，就給分)

改演算法，減少單一 cycle 內的運算 / 切 pipeline / 用 register 把 input

存起來，去掉 input external delay / 提高 clock cycle time / 降低 clock rate

(只要有寫到上面的其中一個，就給分)

4. Answer: A (5 分)

5. 一個 bug 5 分，答案有小瑕疵或描述不清者部份給分

Answer:

16 rst_n 的 if 判斷必須獨立，in_valid 須另外分開

23, 30 data2 multiple driver

27 assign 不可使用 <=

31 combinational loop (寫 latch 也可)

32 input 未經 ff 直通 output，半個 clock cycle 的 input external delay 和半個 clock cycle 的 output external delay 使合成必定 negative slack

34~45 combinational block case 條件沒用 default 補滿，產生 latch

以下為常見錯誤:

16 寫"&改成&&"不給分，因為&和&&僅為邏輯差異

16 "從 invalid 邏輯說明無法觸發 reset 的情境"不給分，因為 02_SYN 會直接失敗

16 只寫"reset failed"描述不清

22 寫"data1=data1+1"不給分，sequential 電路不會 combinational loop

23 寫"data2 沒 reset"不給分，因為 ff 沒 reset 不會造成 01_RTL 02_SYN 錯誤

23 寫"data2 有 latch"不給分，sequential 電路條件式不一定要補滿

27 寫"combinational block 不可使用 <="部份給分，因為 always_comb 內是可以 non-blocking 的

32 寫"in_valid 要括號"不給分

34~45 不需要 begin end，因為所有 case 和 if else 都只有單行或連貫的 code

6.

每個訊號 3 分，訊號全對才給分。

有部分同學在 reset 時有錯，會在 clock 的第 1 個 positive edge 就更新值，但此時 rst_n 仍然為 0，仍在 reset 狀態，進入 always_ff 的 block 時會進入 if(!rst_n) 的條件裡，因此 c、d、f 在 clock 第 1 個 positive edge 後的值仍會是 0，e 是 1

Answer

