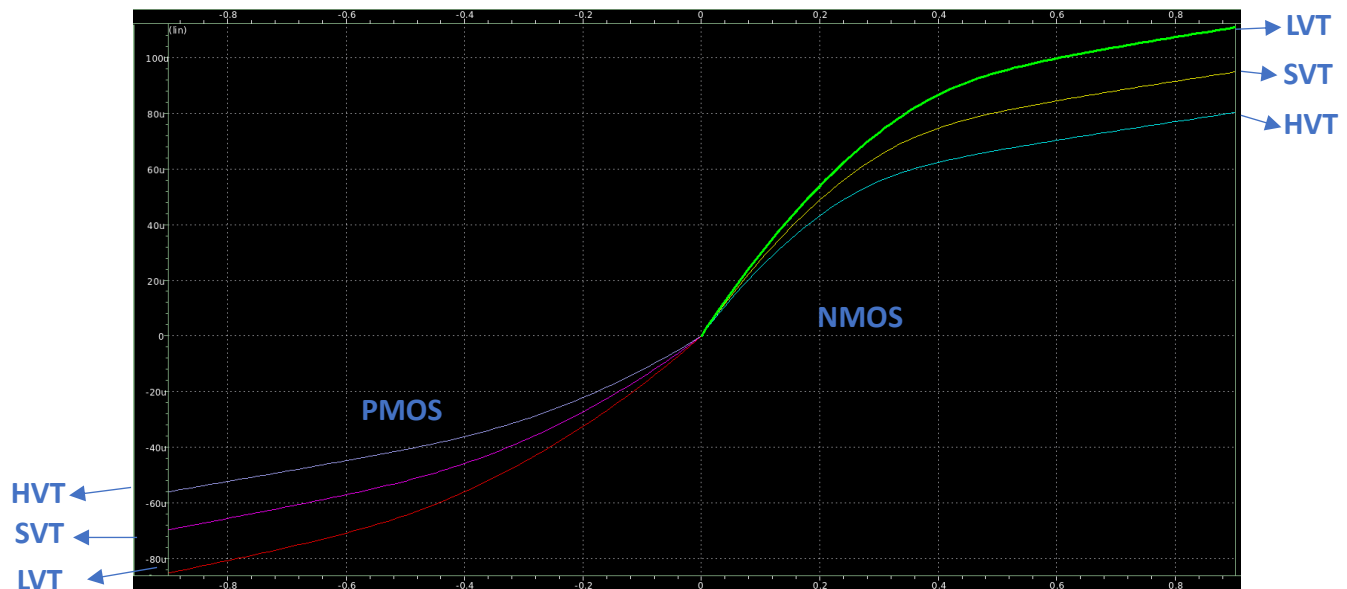


2024 Digital Intergrated Circuits HW1

Given $V_{DD}=0.9V$, $W_{min}=64nm$, $L_{min}=32nm$ with resolution of $1nm$; there are three kinds of V_t : High V_t , Medium V_t and Low V_t CMOS

(1) MOS and Inverter with medium threshold voltages

A. Run SPICE to draw the I-V DC curves for PMOS and NMOS with minimum feature size using High V_t , Medium V_t , and Low V_t respectively.



我們知道 NMOS Current 會與 $(V_{GS} - V_T)$ 成正比，因此當 voltage threshold 變高時電流會下降，PMOS 反之亦然。 $(V_{GS}$ Fixed)

B. Keep L equals to L_{min} , design the W of each transistor using medium V_t such that the logic threshold of inverter is at $0.5V_{DD}$. Discuss your design procedures and the way you choose your MOS dimensions. Run SPICE to verify your results. (6%)

Method 1 Optimization

```
.param wp = opt1(128n, 64n, 300n, 1n)
.param wn = opt1(64n, 64n, 300n, 1n)
```

```
model optX opt itropt = 100

dc vin 0 xvdd 0.01 sweep optimize=opt1 results=Vth model=optX

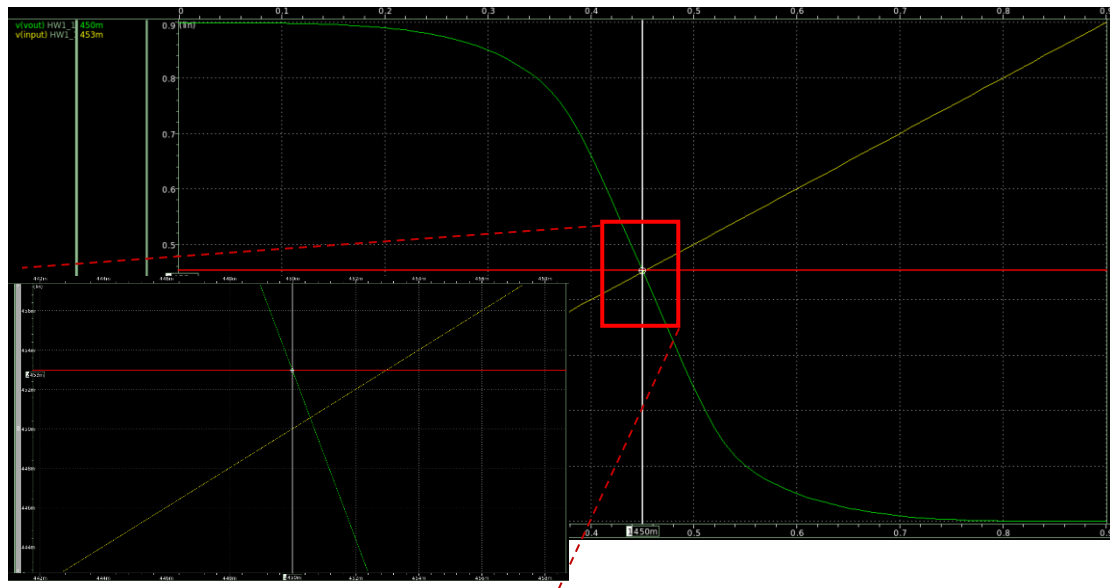
MEASURE dc Vth find v(vout)WHEN V(input)=0.45 goal = 0.45
```

使用了 optimization 來自動調整 PMOS 和 NMOS 的寬度，以達到某個目標值。使得當 $v_{in} = 0.45V$ 時，輸出的電壓 v_{out} 能夠達到設置的門檻值 $0.45V$ 。

```
**** optimized parameters opt1
*
.param wp = 123.0000n    $
.param wn = 68.0000n    $
****
*****
```

最後收斂在 w_p 為 $123nm$ 、 w_n 為 $68nm$ 。

下圖為 waveview 的跑出來的波形圖，已經十分接近了， v_{out} 為 $0.453v$ 。



我們可以來看看 tableview 所對應出來的數值。

Signal -> v(vout)	
X-axis	Value
420m	580m
430m	538m
440m	496m
450m	453m
460m	410m
470m	367m
480m	325m
490m	283m
0.5	242m

Method 2 Sweep Wp

```
.param wn = 66n
.param cycle = 1n
.param simtime = 5n

*****
**      Circuit description      **
*****

.subckt inv in out vdd vss
m1 out in vdd vdd pmos_svt w=wp l=32n
m2 out in vss vss nmos_svt w=wn l=32n
.ends
```

```
.dc vin 0 0.9 0.01 sweep wp 100n 150n 1n
.measure vout_at_vin_045 find v(output) when v(input)=0.45
.end
```

此方式我只固定其中一個的寬度 NMOS width(66nm)，利用 sweep 對 PMOS 的寬度進行掃描，從 100nm 到 150nm，每次遞增 1nm，這樣可以看到 PMOS 寬度變化對電路性能的影響。

可以從 HSPICE 的.lis 文件看到每個 wp 值對應的 vout 在 $v_{in} = 0.45V$ 的測量結果。(如下圖所示)

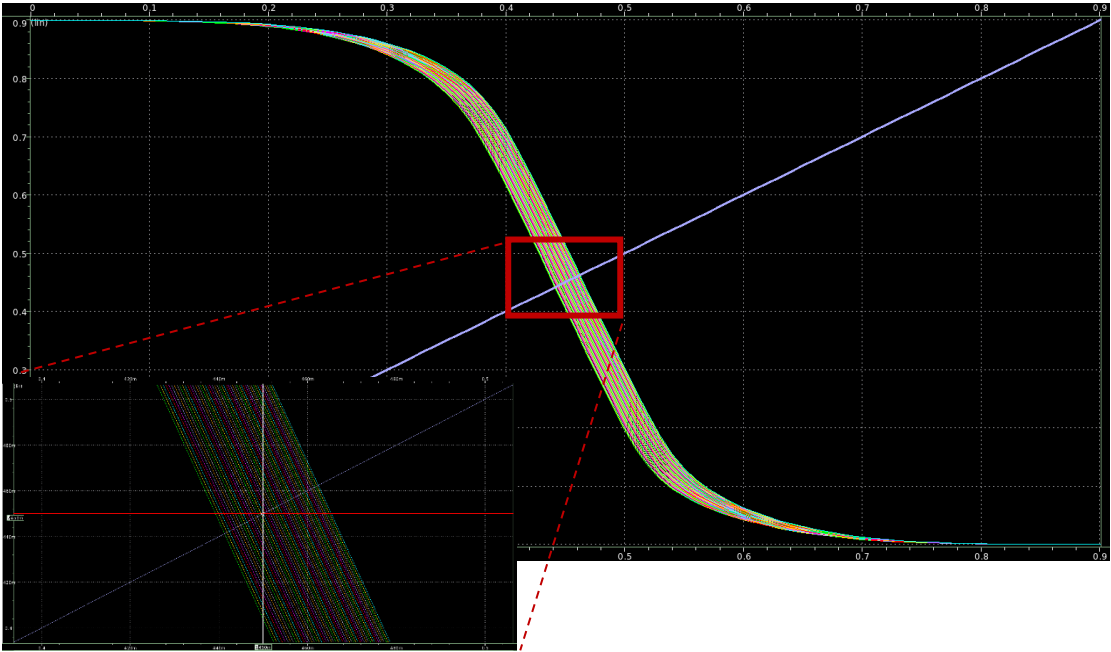
```
***** dc transfer curves tnom= 25.000 temp= 25.000 *****
*** parameter wp = 118.0000n ***

vout_at_vin_045= 450.0954m
*****
*****

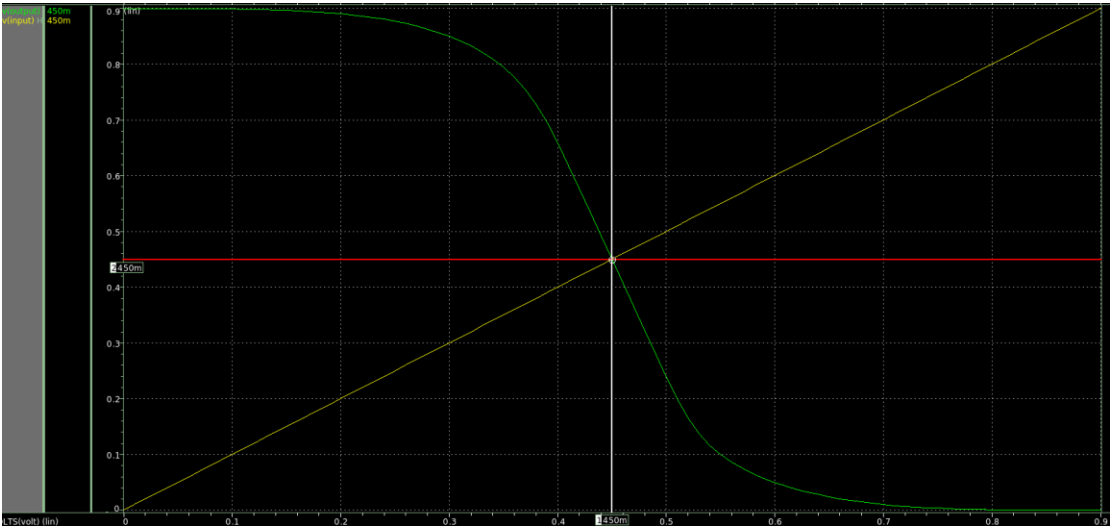
***** dc transfer curves tnom= 25.000 temp= 25.000 *****
*** parameter wp = 119.0000n ***

vout_at_vin_045= 452.4242m
*****
*****
```

下圖為對 PMOS 的寬度進行掃描的 I-V DC curves 。



因此我最後決定使用 $w_n=66\text{nm}$ 、 $w_p=118$ 為我的 MOS dimensions 。當 V_{in} 為 $0.5V_{DD}=0.45\text{v}$ 時， v_{out} 為 0.4509mv 。



waveview 1 × tableview 2 ×

<

Signal->v(output)

X-axis	Value
420m	577m
430m	535m
440m	493m
450m	450m
460m	407m
470m	365m

(2) Design a CMOS schmitt trigger shown at Fig. 1(b) such that $V^+ = 0.54-0.57V$ and $V^- = 0.36-0.33V$ with $C_T = V_{DD}$ (70%)

- A. Discuss the difference between Fig. 1(a) and (b). Give the W/L of each device (in table form) of Fig. 1(b) with $C_T = V_{DD}$ and discuss your design procedures to determine the size of each transistor using medium V_t . (30%)

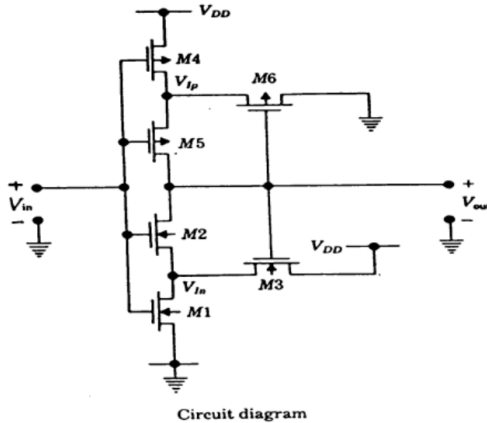


Fig.1 (a)

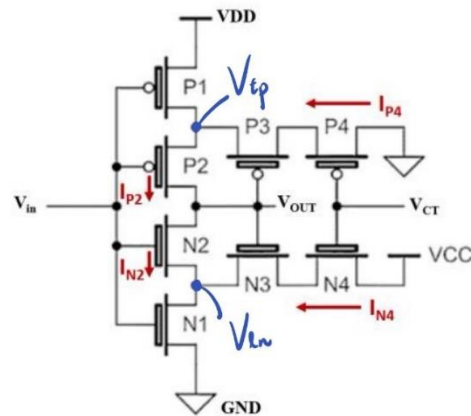


Fig. 1(b)

Difference between Fig. 1(a) and (b):

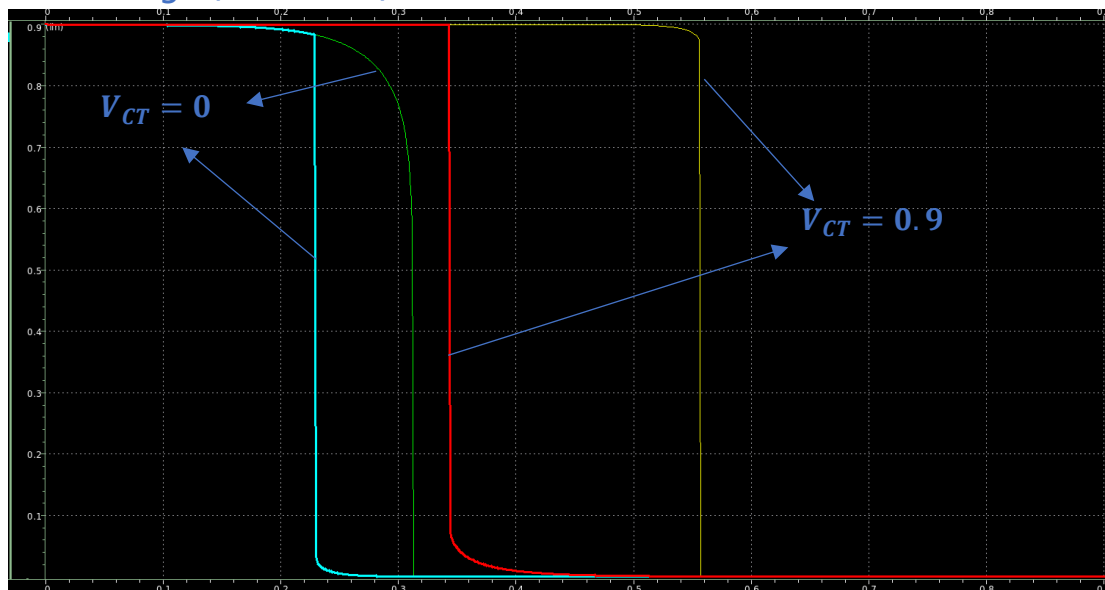
Schmitt Trigger Circuit 主要應用於將不穩定、噪聲信號轉換成乾淨的數位信號，有個寬裕的 Noise Margin 使得 input 的 ripple 不影響 output。它有兩個不同的觸發電壓，分別為上閾值 (Upper Threshold Voltage, V^+) 和下閾值 (Lower Threshold Voltage, V^-)。這意味著輸入信號需要超過上閾值才能切換輸出為 1，而需要低於下閾值才能切換輸出為 0。

Fig.1(a)製造出來後就沒辦法改變 V^+ 與 V^- 的範圍，而 Fig.1 (b)比 Fig.1(a)多了兩個 transistor 並接上 V_{CT} 來控制 V^+ 與 V^- 。

Switching point 是受到 P2 與 N2 的導通所影響，而 P2 與 N2 的導通會受 V_{in} 與 V_{tp} 的值所影響， V_{tp} 與 V_{tn} 會隨著 V_{CT} 增加跟著增加，減少也跟著減少(如下圖所示)。



而 V_{tp} 與 V_{tn} 跟著向上/下的過程中，就會使 Nmos 不易導通 & Pmos 易導通 / Nmos 易導通 & Pmos 不易導通，這就是為什麼可以使用 V_{CT} 來控制不同的 noise margin (如下圖所示)。



Design procedure:

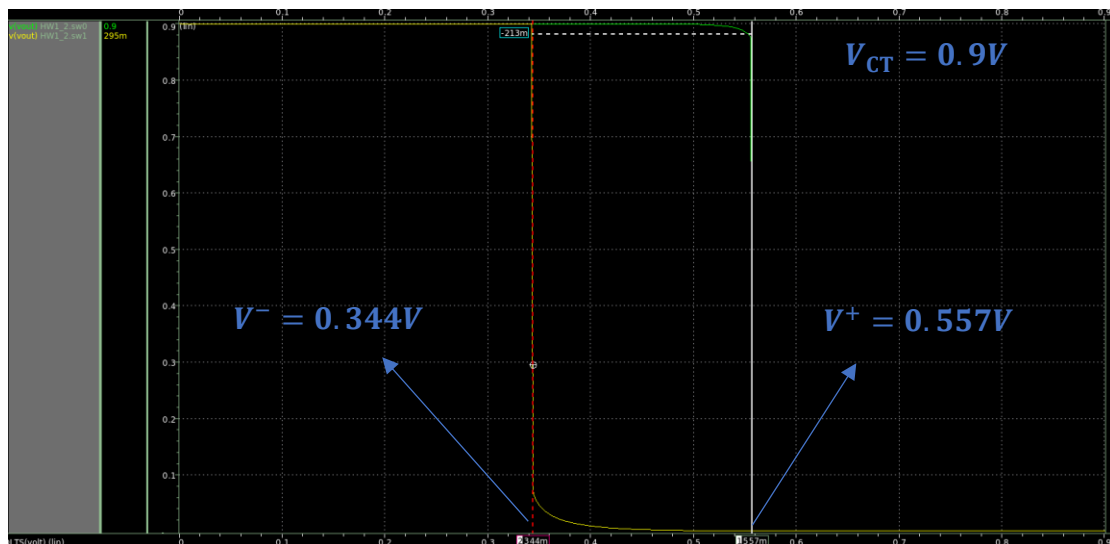
教授在上課的時候有說過，透過調整 β_1 與 β_3 的比例可以調出 V^+ 的位置，因此我將 N3, N4, P3, P4 的 width 調高使得通過它們的電流變大，並以最小尺寸 $w_{min} = 64mm$ 的基礎下開始調整。

首先發現全部為最小尺寸十，Noise Margin 會不夠寬，不符合題目要求的 spec。此外，將 N3, N4, P3, P4 的 width 調整過後發現 V^+ 可以調上去但是 V^- 調不下去，並發現 P3, P4 的 width 對於 noise margin 的拉開是沒有影響的。因此我開始往 Length 的方向去調整，我發現將調高 P1 的 Length 調高後，可以符合 SPEC，其他 Length 不動為我最後的尺寸。

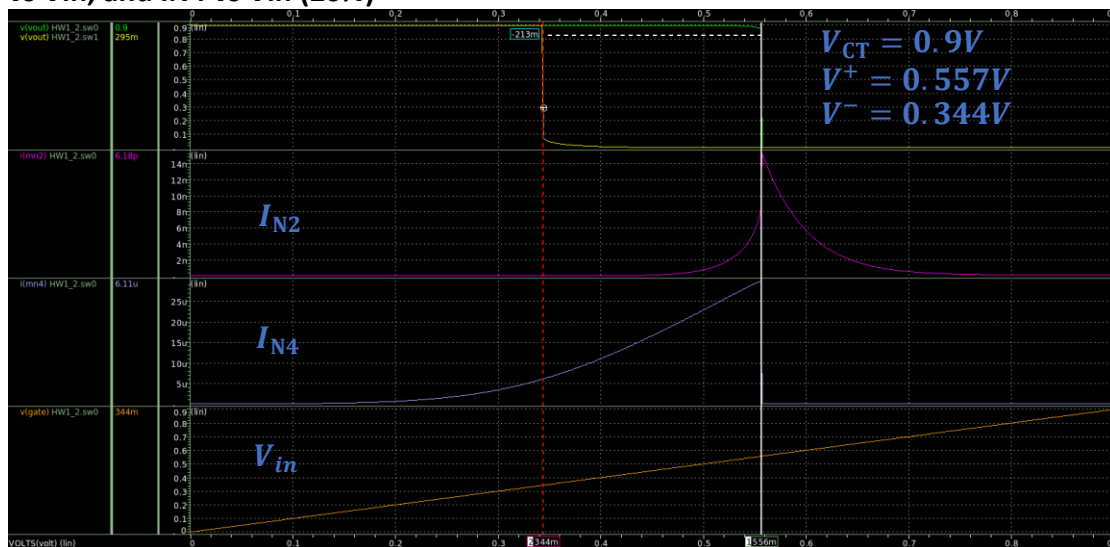
W/L of each device:

	N1	N2	N3	N4	P1	P2	P3	P4
w(mm)	128	64	768	768	64	128	256	256
L(nm)	64	64	64	64	384	64	64	64

V^+ 為 0.557V， V^- 為 0.344V (如下圖所示)， V_{CT} 為 0.9V 時。



B. Run SPICE to verify your results. Your report must have the figures of VTC, I_{N2} vs V_{in} , and I_{N4} vs V_{in} (20%)



C. Use the same size as in part A, and modify C_T to $0.8V_{DD}$. Repeat part B to have figures to indicate the new V_{and} and V_{+} (20%)

