clock		I	I			I		I
		-		-				
clear		-	-	-	-	-	-	-
i_CLR	l	-		-		-		+
enable		-		-		-		-
i_REN								
i_WEN								
entrada								
i_WDATA	00000001		00000010		00000011	<u> </u>	00000100	†
write		†	-	+		-		+
i_WADDR0				-	-	+	+	+
		-	-	-	-	-		
		-		-				
	l	-	-	-		-		_
i_RADDR3		-	-	-			-	
		+		-		-		_
saidas write}				-				
w_D0		+	-	-	-	-	-	-
		-		-	-	-		+
		+		-		+		-
w_D3		+	+	-	+	+		+
saidas read}		+		-				
w_D4				-				-
w_D5								
w_D6								
w_D7								
registradores		<u> </u>	<u> </u>		*	<u> </u>	*	†
w_Q1	00000000	00000001	-	-	-	-		
w_Q2	00000000	-	-	00000010	-	-		+
	00000000	-				00000011		-
	00000000	-	-	-				00000100
saida	00000000	-		-		-		00000100
	00000000	00000001	00000000	00000010	00000000	00000011	00000000	00000100
0_KDATA	00000000	0000001	0000000	00000010	0000000	00000011	00000000	00000100