



**FACULTAD
DE INGENIERIA**

Universidad de Buenos Aires

**Maestría en
Sistemas Embebidos**

**Sistemas Digitales
para las
Comunicaciones**

Arquitectura del sistema de comunicación

**Simulación e
implementación del sistema
completo**

Clase 3

Parte 0

Parte 1

Parte 2

Parte 3

Parte 4

Parte 5

Parte 6

Parte 3: Transceiver - Implementación.

- Transceiver:
 - Arquitectura del sistema (repaso).
 - TP: Implementación en FPGA.
 - TP: Validación por visualización de señales.
 - TP: Caracterización.
- Presentación de temas para TP Final:
 - Posibles temas propuestos por los docentes.
 - Posibles temas propuestos por los alumnos.
 - Discusión.

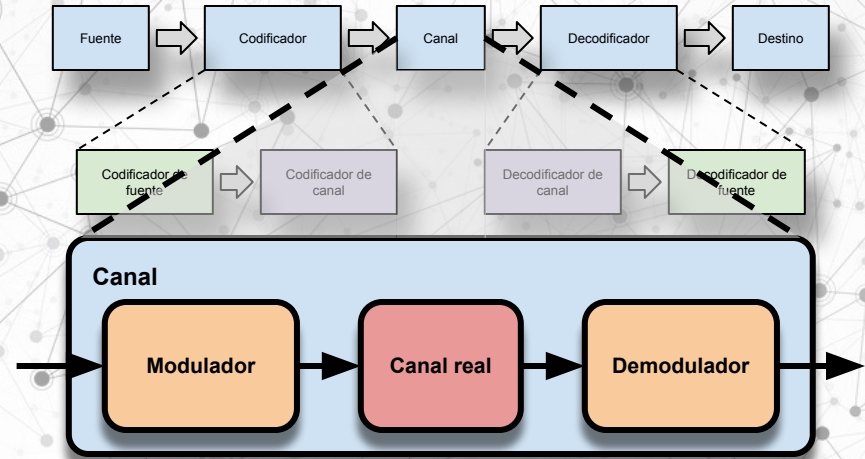
Arquitectura de sistema de comunicación:

- **Repaso:**

- Recordamos las características del sistema
- Diagrama en bloques simplificado

- **Ejercicios:**

- Simulación del sistema completo
- Implementación del sistema completo



Especificaciones de Modem

- Modulación: 2-PAM (banda base)
- Codificación de línea: No.
- Frecuencia de símbolo: 1 MHz
- Frecuencia de sampleo: 16 MHz
- Pulso:
 - Tipo: Root-raised-cosine.
 - Energía constate = 1.
- Tipo de transmisión: Asincrónica
 - Formato del preámbulo: Preámbulo de sincronización + SFD. Ambos de largo configurable.
 - Formato del payload: Largo configurable en múltiplos de 8 bits (1 byte)

Características de Trabajo Práctico Integrador (TPI)

Especificaciones del sistema

- GPIO:
 - Botón de reset
 - Led TX ready
 - Led RX overflow
- Conectividad:
 - UART: 115200 baudios para transmitir y recibir datos (Bytes).
- Interfaz con los módulos análogos:
 - Interfaz de stream (data, valid, ready for data) con módulo IF DAC
 - Interfaz de stream (data, valid, ready for data) con módulo IF ADC

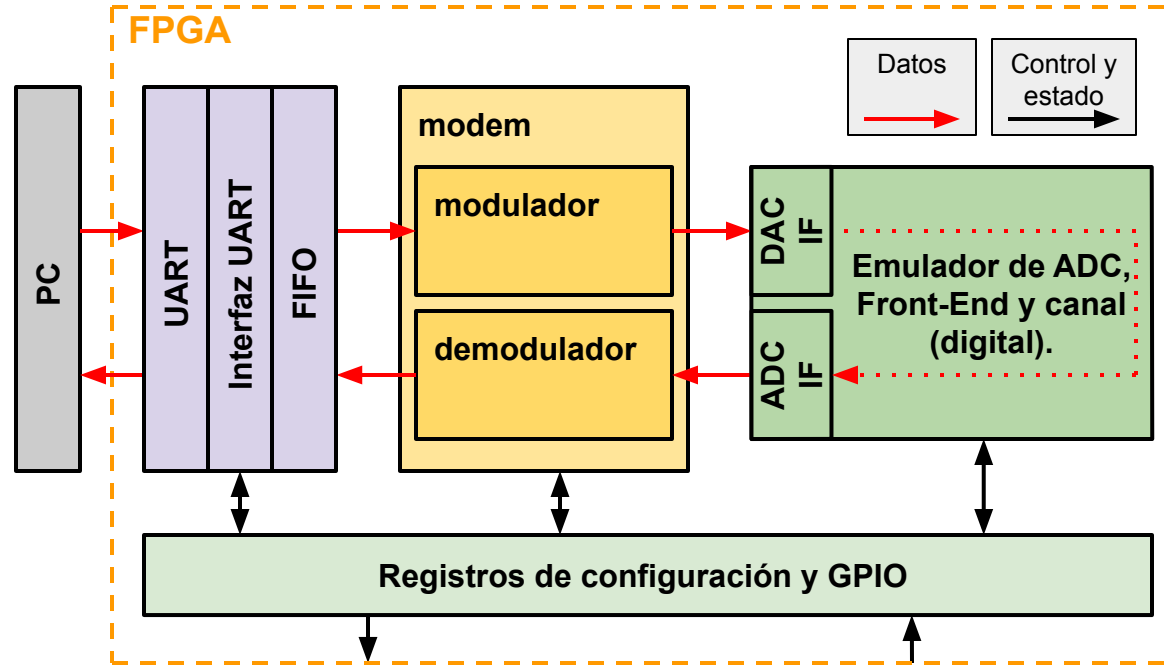
Características de Trabajo Práctico Integrador (TPI)

Especificaciones de la emulación del ADC, DAC, Front-End analógico y canal

- IF DAC:
 - Interfaz de stream con 10 bits de datos formato Q10.8
 - Indicación de underflow
- IF ADC:
 - Interfaz de stream con 10 bits de datos formato Q10.8
 - Indicación de overflow
- Canal:
 - Interfaces de DAC y ADC con clock común.
 - Respuesta en frecuencia: Implementada mediante FIR de largo configurable.
 - Ruido blanco aproximadamente Gaussiano con varianza configurable.

Arquitectura de sistema de comunicación

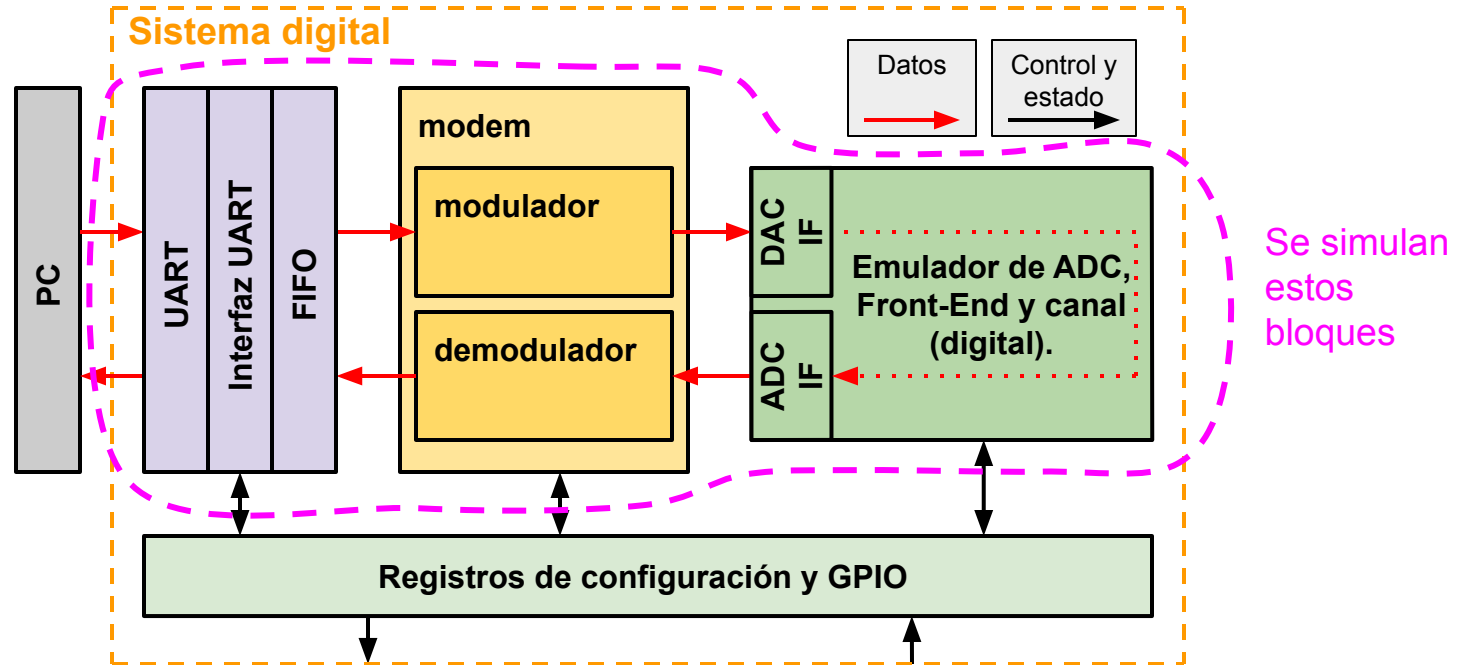
Arquitectura de alto nivel sistema simplificado (TPI)



Ejercicios

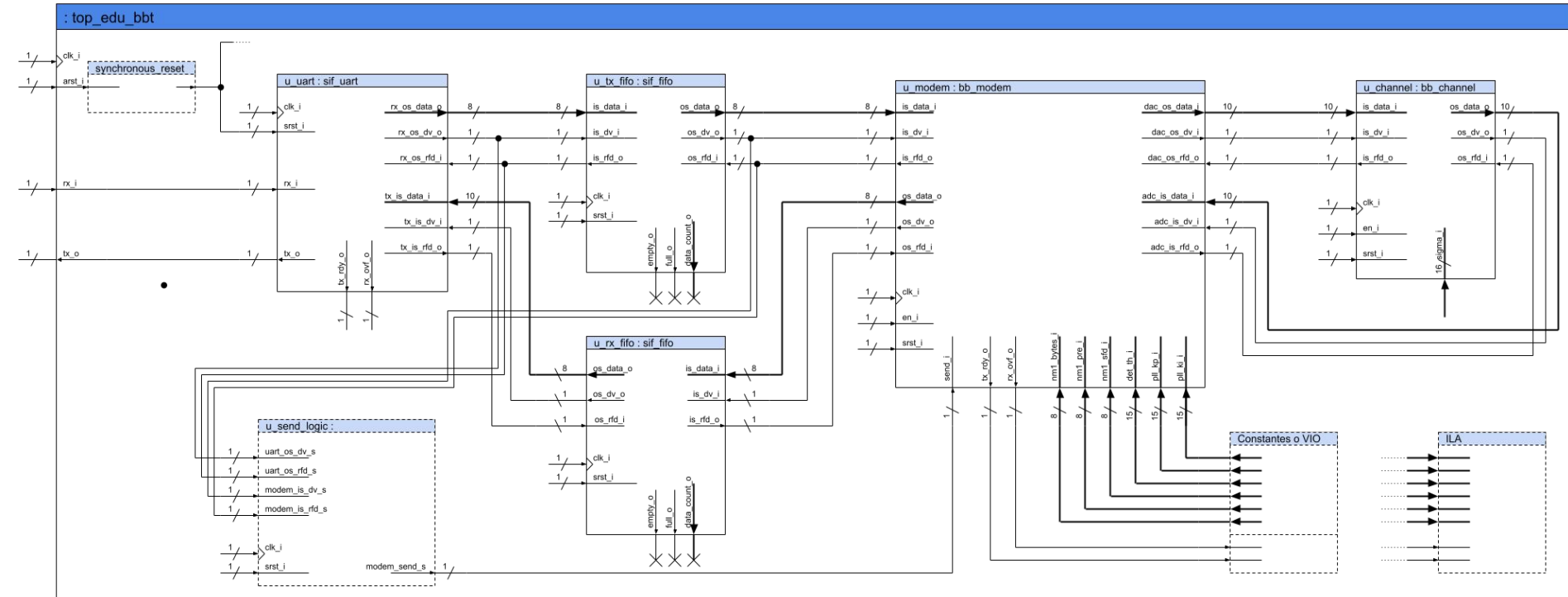
Ejercicio 10 - Simulación del sistema completo

Simulación HDL:



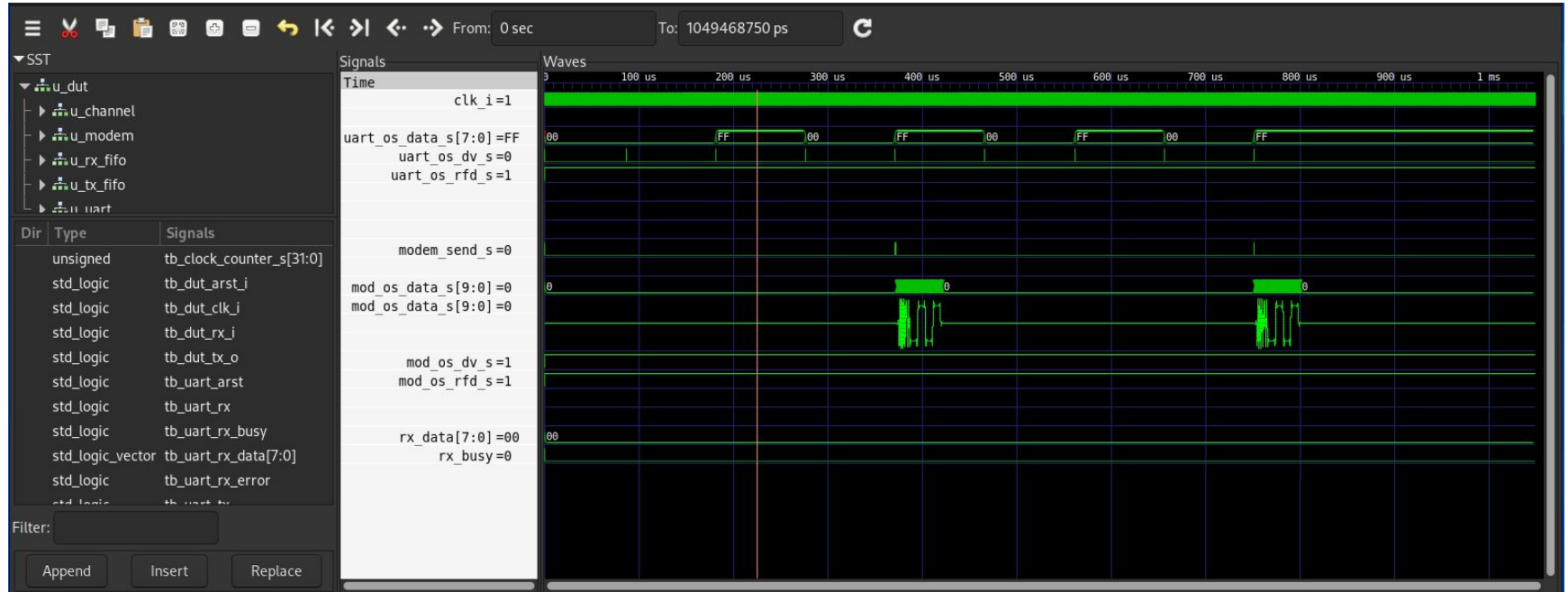
Ejercicios

Ejercicio 10 - Simulación del sistema completo - Diagrama en bloques



Ejercicio 10 - Simulación del sistema completo

Simulación HDL: Ejemplo

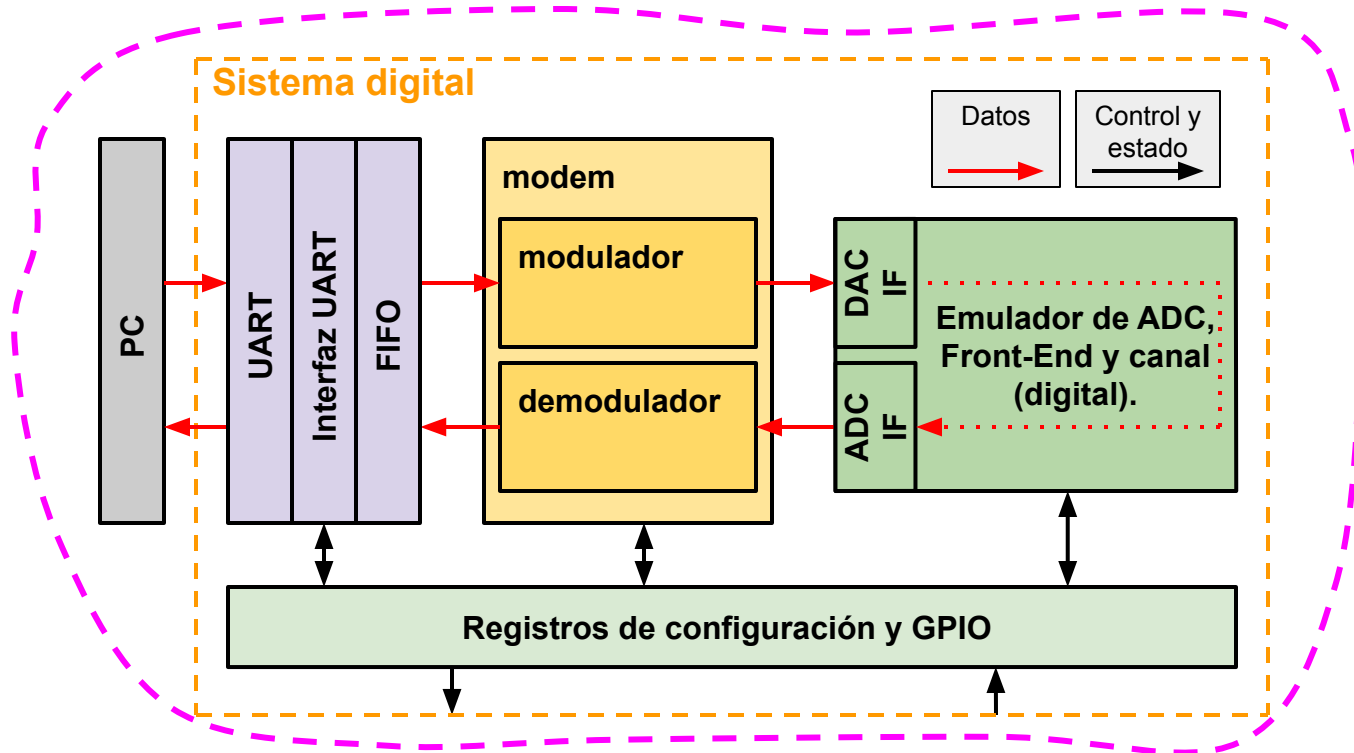


Ejercicios

Ejercicio 11 - Implementación del sistema completo

Implementación:

Finalmente se implementa
todo el sistema



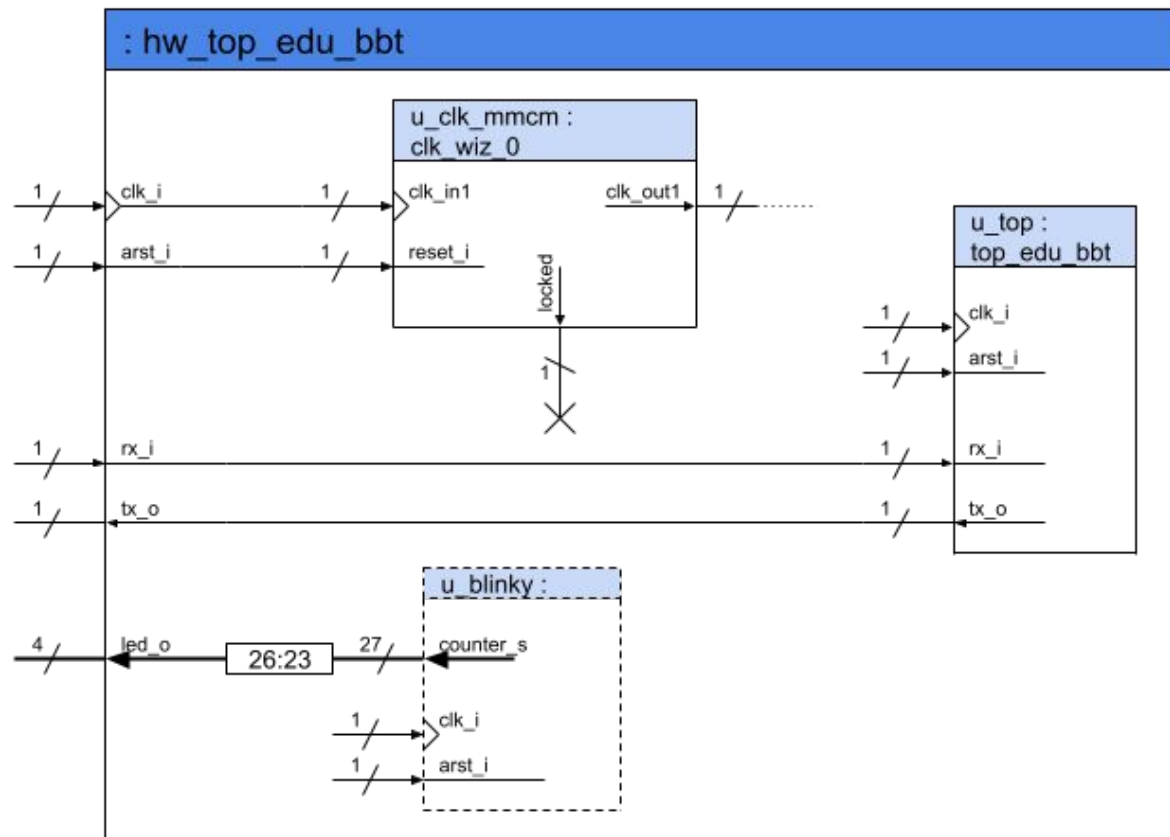
Ejercicio 11 - Implementación del sistema completo

Implementación:

- Módulo HW top: Se interactúa a través de UART y leds.
 - Bloque Mixed-Mode Clock Manager (MMCM): Para sintetizar reloj adecuado.
 - Bloque blinky: Como indicador de actividad de reloj.
 - Top del sistema completo: Además de los bloques vistos en el ejercicio 10 se deben instanciar dos bloques más:
 - Instancia de VIO: Son los registros de configuración del sistema.
 - Instancia de ILA: Para visualizar las señales internas de la FPGA.

Ejercicios

Ejercicio 11 - Implementación del sistema completo - Diagrama en bloques



Bibliografía:

- “*Digital Communication*”, John G. Proakis, Masoud Salehi, 5th edition.
- B. P. Lathi. 1998. “*Modern Digital and Analog Communication Systems 3e Osece*” (3rd. ed.). Oxford University Press, Inc., USA.
- Bernard Sklar. 1988. “*Digital communications: fundamentals and applications*”. Prentice-Hall, Inc., USA.
- John M. Cioffi. Libro Online: <https://cioffi-group.stanford.edu/doc/book/>



¿PREGUNTAS?



¡Gracias!