



**FACULTAD  
DE INGENIERIA**

Universidad de Buenos Aires

**Maestría en  
Sistemas Embebidos**

**Sistemas Digitales  
para las  
Comunicaciones**

# **Arquitectura del sistema de comunicación**

## **Presentación y simulación de los bloques del sistema**

**Parte 2**

Parte 0

Parte 1

**Parte 2**

Parte 3

Parte 4

Parte 5

Parte 6

## **Parte 2: Transceiver - Sistema, diagramas y simulación.**

- Presentación del transceiver:
  - Arquitectura del sistema de comunicación.
  - Características.
- Modulador:
  - Diagrama en bloques.
  - TP: Armado y simulación.
- + Canal:
  - Modelo y diagrama en bloques.
  - TP: Armado y simulación.
- + Demodulador:
  - Diagrama en bloques.
  - TP: Armado y simulación.

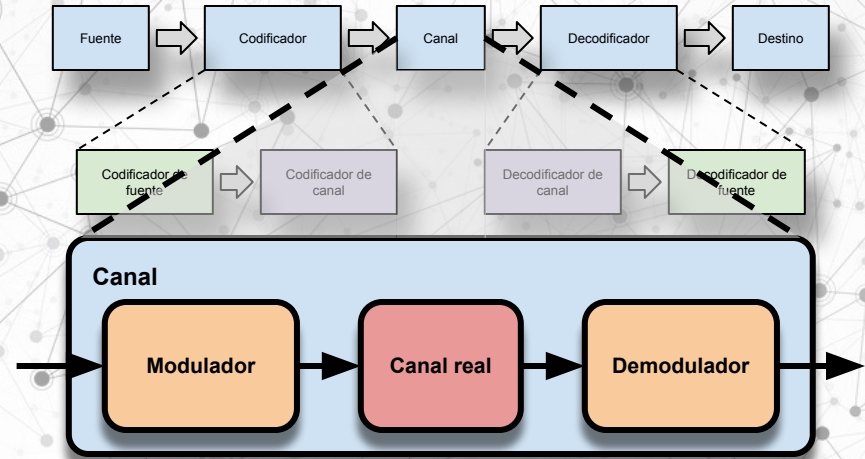
# Arquitectura de sistema de comunicación:

- **Comparación:**

- PAM (BB), ASK, PSK y APSK

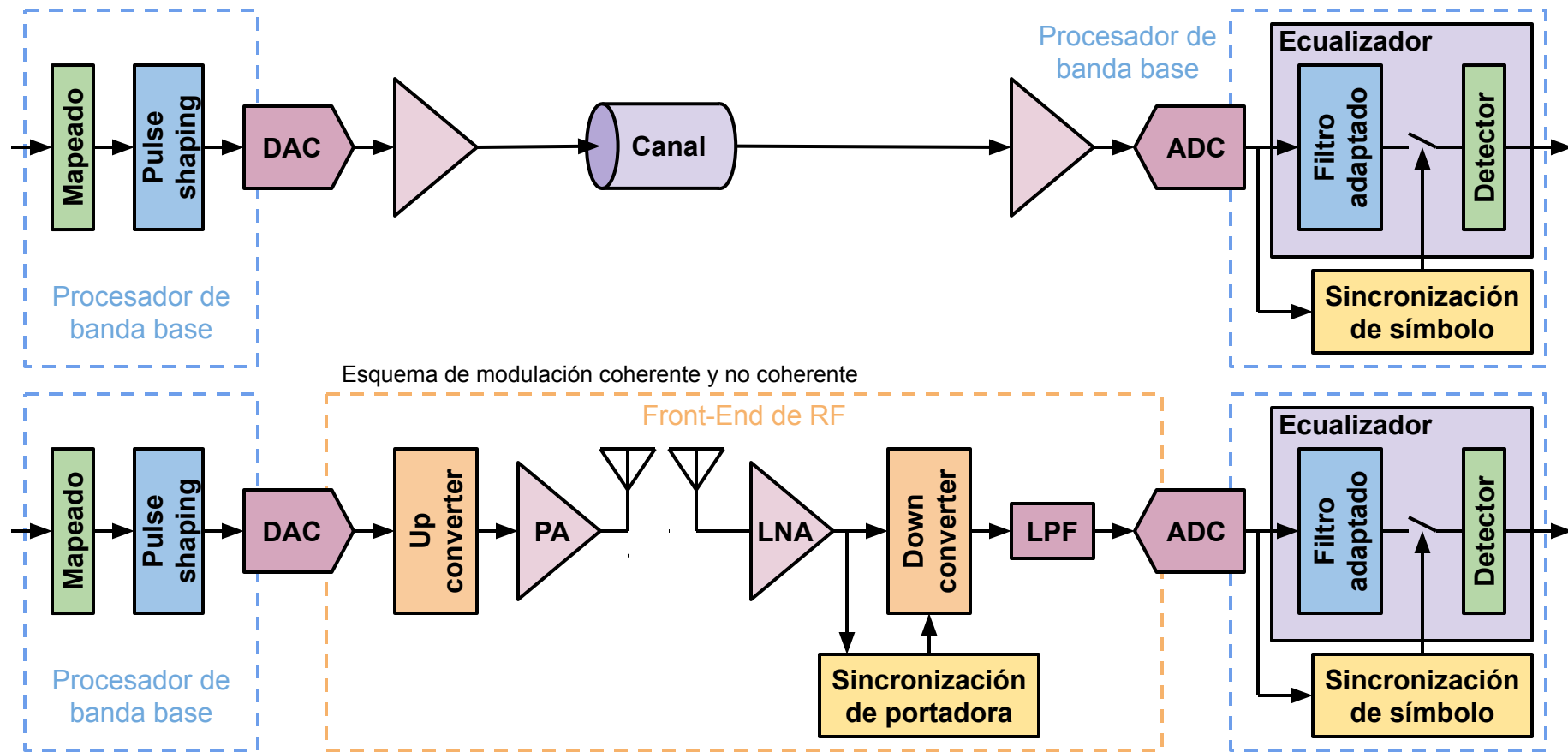
- **Sistema de comunicación**

- Diagrama en bloques completo
- Diagrama en bloques del sistema simplificado para TPI



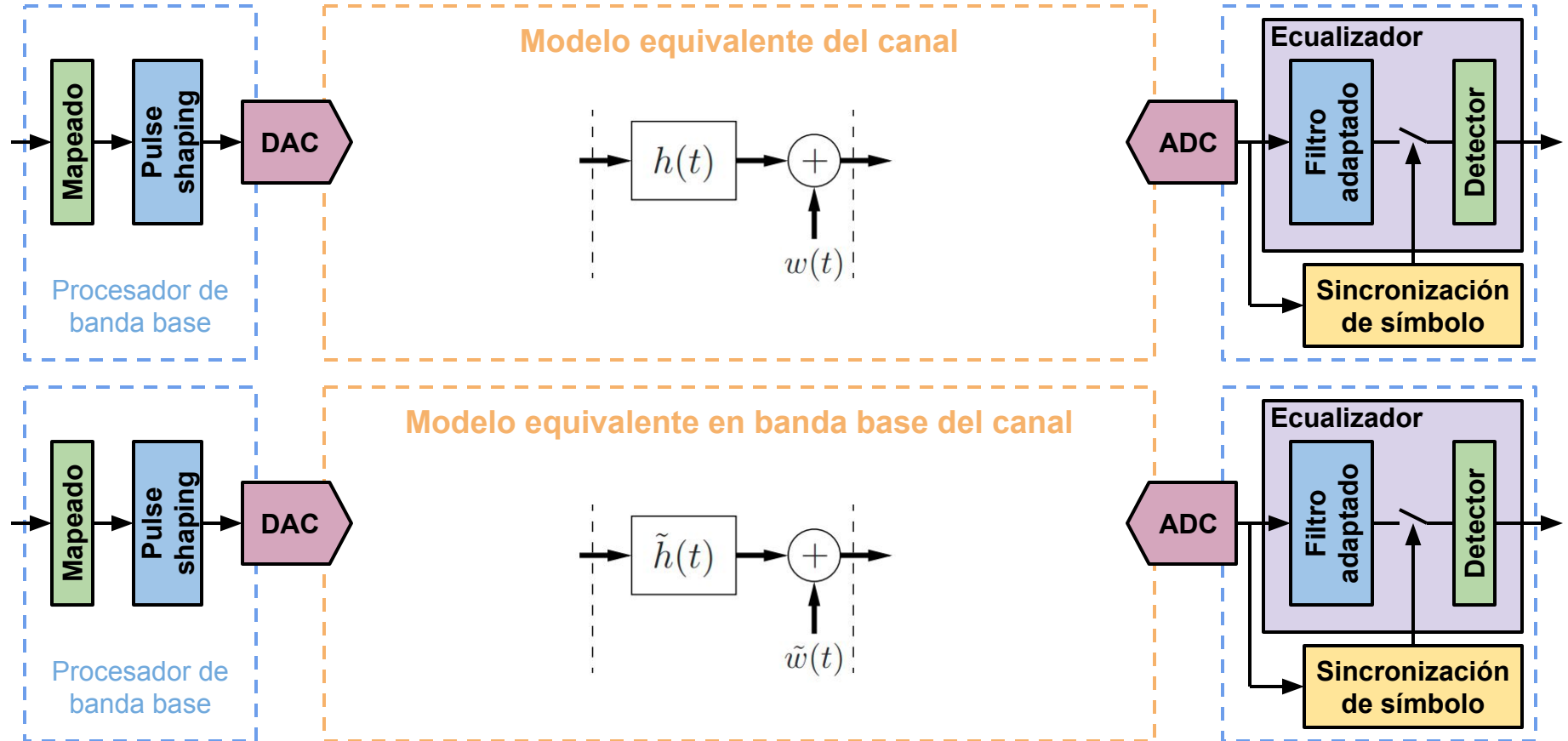
# Arquitectura de sistema de comunicación

## Configuraciones típicas de modulador y demodulador



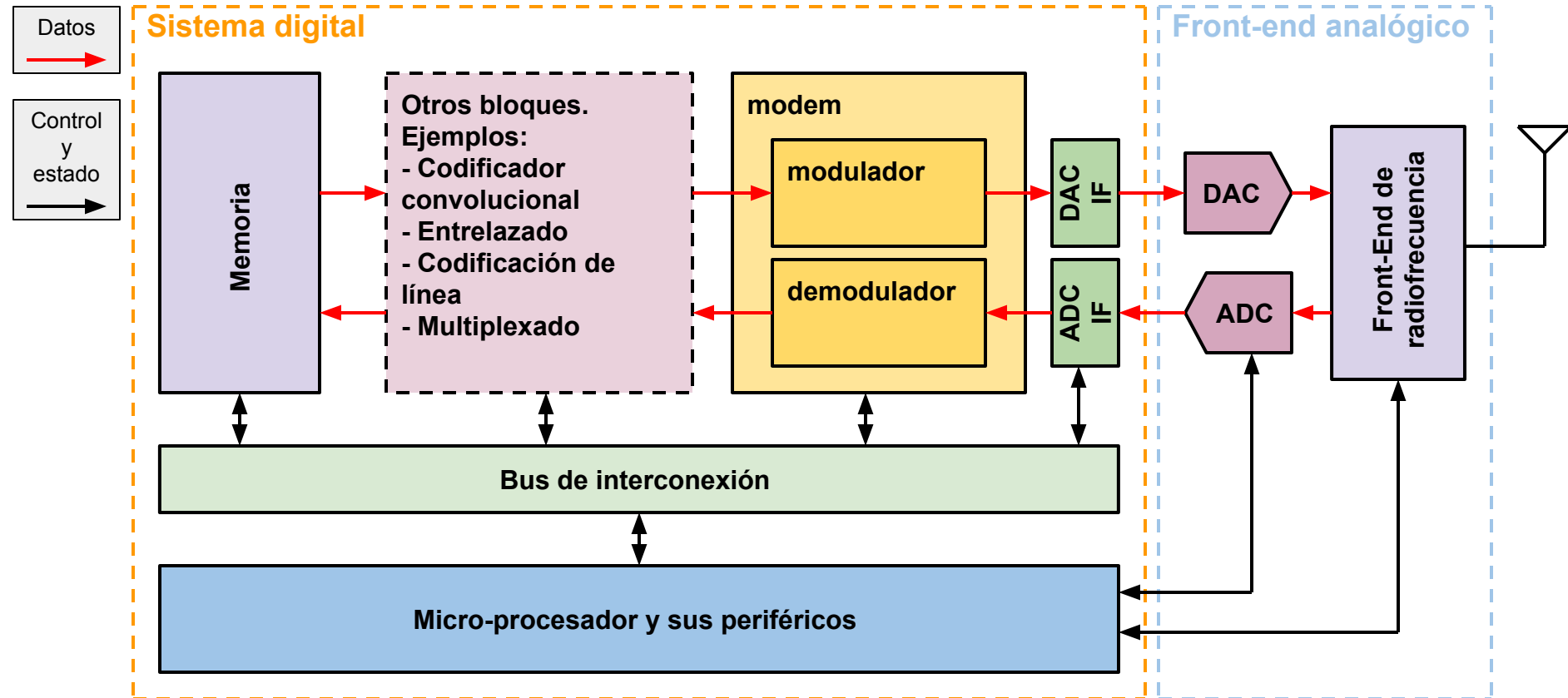
# Arquitectura de sistema de comunicación

## Configuraciones típicas de modulador y demodulador



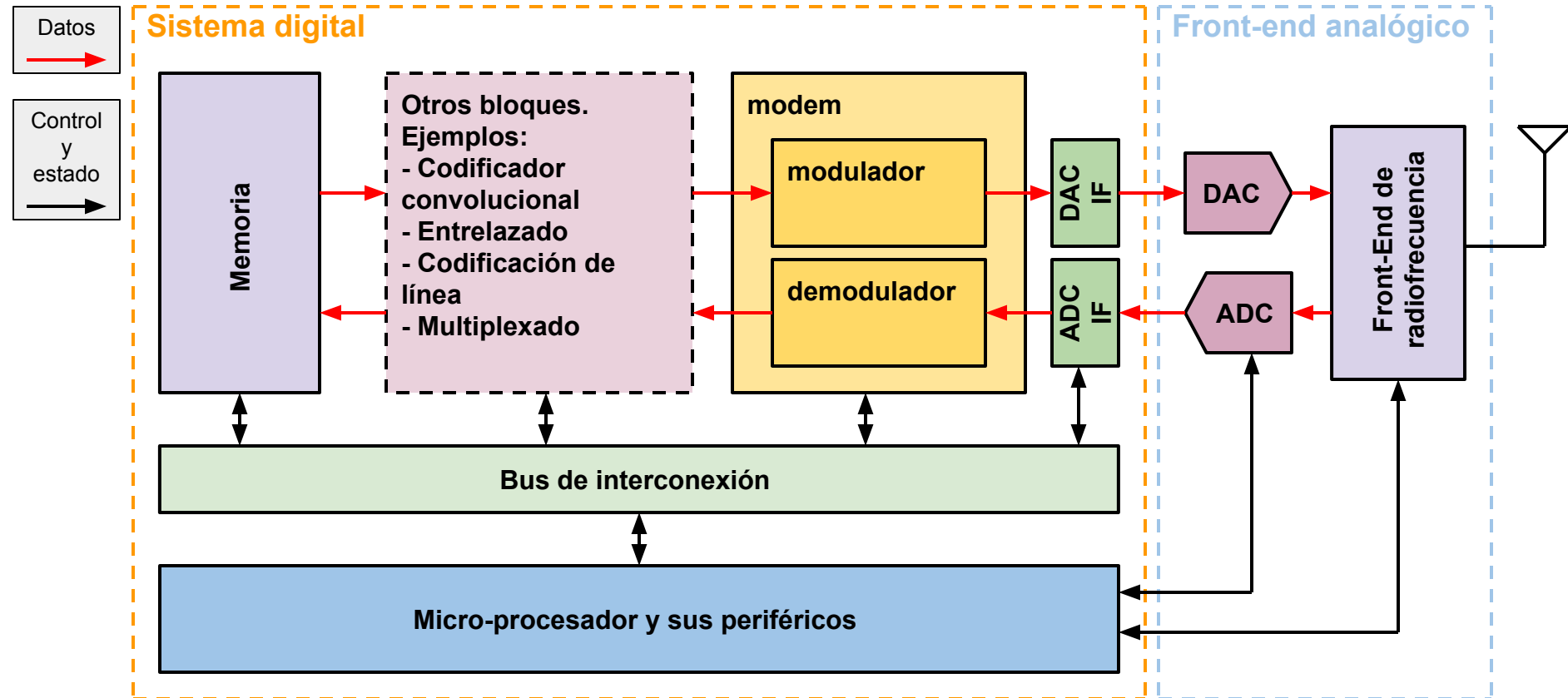
# Arquitectura de sistema de comunicación

## Arquitectura de alto nivel



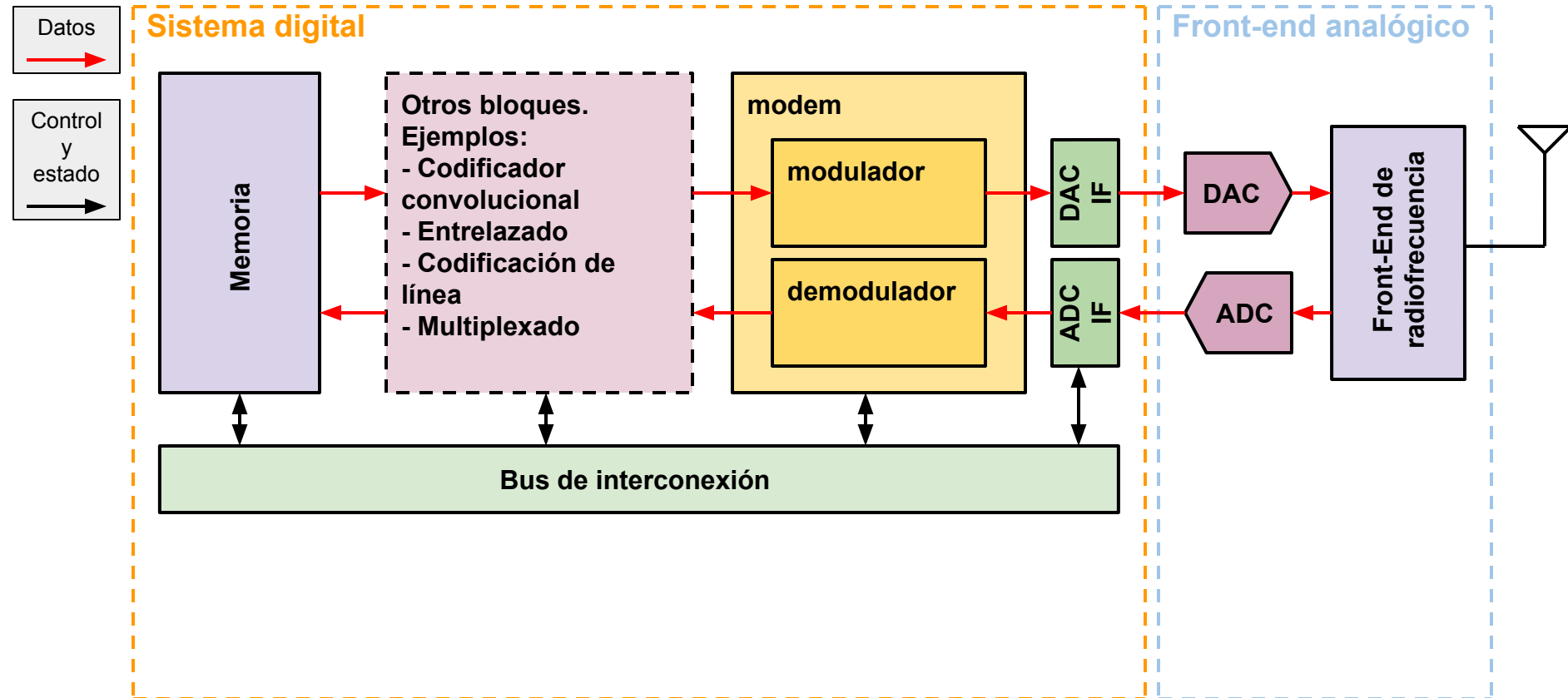
# Arquitectura de sistema de comunicación

## Arquitectura de alto nivel sistema simplificado (TPI)



# Arquitectura de sistema de comunicación

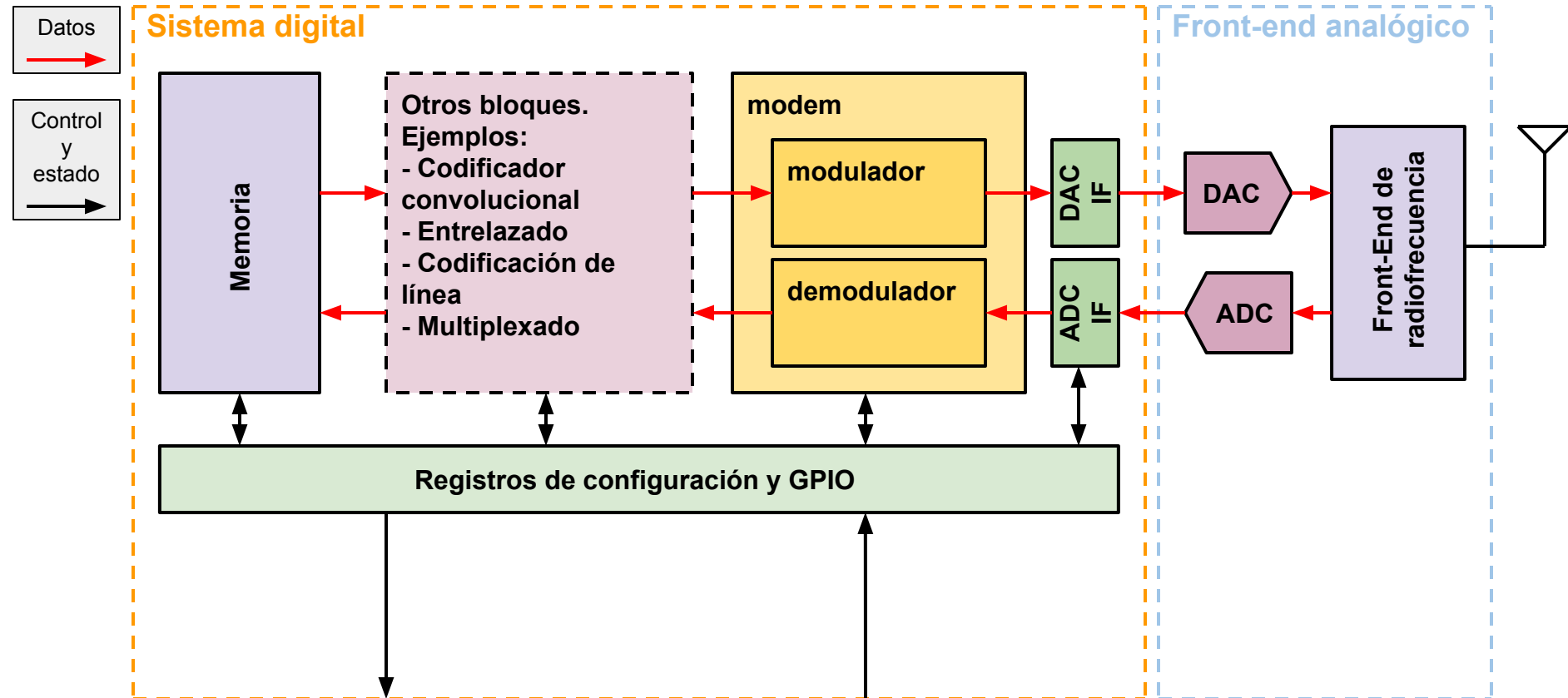
## Arquitectura de alto nivel sistema simplificado (TPI)





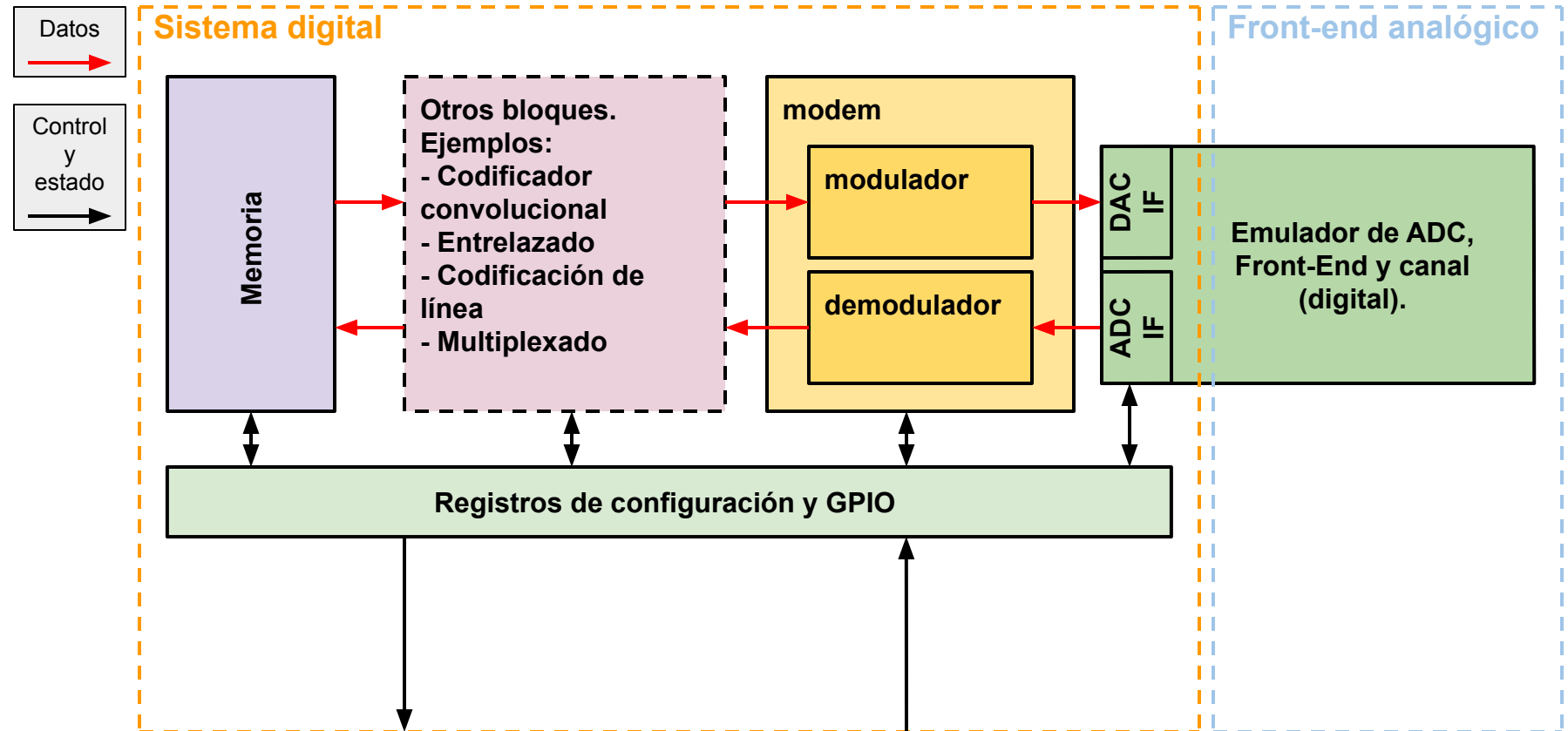
# Arquitectura de sistema de comunicación

## Arquitectura de alto nivel sistema simplificado (TPI)



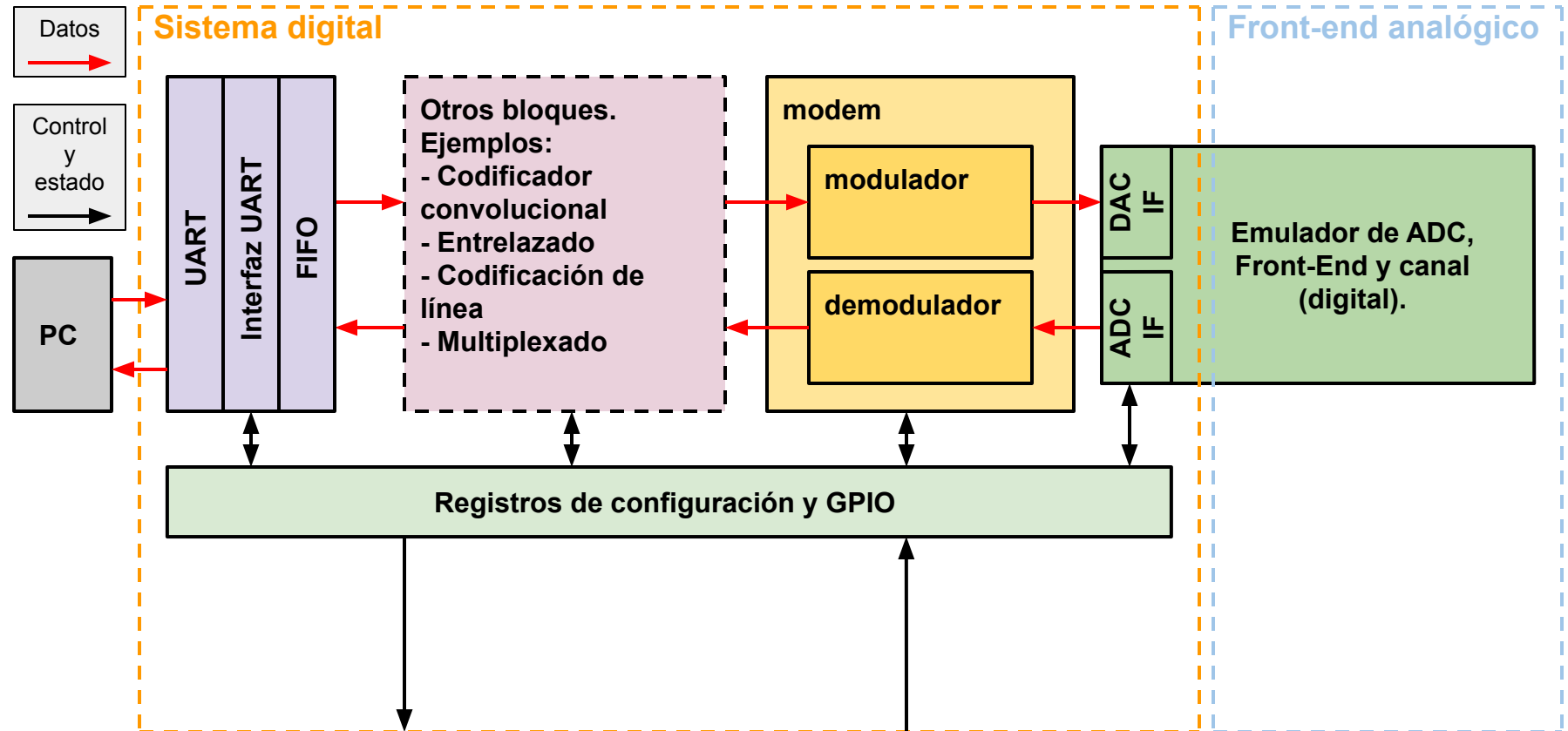
# Arquitectura de sistema de comunicación

## Arquitectura de alto nivel sistema simplificado (TPI)



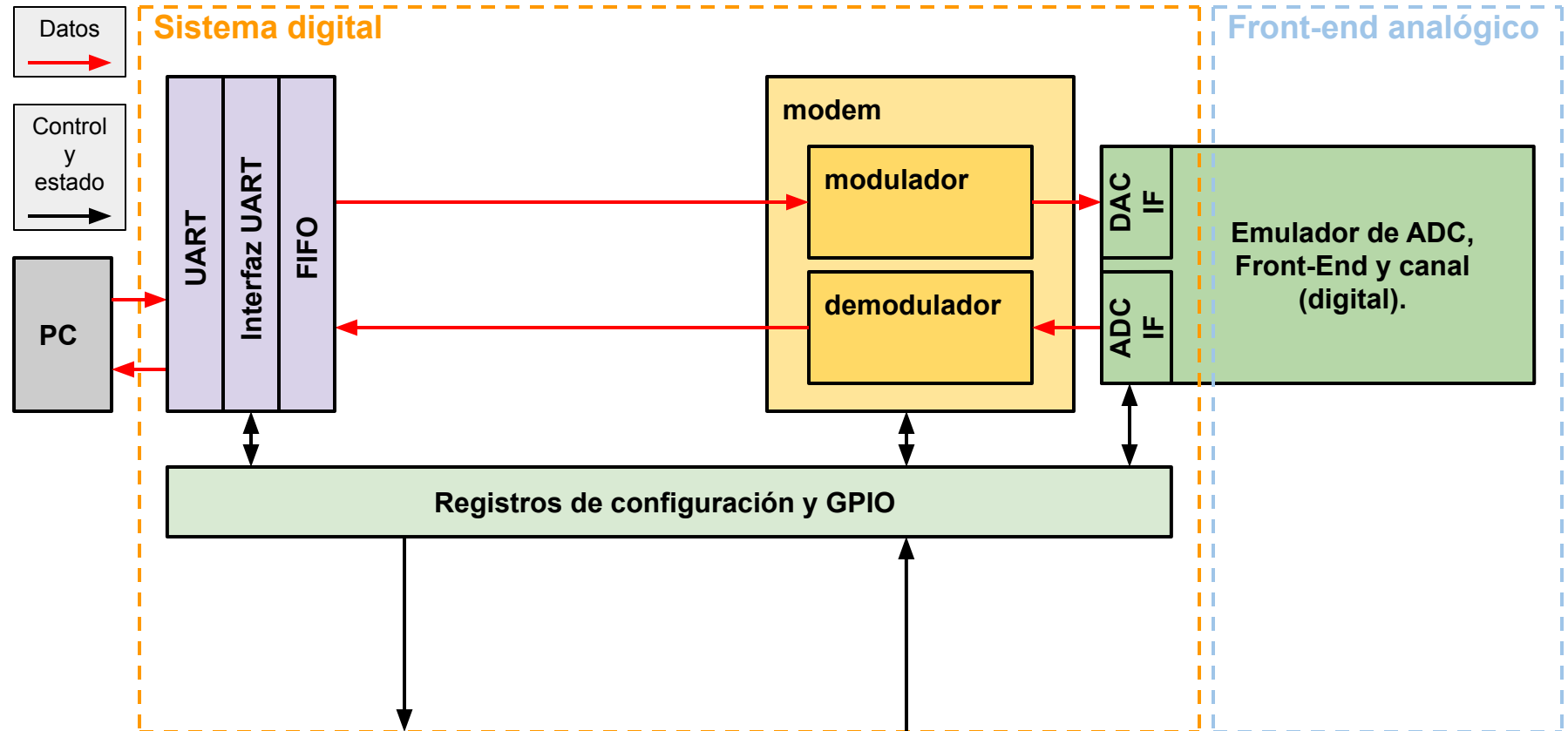
# Arquitectura de sistema de comunicación

## Arquitectura de alto nivel sistema simplificado (TPI)



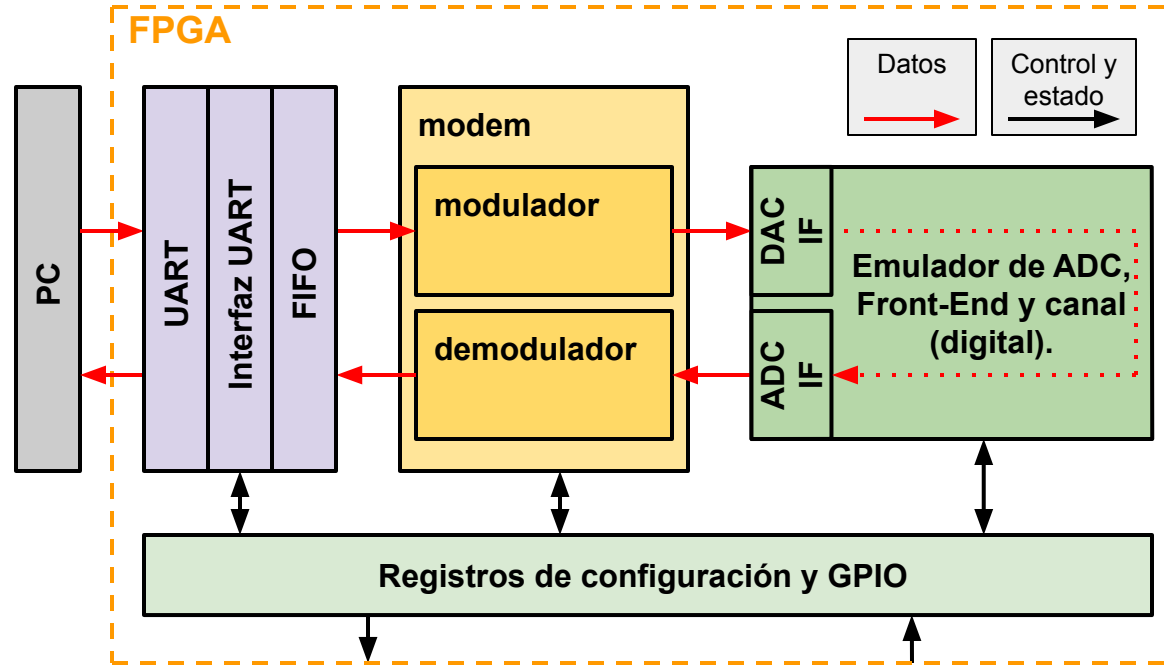
# Arquitectura de sistema de comunicación

## Arquitectura de alto nivel sistema simplificado (TPI)



# Arquitectura de sistema de comunicación

## Arquitectura de alto nivel sistema simplificado (TPI)



# Características del TPI:

- **Modem:**

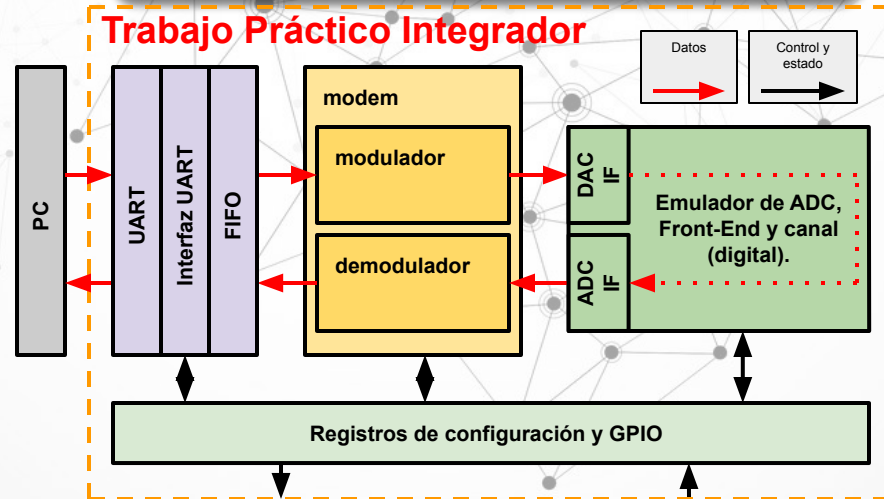
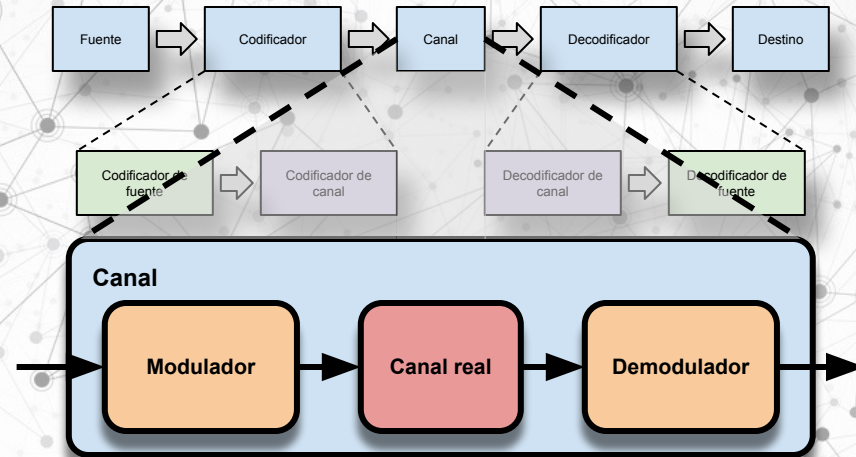
- PAM (banda base)
- Pulso
- Tasa de símbolos y bits
- Tipo de transmisión

- **GPIOs**

- **UART y PC**

- **Emulador de Canal**

- **Ejemplo de sistema real**



## Especificaciones de Modem

- Modulación: 2-PAM (banda base)
- Codificación de línea: No.
- Frecuencia de símbolo: 1 MHz
- Frecuencia de sampleo: 16 MHz
- Pulso:
  - Tipo: Root-raised-cosine.
  - Energía constante = 1.
- Tipo de transmisión: Asincrónica
  - Formato del preámbulo: Preámbulo de sincronización + SFD. Ambos de largo configurable.
  - Formato del payload: Largo configurable en múltiplos de 8 bits (1 byte)

## Especificaciones del sistema

- GPIO:
  - Botón de reset
  - Led TX ready
  - Led RX overflow
- Conectividad:
  - UART: 115200 baudios para transmitir y recibir datos (Bytes).
- Interfaz con los módulos análogos:
  - Interfaz de stream (data, valid, ready for data) con módulo IF DAC
  - Interfaz de stream (data, valid, ready for data) con módulo IF ADC



# Características de Trabajo Práctico Integrador (TPI)

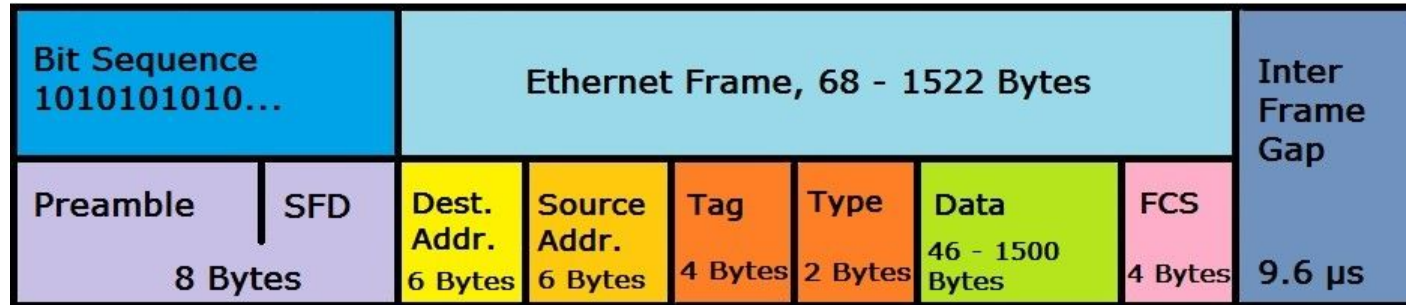
## Especificaciones de la emulación del ADC, DAC, Front-End analógico y canal

- IF DAC:
  - Interfaz de stream con 10 bits de datos formato Q10.8
  - Indicación de underflow
- IF ADC:
  - Interfaz de stream con 10 bits de datos formato Q10.8
  - Indicación de overflow
- Canal:
  - Interfaces de DAC y ADC con clock común.
  - Respuesta en frecuencia: Implementada mediante FIR de largo configurable.
  - Ruido blanco aproximadamente Gaussiano con varianza configurable.

# Características de Trabajo Práctico Integrador (TPI)

## Ejemplo de sistema de comunicación en banda base asincrónico (Ethernet)

### Paquete Ethernet:

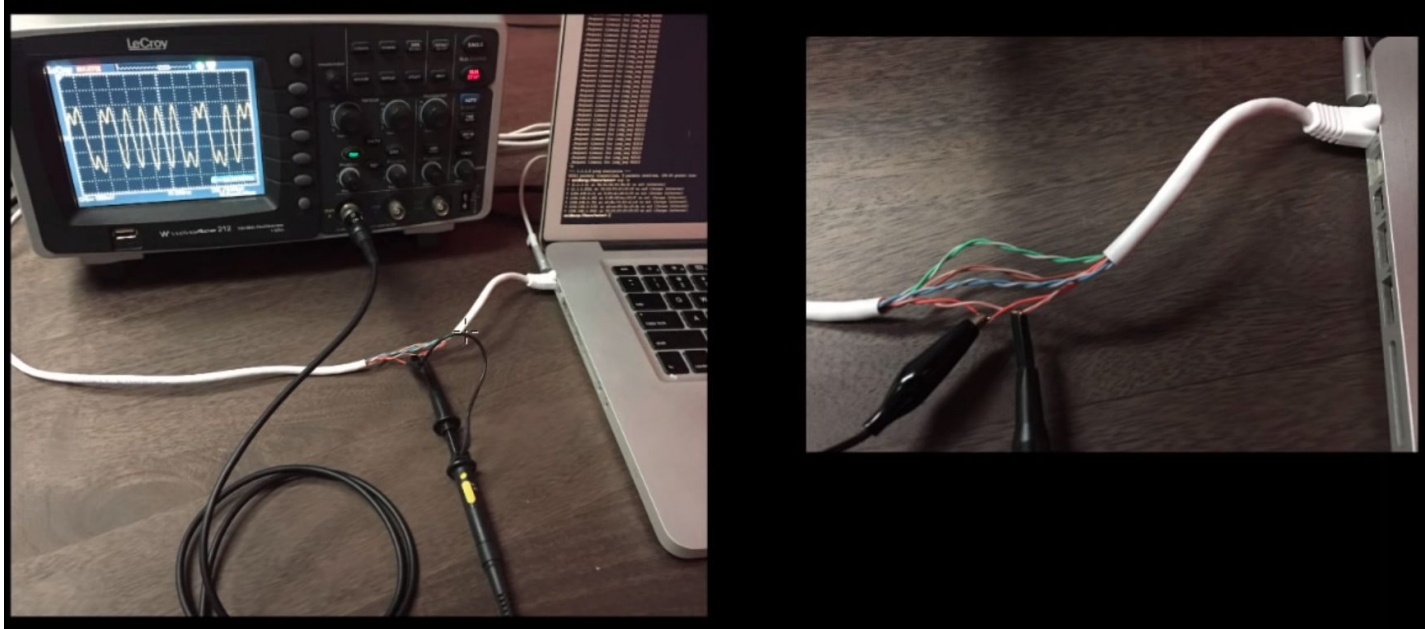


Fuente:

<https://www.google.com/url?sa=i&url=https%3A%2F%2Fwww.ionos.com%2Fdigitalguide%2Fserver%2Fknow-how%2Fethernet-frame%2F&psig=AOvVaw10kw4cqPPQrZO450EupM9i&ust=1601588692969000&source=images&cd=vfe&ved=0CAIQjRxgFwoTCNiUjf3skewCFQAAAAAAdAAAAABAO>

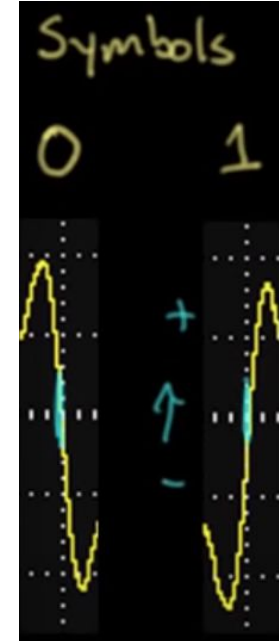
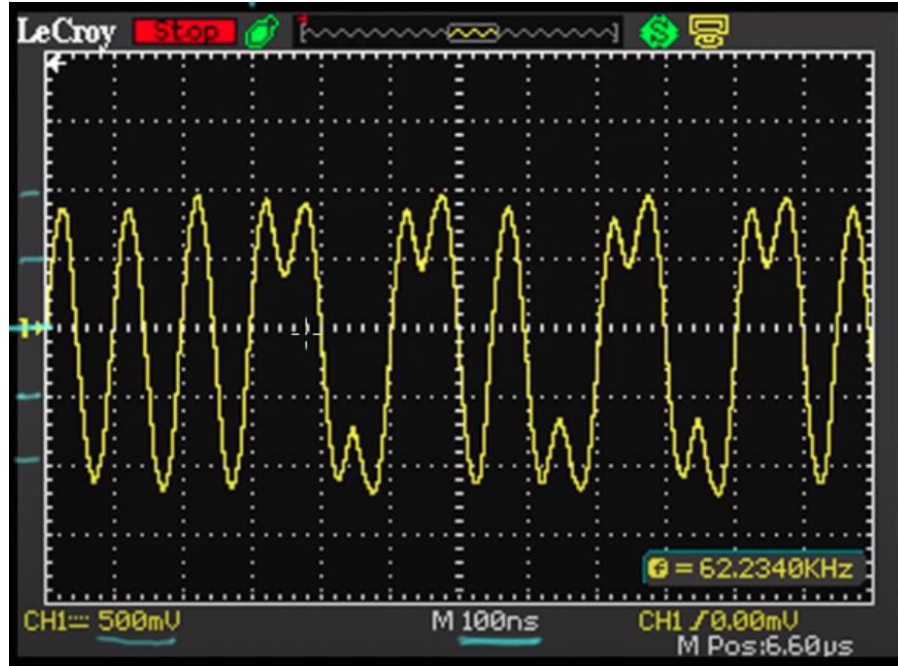
# Características de Trabajo Práctico Integrador (TPI)

## Ejemplo de sistema de comunicación en banda base asincrónico (Ethernet)



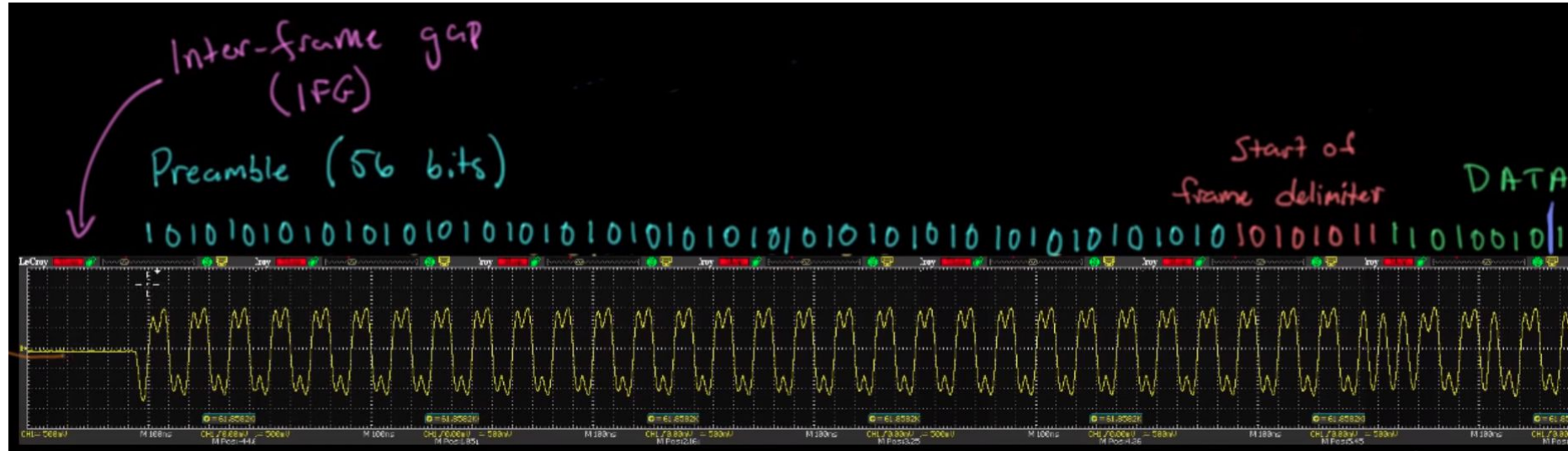
# Características de Trabajo Práctico Integrador (TPI)

## Ejemplo de sistema de comunicación en banda base asincrónico (Ethernet)



# Características de Trabajo Práctico Integrador (TPI)

## Ejemplo de sistema de comunicación en banda base asincrónico (Ethernet)



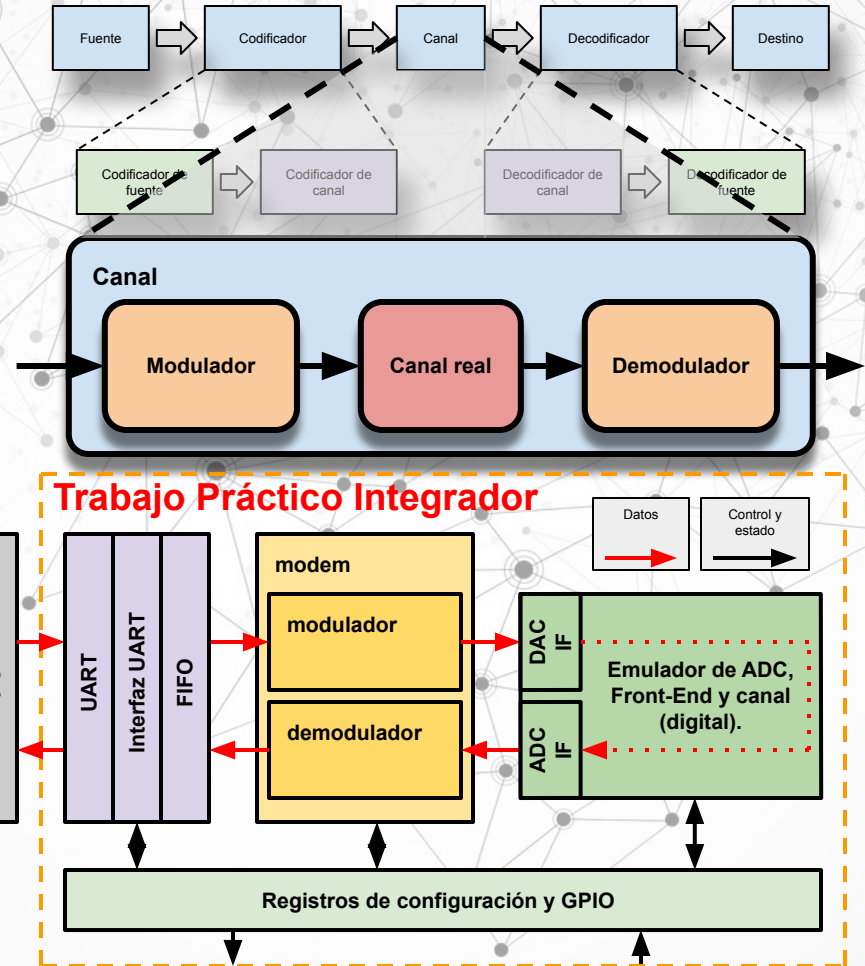
# Repaso y simulación:

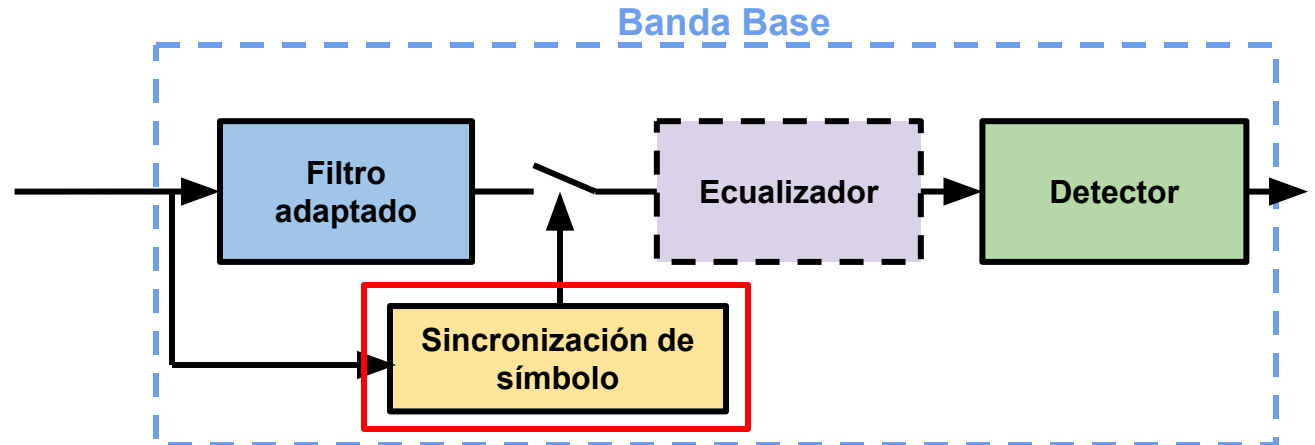
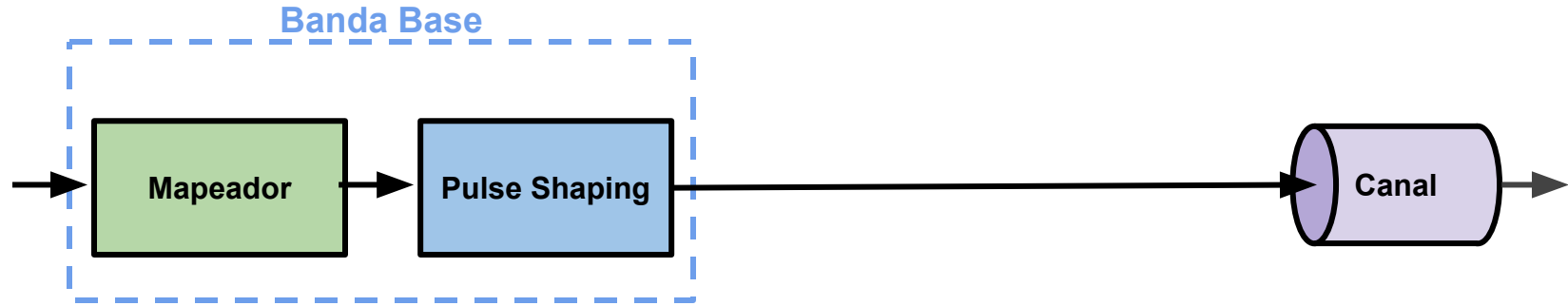
- Repaso

- Componentes del sistema en banda base

- Simulación

- Modelo
- Arquitectura de bajo nivel





## Sincronización de símbolo

El objetivo del filtro es detectar **el comienzo y el fin del pulso** recibido, para poder **muestrear** la señal **momento exacto** donde  $t=kT$ .

También se conoce como:

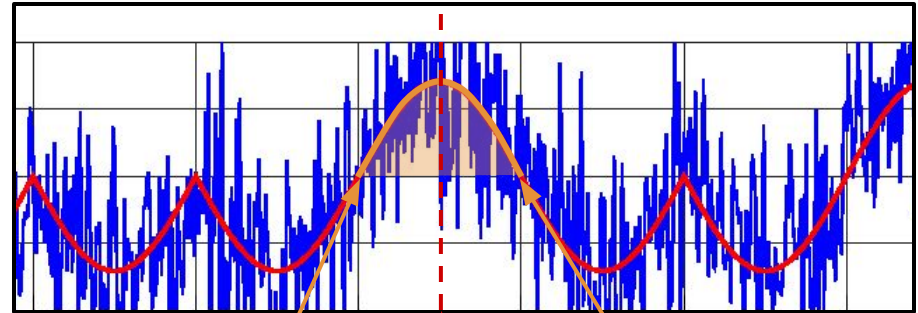
*Clock recovery*

*Symbol timing recovery*

Existen diversas técnicas para sincronizar el pulso.

La entrada es generalmente la señal recibida, la salida es una señal periódica alineada con el símbolo.

Señal  
**antes** del  
filtro  
adaptado



Inicio del  
pulso

Fin del  
pulso

$t = kT$



# Repaso

## Sincronización de símbolo

El objetivo del filtro es detectar **el comienzo y el fin del pulso** recibido, para poder **muestrear** la señal **momento exacto** donde  $t=kT$ .

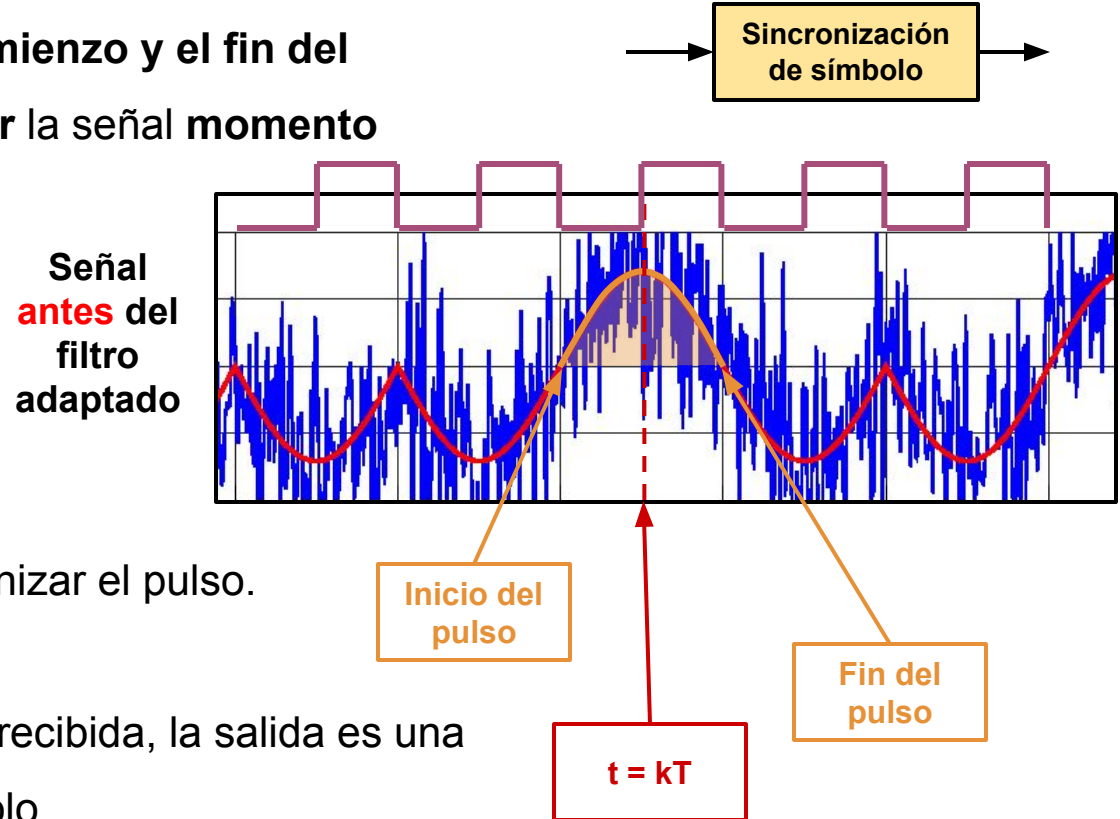
También se conoce como:

*Clock recovery*

*Symbol timing recovery*

Existen diversas técnicas para sincronizar el pulso.

La entrada es generalmente la señal recibida, la salida es una señal periódica alineada con el símbolo.



## Sincronización de símbolo

El objetivo del filtro es detectar **el comienzo y el fin del pulso** recibido, para poder **muestrear** la señal **momento exacto** donde  $t=kT$ .

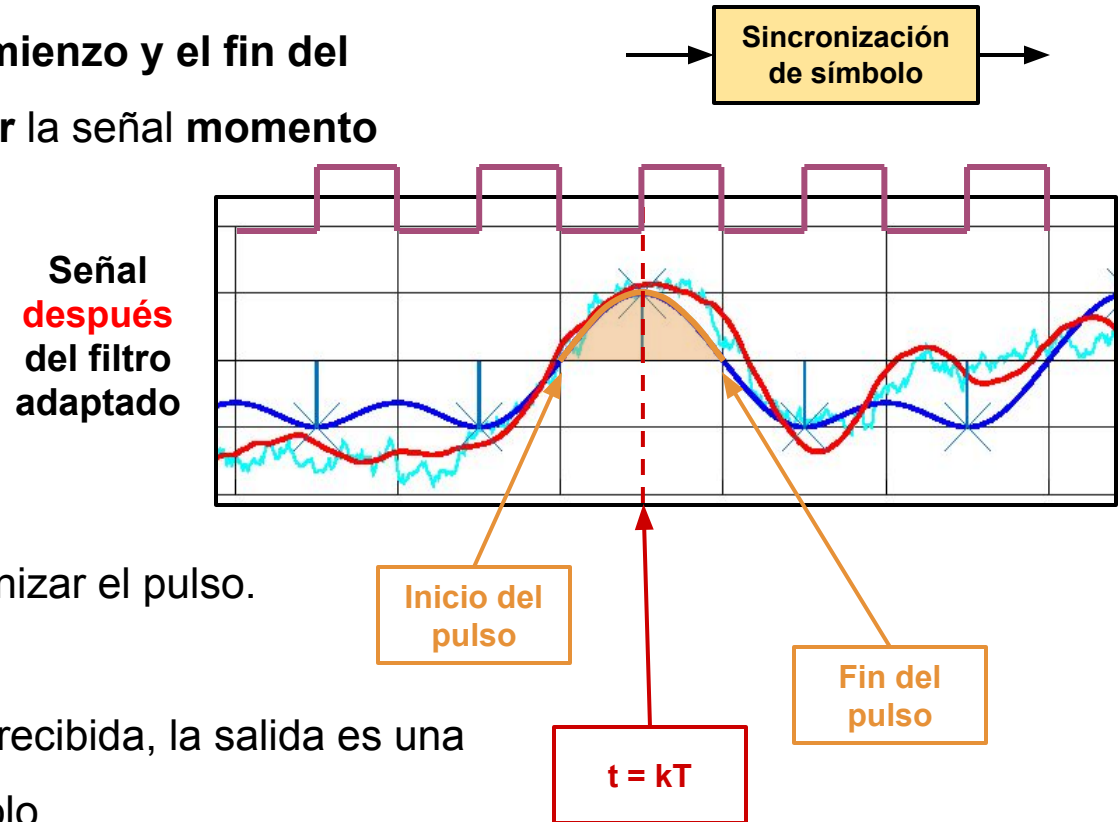
También se conoce como:

*Clock recovery*

*Symbol timing recovery*

Existen diversas técnicas para sincronizar el pulso.

La entrada es generalmente la señal recibida, la salida es una señal periódica alineada con el símbolo.



Sincronización de símbolo

Ejemplo de sincronizador Early-Late:

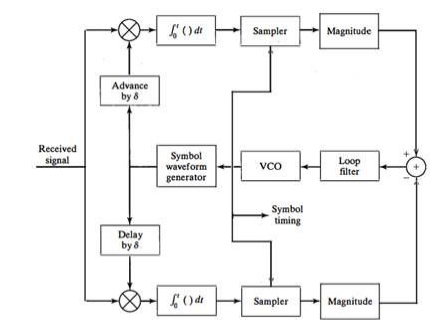
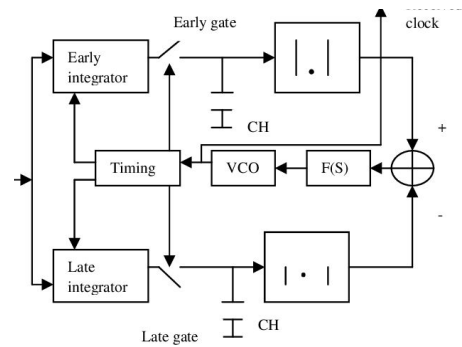
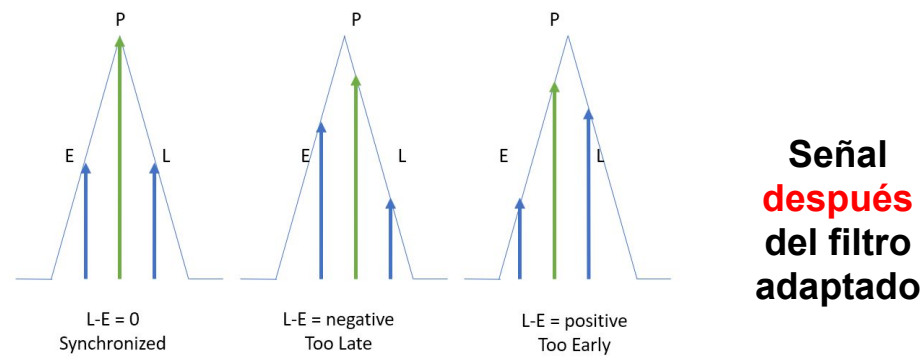
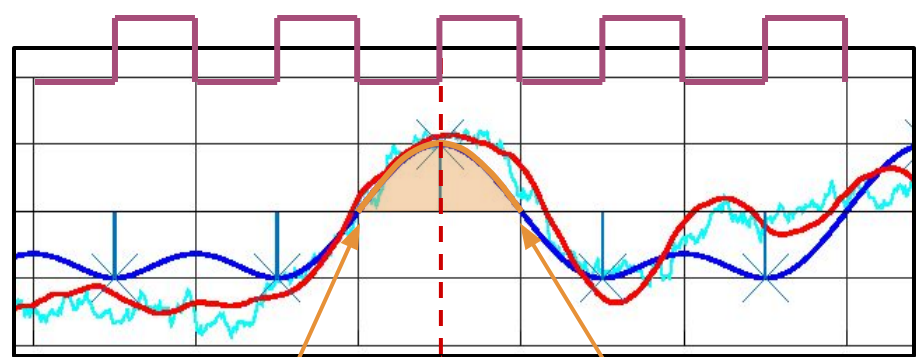


Figure 8.80 Block diagram of early-late gate synchronizer.

Sincronización de símbolo



Inicio del pulso

Fin del pulso

$t = kT$

## Sincronización de símbolo

### Ejemplo de sincronizador con PLL: Open-loop

$$y^2(t) = \left[ \sum_m x_m p(t - mT) + n(t) \right]^2$$

$$\begin{aligned} E \{ y^2(t) \} &= \sum_m \sum_n \mathcal{E}_x \cdot \delta_{mn} \cdot p(t - mT) \cdot p(t - nT) + \sigma_n^2 \\ &= \mathcal{E}_x \cdot \sum_m p^2(t - mT) + \sigma_n^2, \quad \text{Señal periódica (T)} \end{aligned}$$

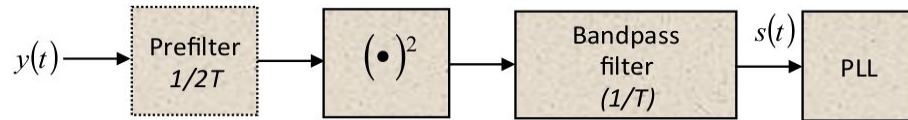
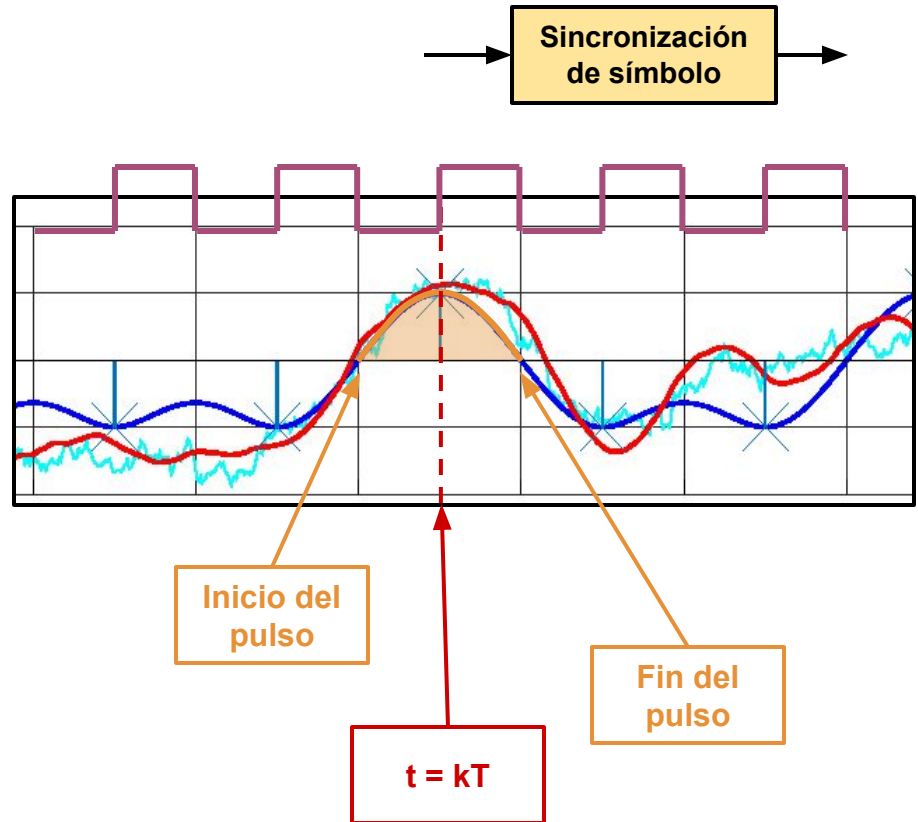
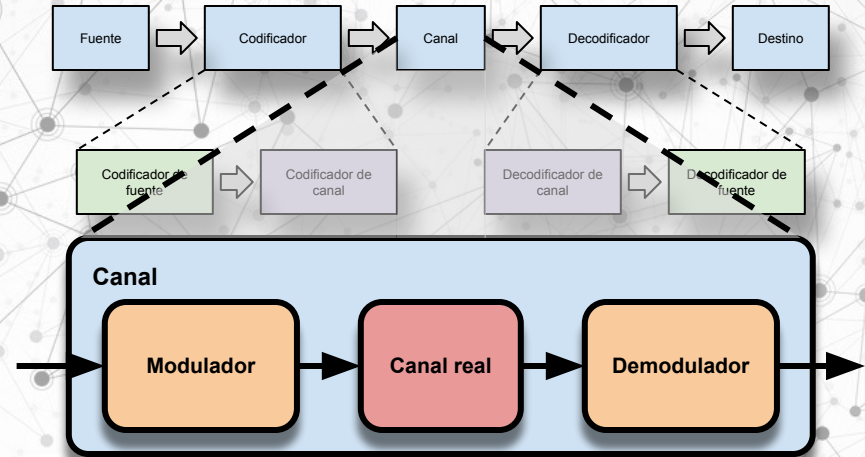


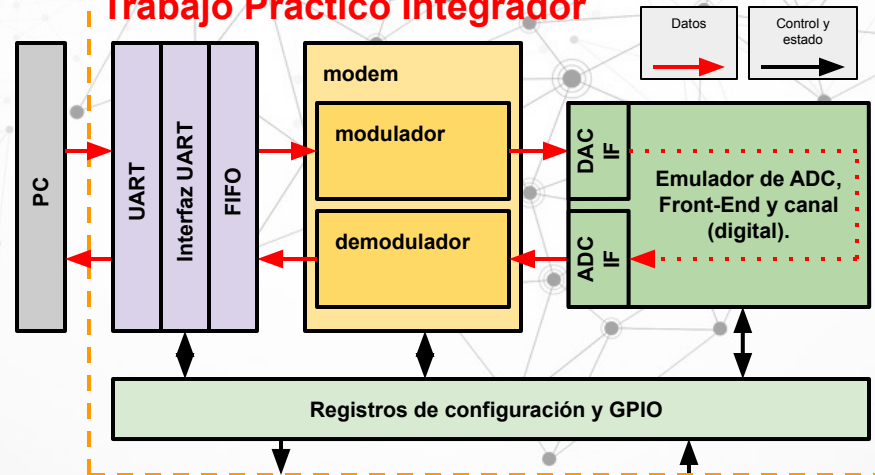
Figure 6.10: Square-law timing recovery.



# Ejercicio 6



## Trabajo Práctico Integrador



# Diagramas en bloque de los moduladores y demoduladores

## Ejercicio 06 - Simulación del modulador en octave



main MSE-SDC-base\_repo / ejercicios / ej06 / Go to file Add file ...

colorete87 MODEM & EJERCICIOS: Se actualizan los enunciados los tests c2c492f on 11 Nov 2021 History

..

entrega EJERCICIOS->ENTREGAS: Readme replaced by gitignore 13 months ago

images MODEM & EJERCICIOS: Se actualizan los enunciados los tests 12 months ago

README.md MODEM & EJERCICIOS: Se actualizan los enunciados los tests 12 months ago

README.md

### Enunciado Trabajo Práctico 6

Simulación (demostrativa) del sistema completo incluyendo sincronización.

**Objetivo**

Familiarizarse con las dificultades que existen para la sincronización de símbolo. Conocer el método de recuperación de reloj utilizando PLL.

**Descripción**

En este ejercicio se realiza una demostración de la simulación del sistema con:

- Modulador
- Canal
- Demodulador, incluyendo la sincronización de símbolo.

Se considera el siguiente sistema:

Continuar leyendo el  
enunciado en el repositorio

## Ejercicio 06 - Simulación del modulador en octave

Ejemplo demostrativo:

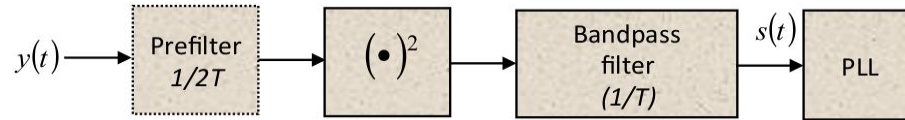


Figure 6.10: Square-law timing recovery.

# Diagramas en bloque:

- **Modulador**

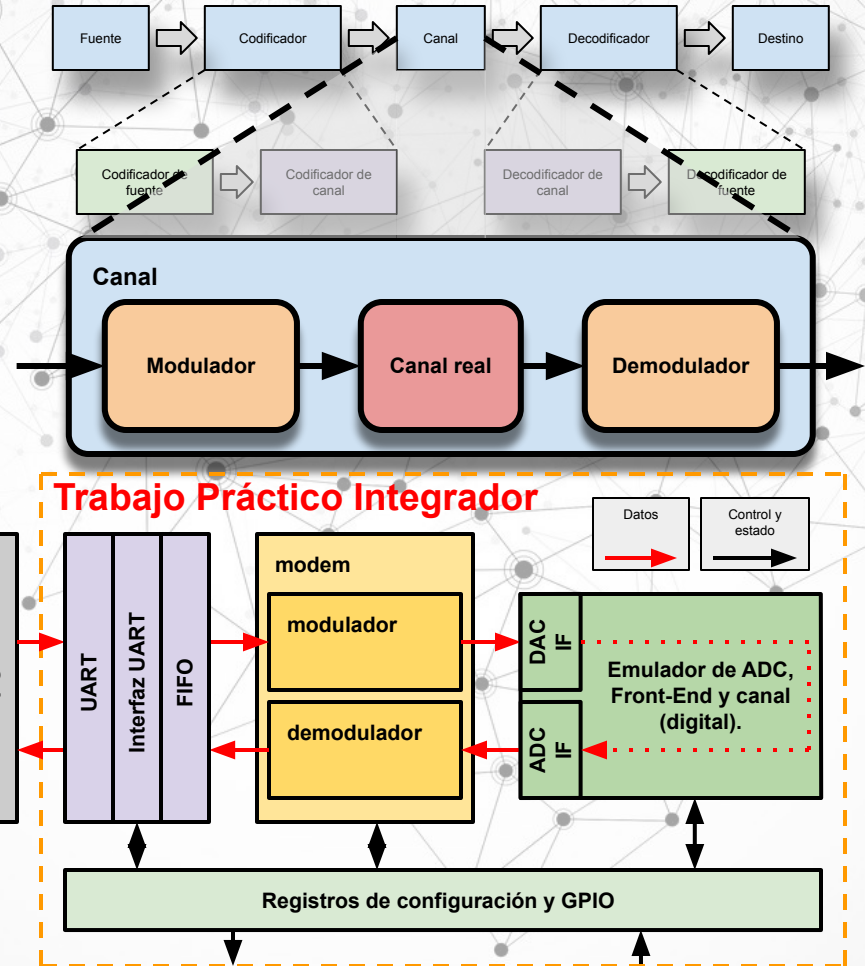
- Arquitectura de bajo nivel

- **Canal**

- Modelo
- Arquitectura de bajo nivel

- **Demodulador**

- Arquitectura de bajo nivel



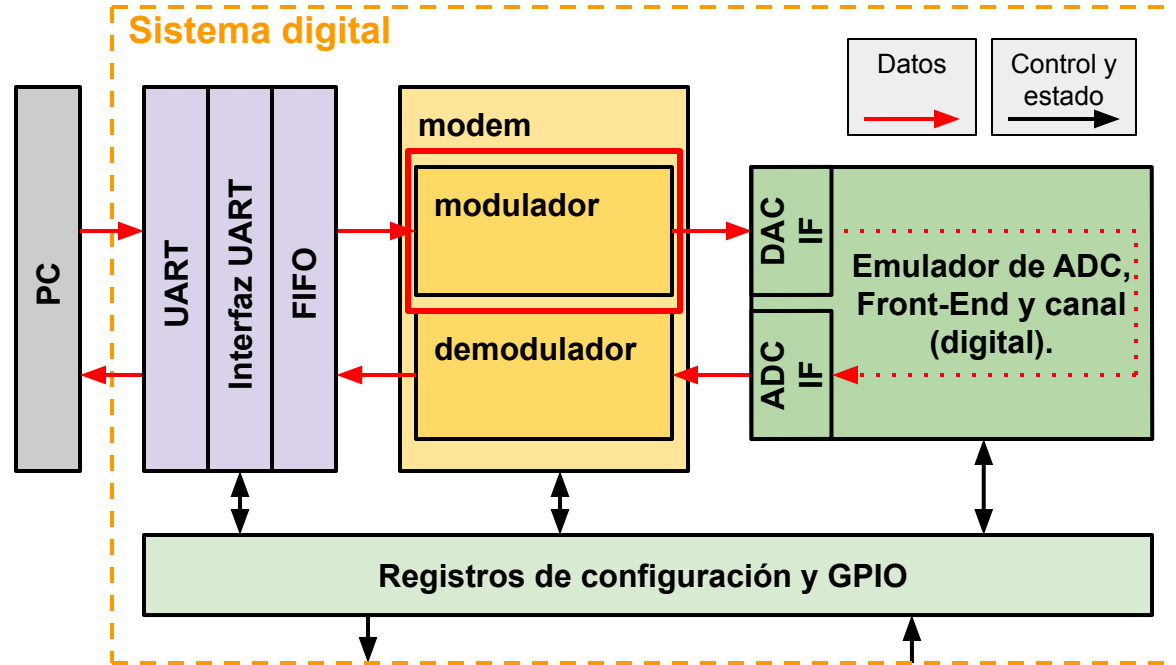


Modulador

# Arquitectura de sistema de comunicación

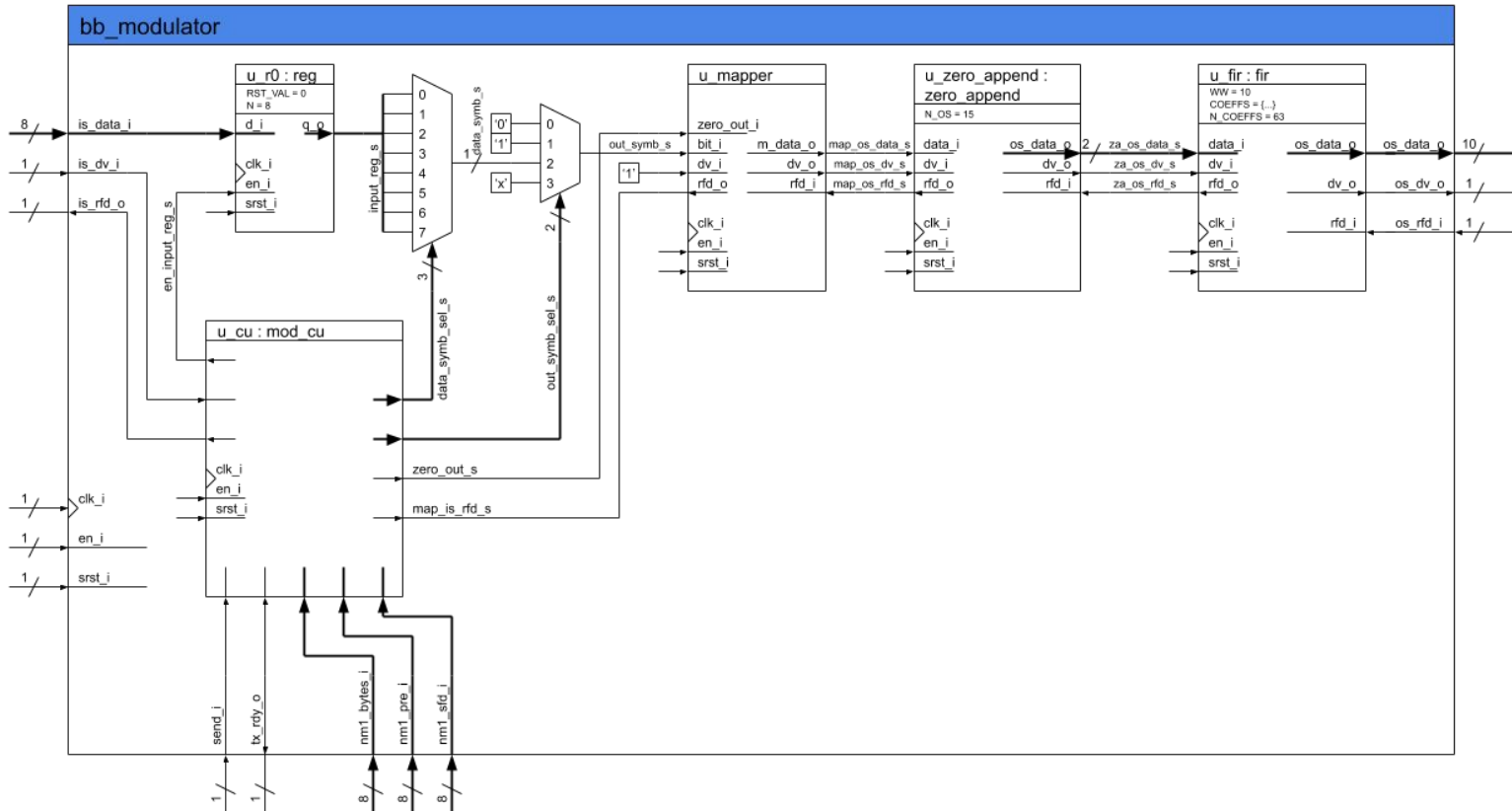
## Arquitectura de alto nivel sistema simplificado (TPI)

### Modulador



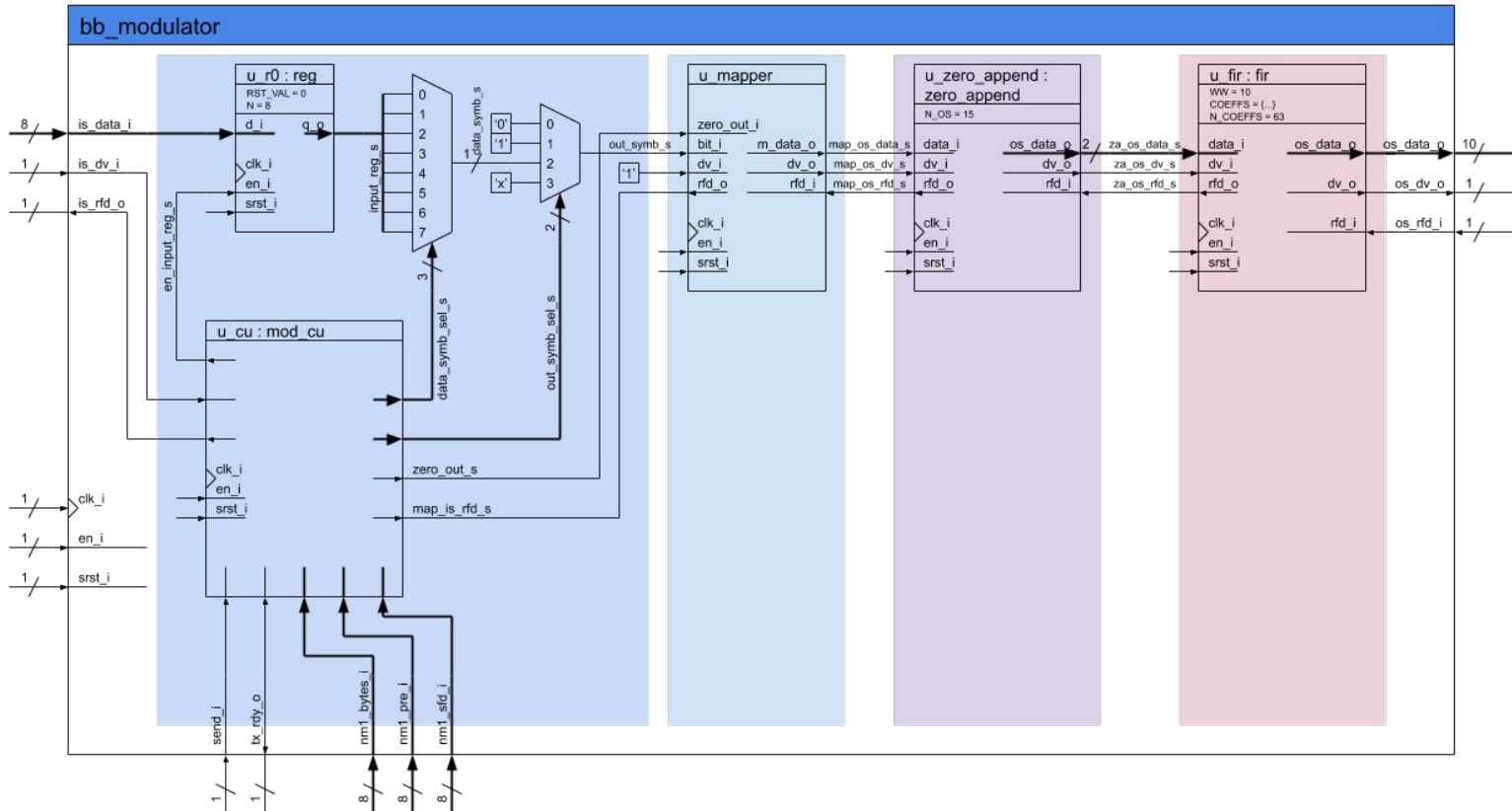
# Diagramas en bloque de los moduladores y demoduladores

## Arquitectura detallada del modulador



# Diagramas en bloque de los moduladores y demoduladores

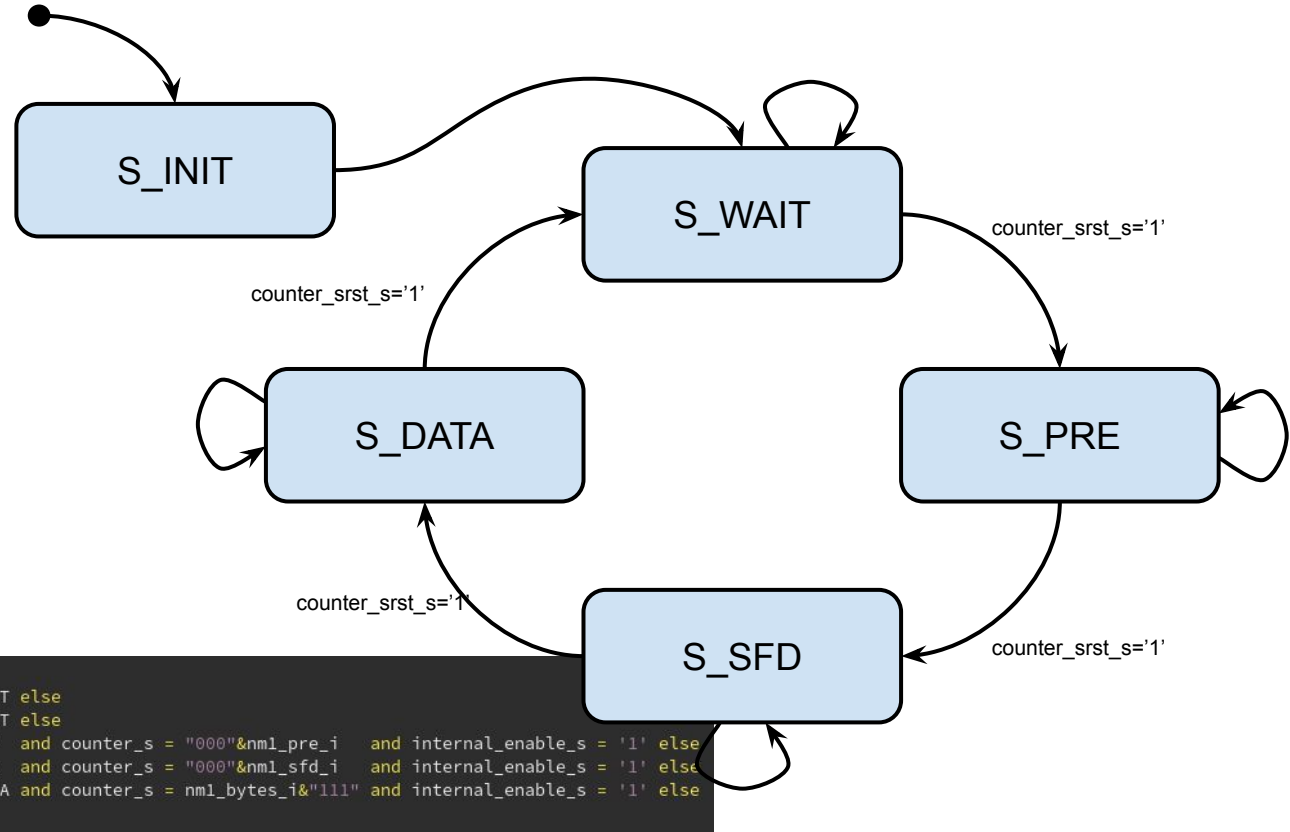
## Arquitectura detallada del modulador



# Diagramas en bloque de los moduladores y demoduladores

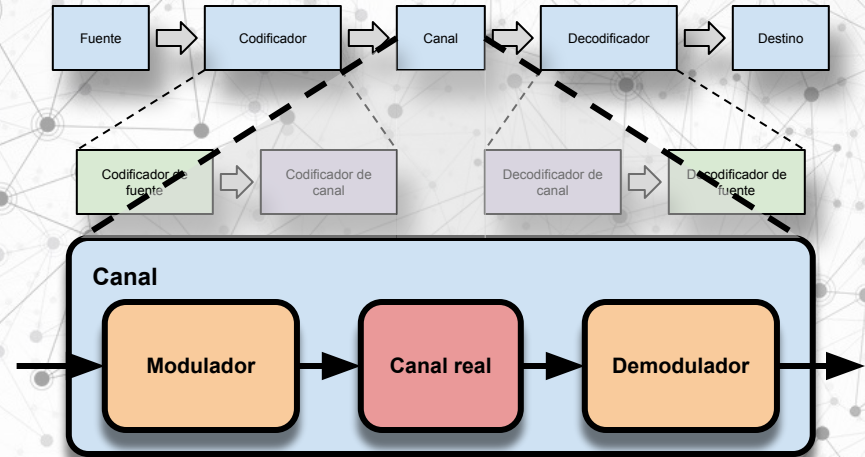
## Arquitectura detallada del modulador

Máquina de estados:

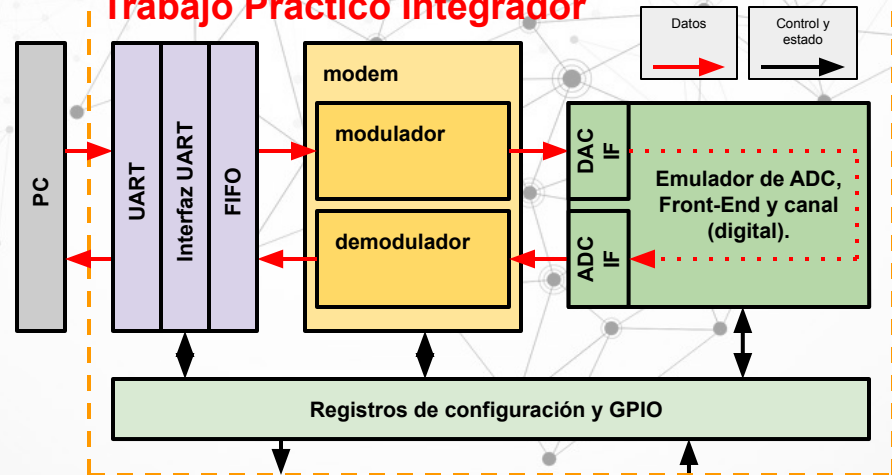


```
-- Counter reset
counter_srst_s <= '1' when state_s = S_INIT else
'1' when state_s = S_WAIT else
'1' when state_s = S_PRE and counter_s = "000"&nm1_pre_i and internal_enable_s = '1' else
'1' when state_s = S_SFD and counter_s = "000"&nm1_sfd_i and internal_enable_s = '1' else
'1' when state_s = S_DATA and counter_s = nm1_bytes_i&"111" and internal_enable_s = '1' else
'0';
```

# Ejercicio 7



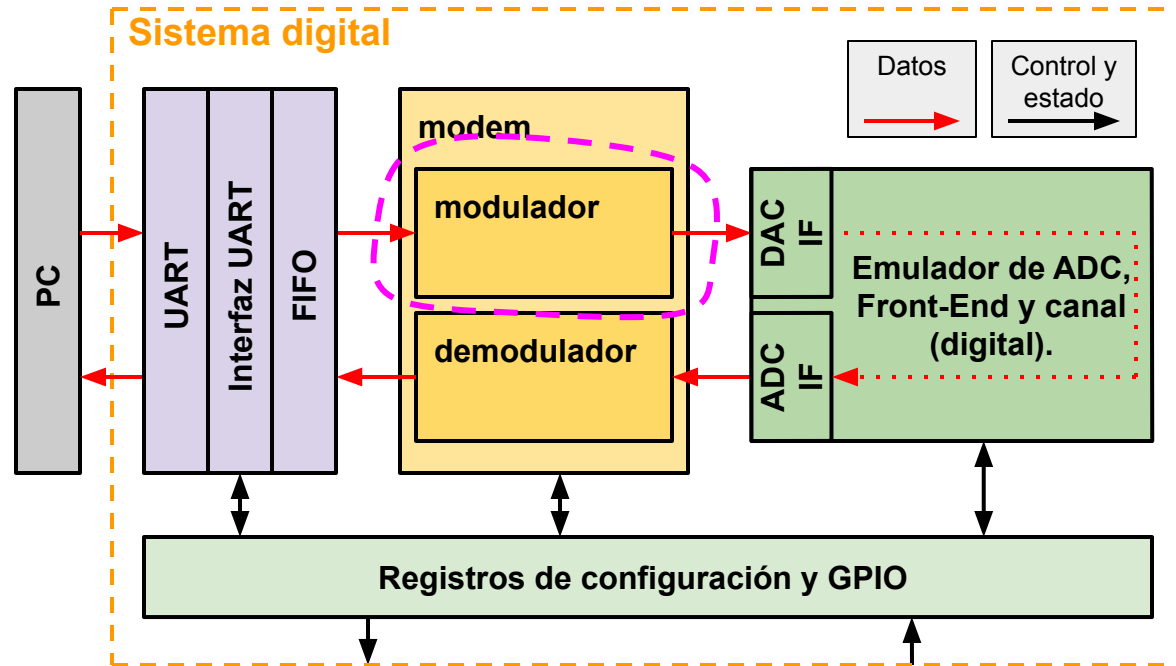
## Trabajo Práctico Integrador



# Diagramas en bloque de los moduladores y demoduladores

## Ejercicio 07 - Simulación del modulador en VHDL

### Simulación HDL:



Se simula  
solo este  
bloque

# Diagramas en bloque de los moduladores y demoduladores

## Ejercicio 07 - Simulación del modulador en VHDL



main

MSE-SDC-base\_repo / ejercicios / ej07 /

Go to file

Add file

...

colorete87 MODEM & EJERCICIOS: Se actualizan los enunciados los tests

c2c492f on 11 Nov 2021

History

entrega	EJERCICIOS->ENTREGAS: Readme replaced by gitignore	13 months ago
images	EJERCICIOS: Ej07 y 08 se actualiza enunciado	12 months ago
README.md	MODEM & EJERCICIOS: Se actualizan los enunciados los tests	12 months ago

README.md

### Enunciado Trabajo Práctico 7

Simulación del código RTL del modulador:

**Objetivo**

Familiarizarse con la simulación de código RTL en el repositorio y el bloque del modulador.

**Diagramas en bloque**

```
graph LR
    subgraph bb_modulator
        direction LR
        u_r0[u_r0: reg]
        u_mapper[u_mapper]
        u_zero_append[u_zero_append: zero_append]
        u_fir[u_fir: fir]
        u_cu[u_cu: mod_cu]
        u_mapper --> u_zero_append
        u_zero_append --> u_fir
        u_r0 --> u_mapper
        u_cu --> u_mapper
    end
    data_in[is_data i] --> u_r0
    clk_in[clk i] --> u_r0
    rst_in[is_rst o] --> u_r0
    u_r0 --> u_mapper
    u_mapper --> u_zero_append
    u_zero_append --> u_fir
    u_fir --> out_data[os_data o]
```

Continuar leyendo el enunciado en el repositorio



# Arquitectura de sistema de comunicación

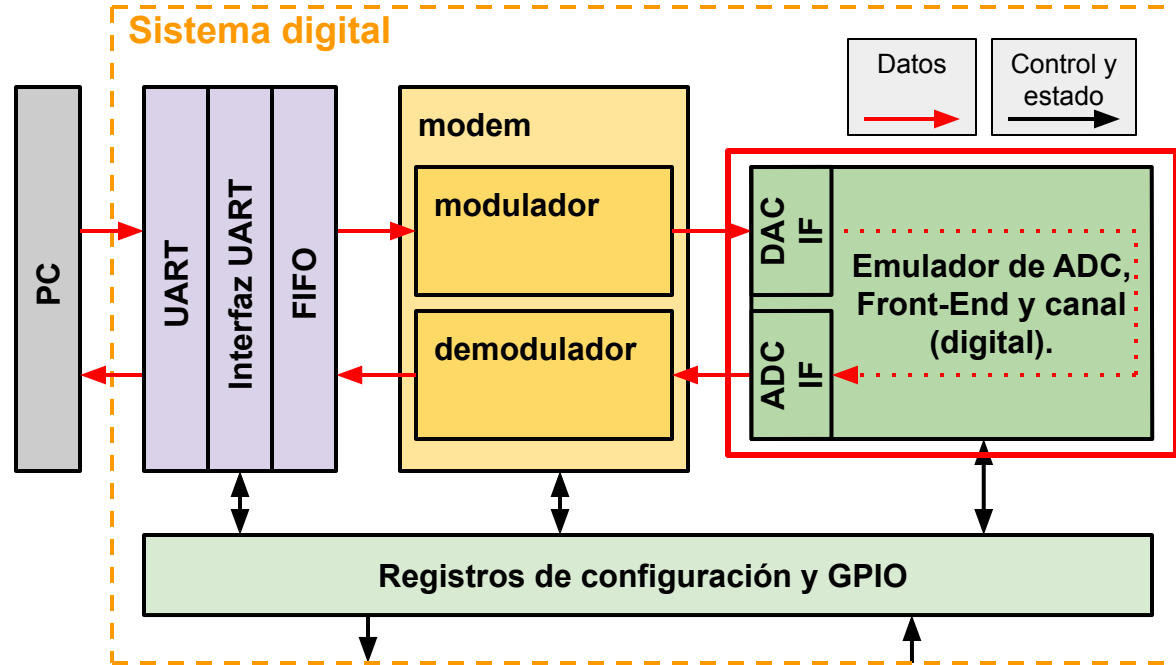
## Arquitectura de alto nivel sistema simplificado (TPI)

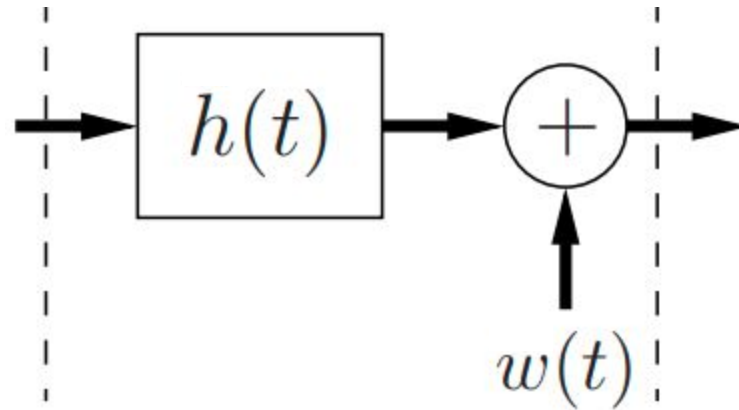
Canal

# Arquitectura de sistema de comunicación

## Arquitectura de alto nivel sistema simplificado (TPI)

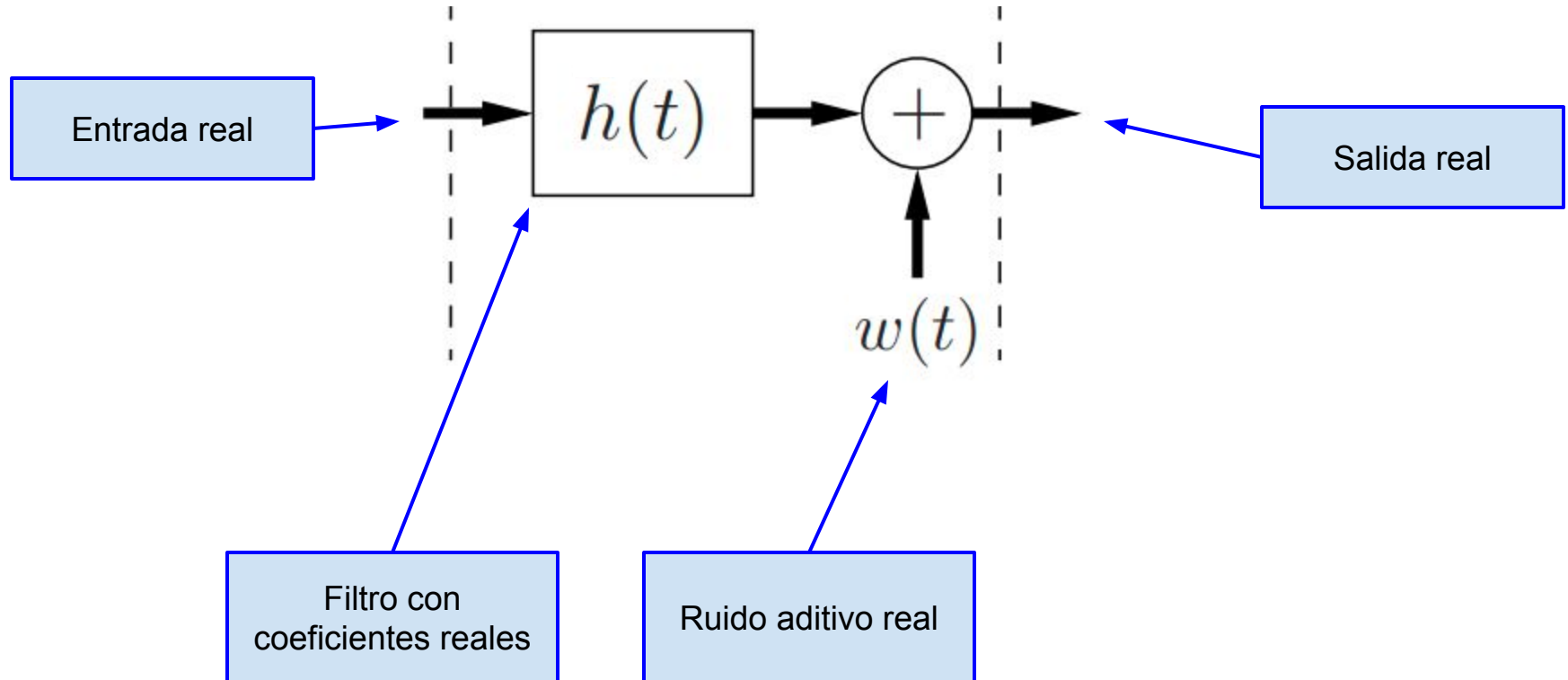
Canal





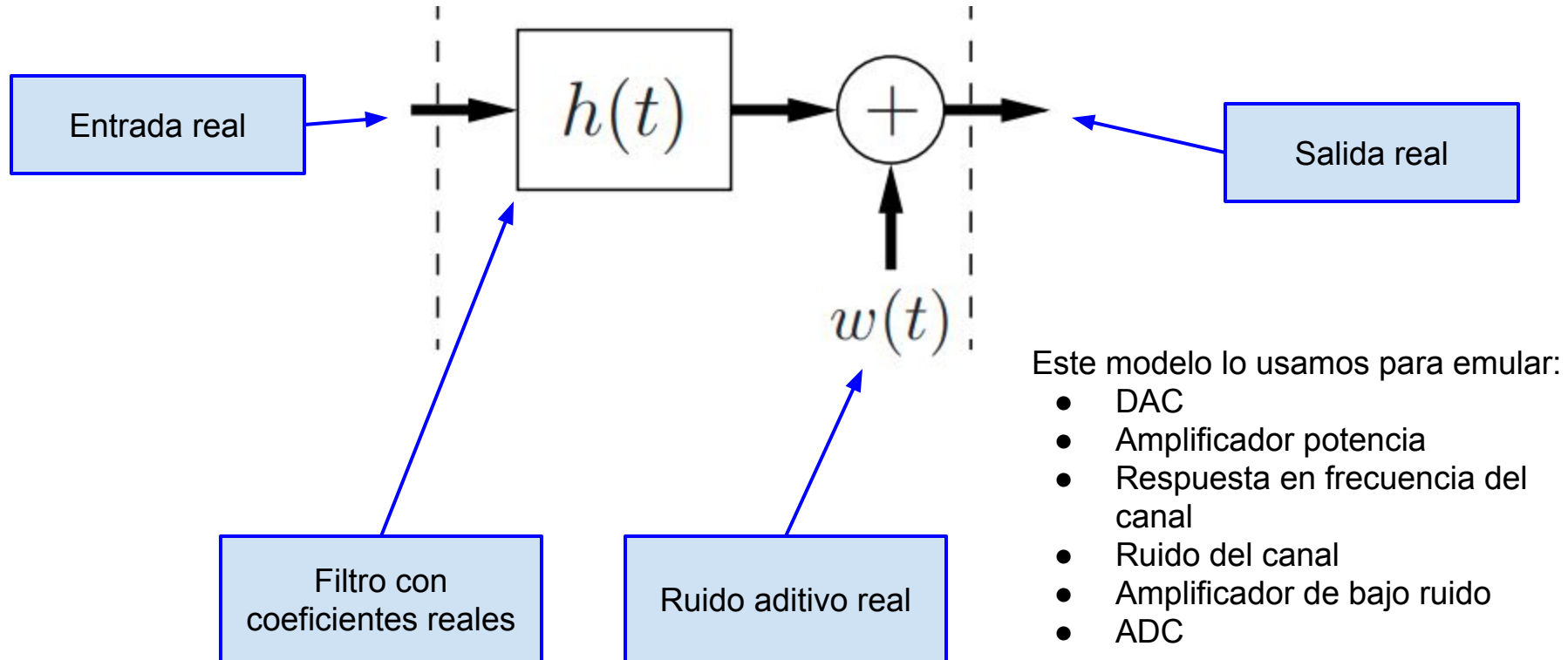
# Arquitectura de sistema de comunicación

## Modelo de canal



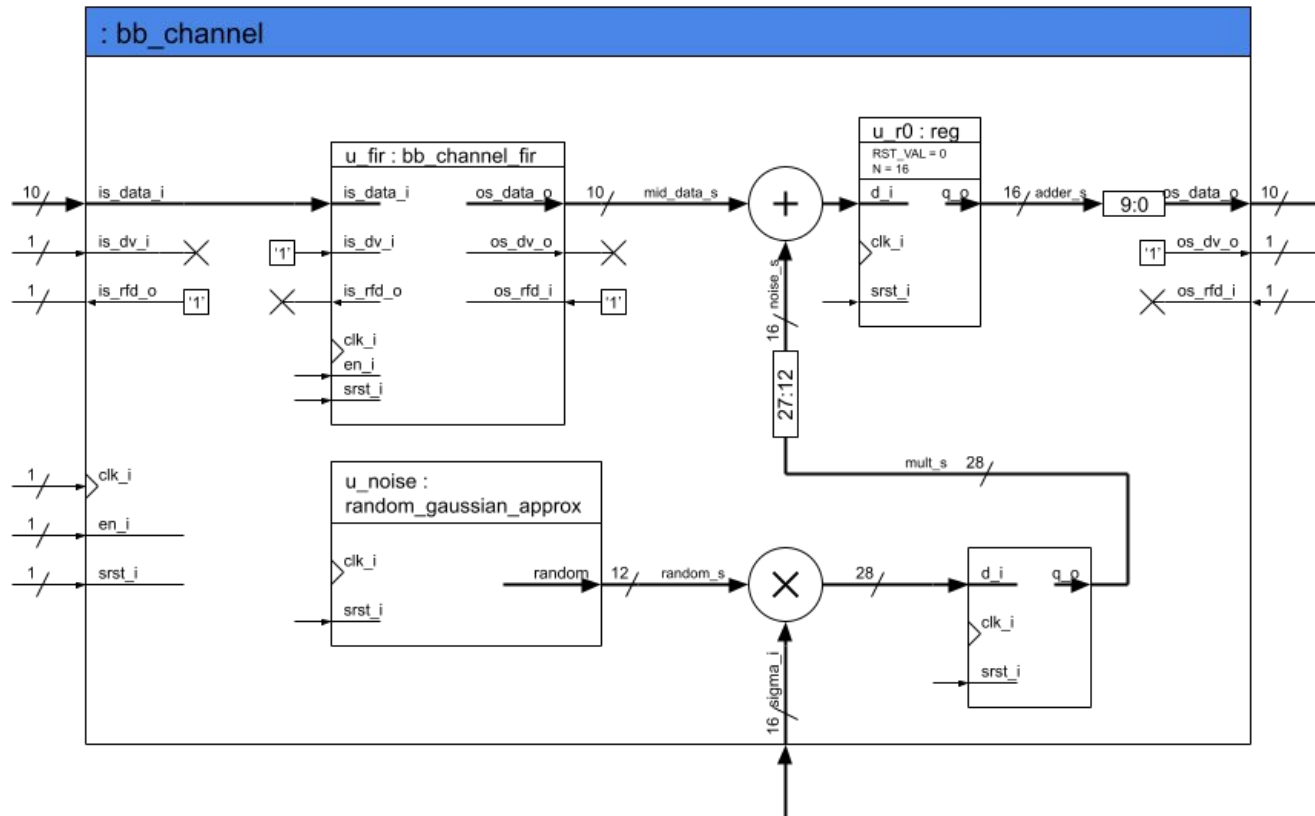
# Arquitectura de sistema de comunicación

## Modelo de canal

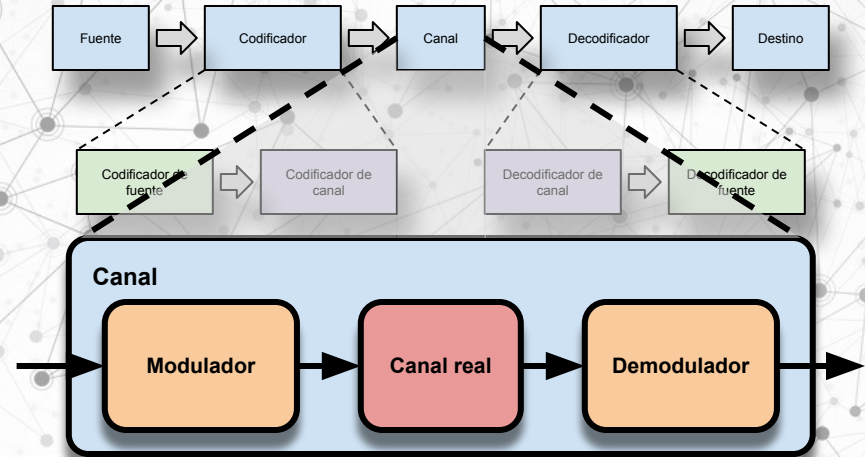


# Arquitectura de sistema de comunicación

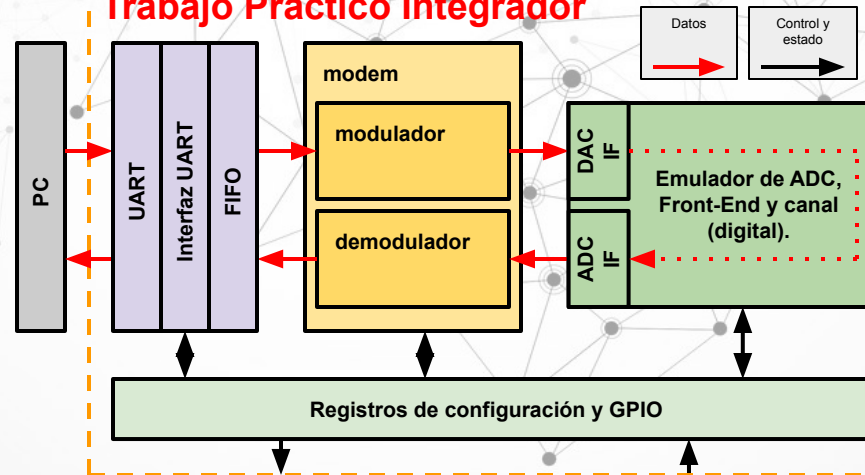
## Arquitectura detallada del canal



# Ejercicio 8



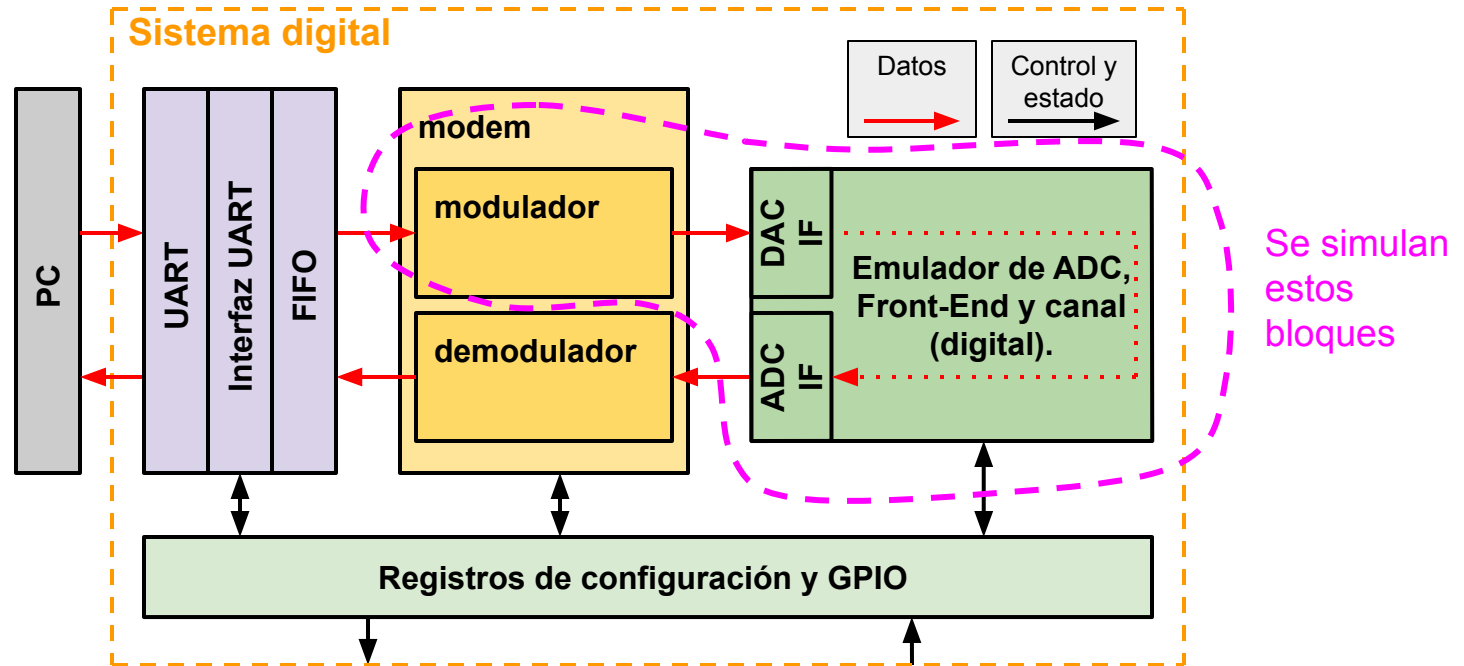
## Trabajo Práctico Integrador



# Diagramas en bloque de los moduladores y demoduladores

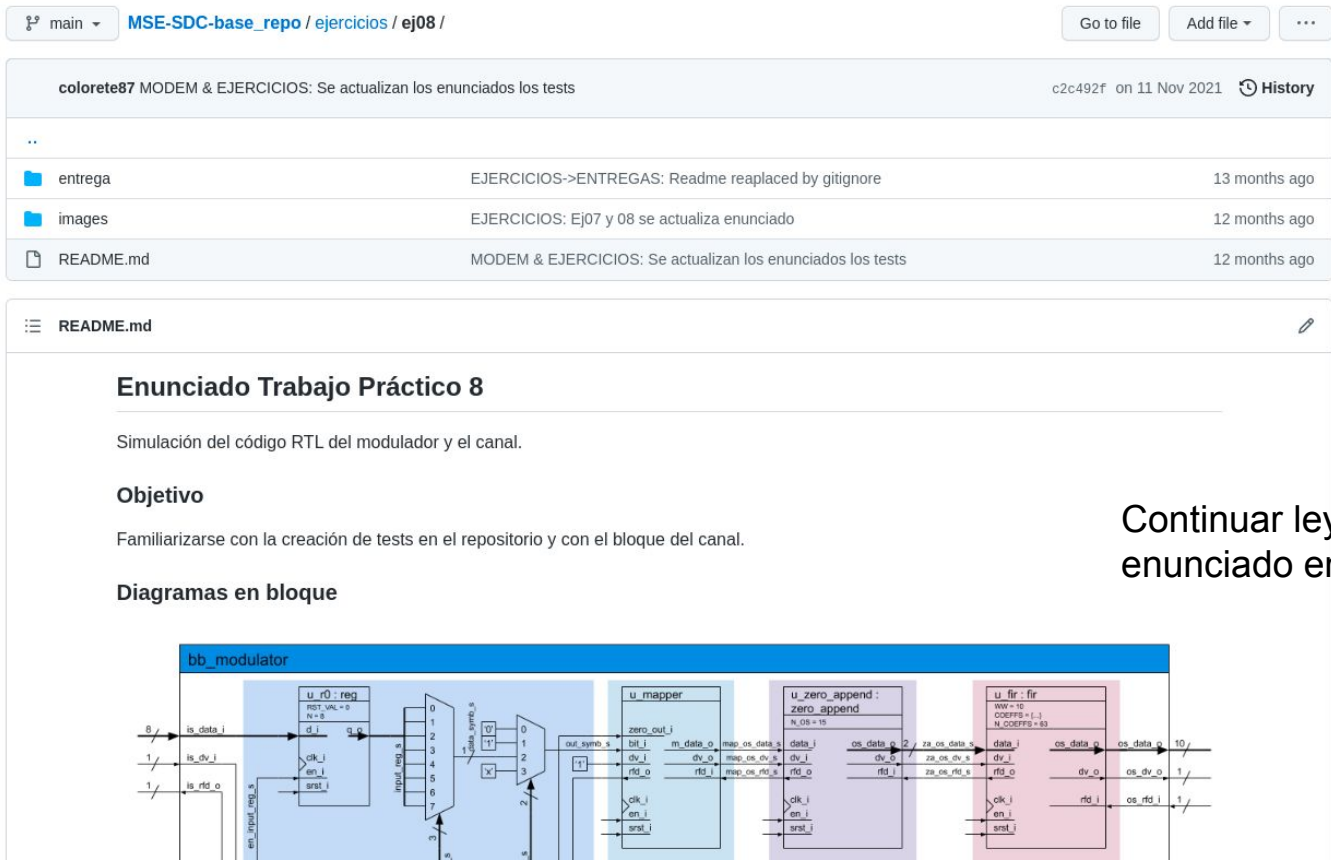
## Ejercicio 08 - Simulación del modulador + canal

### Simulación HDL:





## Ejercicio 08 - Simulación del modulador + canal



# Arquitectura de sistema de comunicación

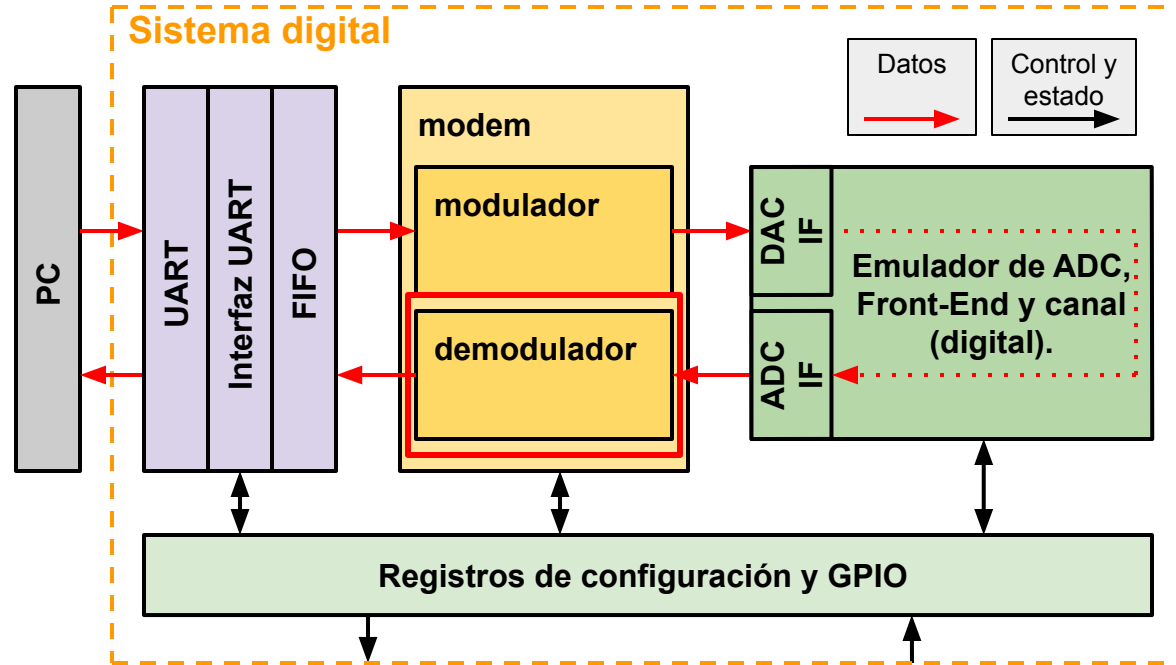
## Arquitectura de alto nivel sistema simplificado (TPI)

Demodulador

# Arquitectura de sistema de comunicación

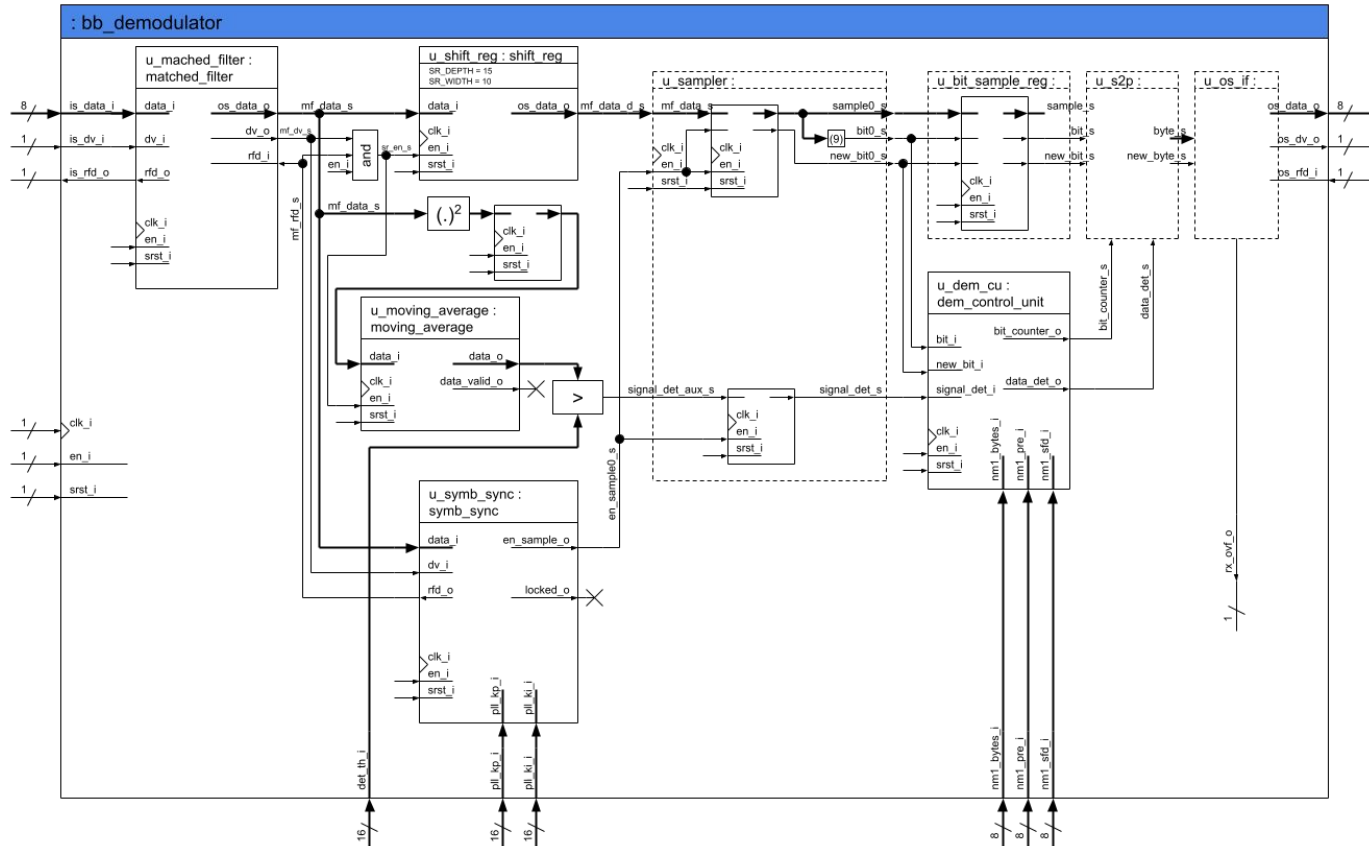
## Arquitectura de alto nivel sistema simplificado (TPI)

### Demodulador



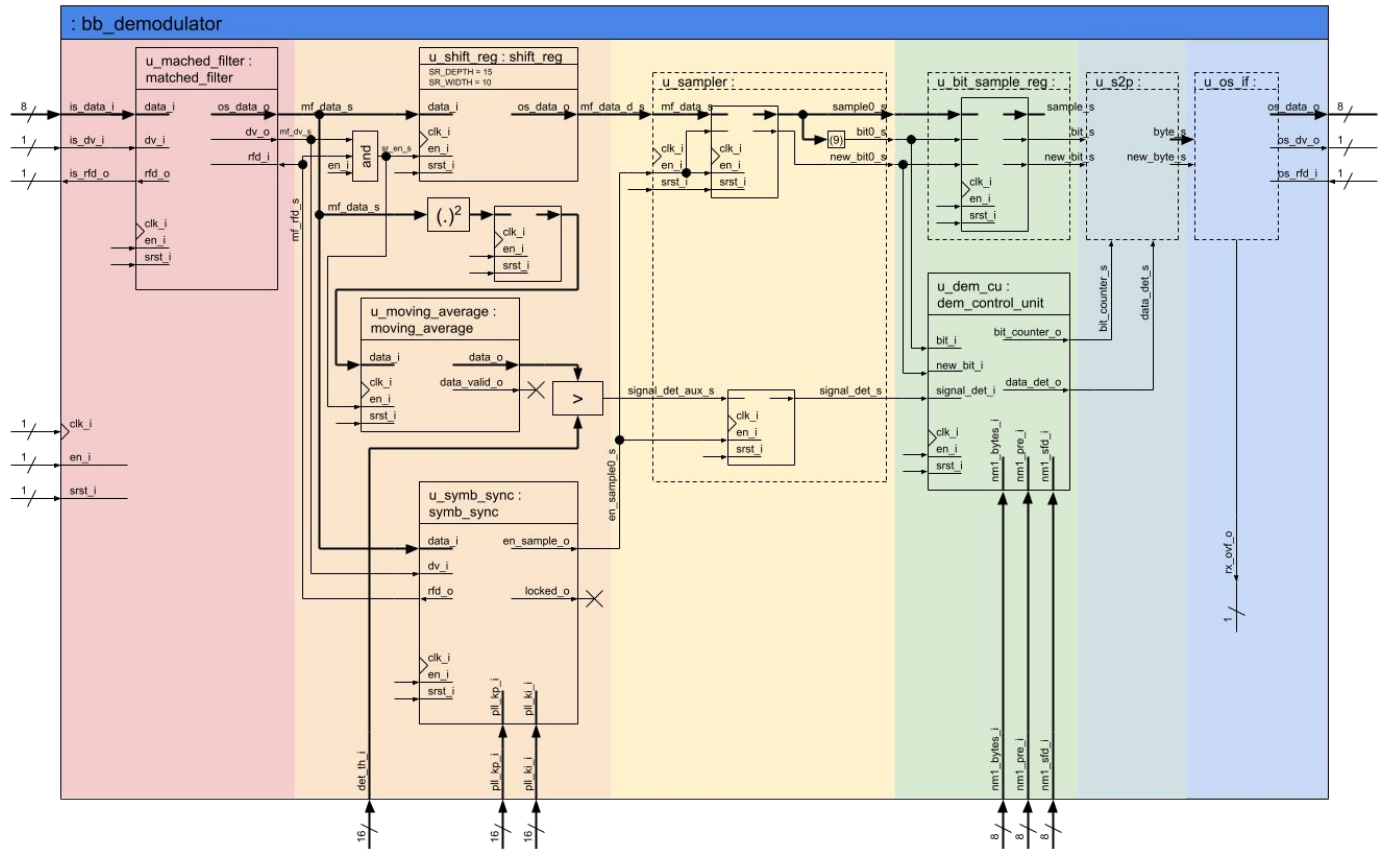
# Diagramas en bloque de los moduladores y demoduladores

## Arquitectura detallada del demodulador



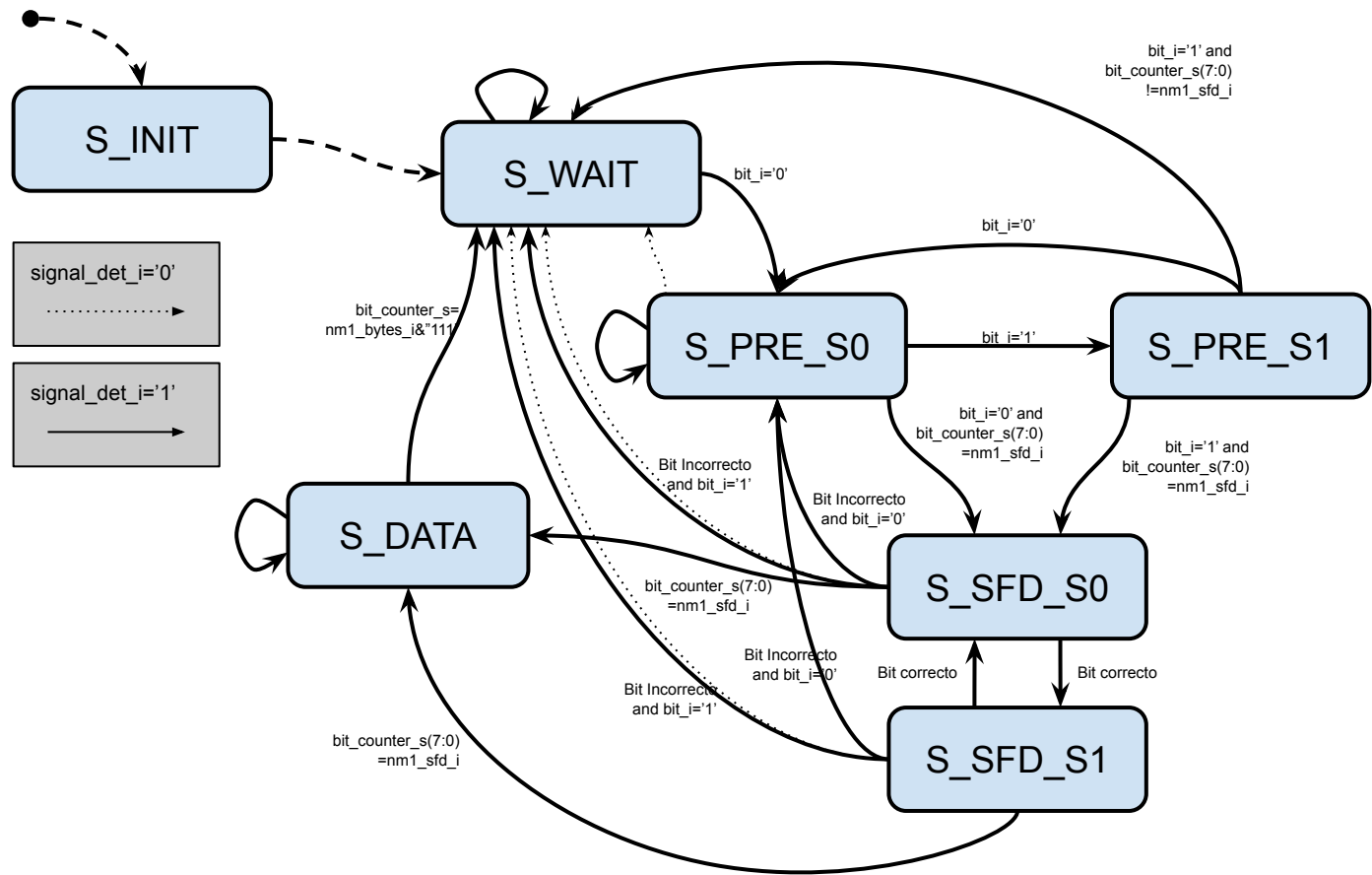
# Diagramas en bloque de los moduladores y demoduladores

## Arquitectura detallada del demodulador



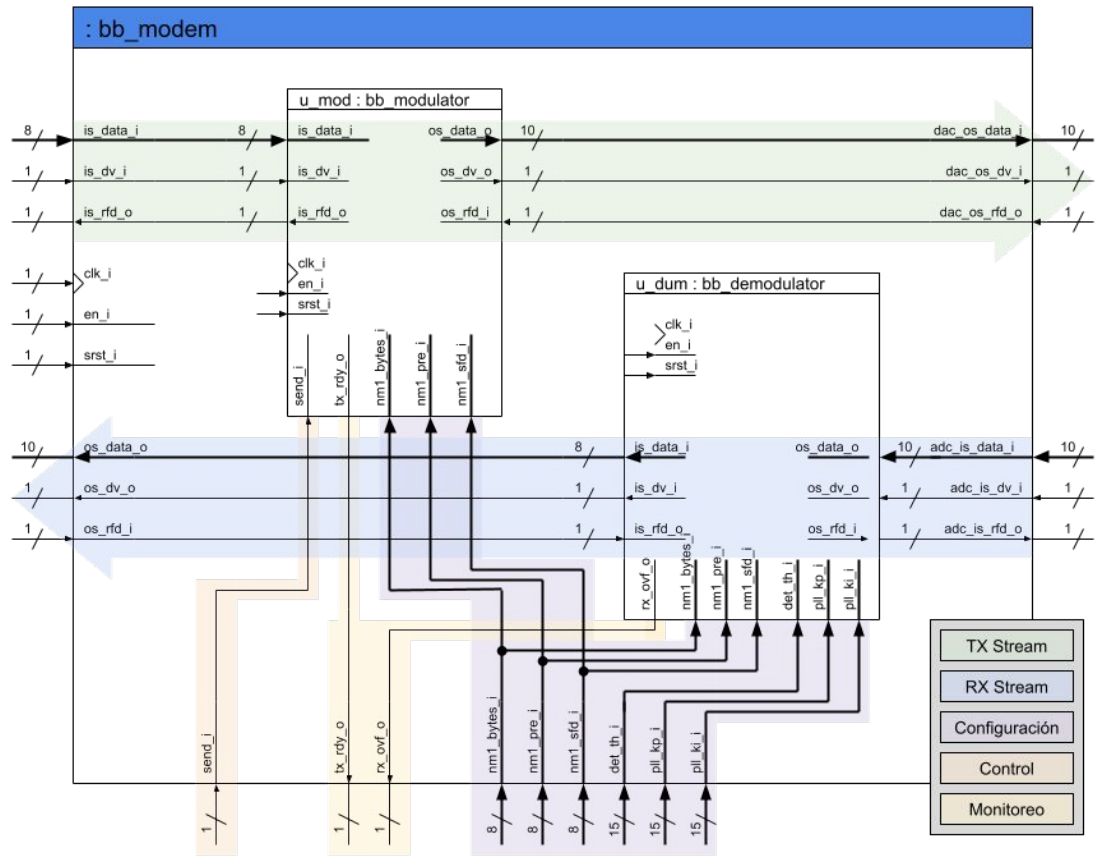
# Diagramas en bloque de los moduladores y demoduladores

## Arquitectura detallada del demodulador

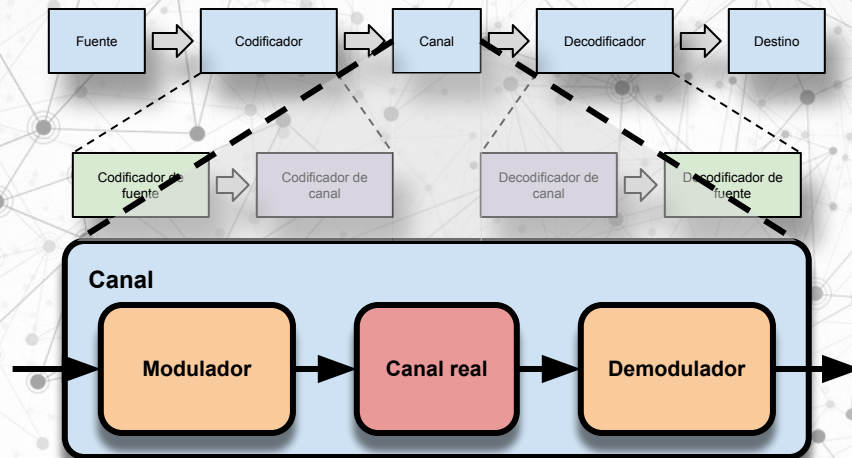


# Diagramas en bloque de los moduladores y demoduladores

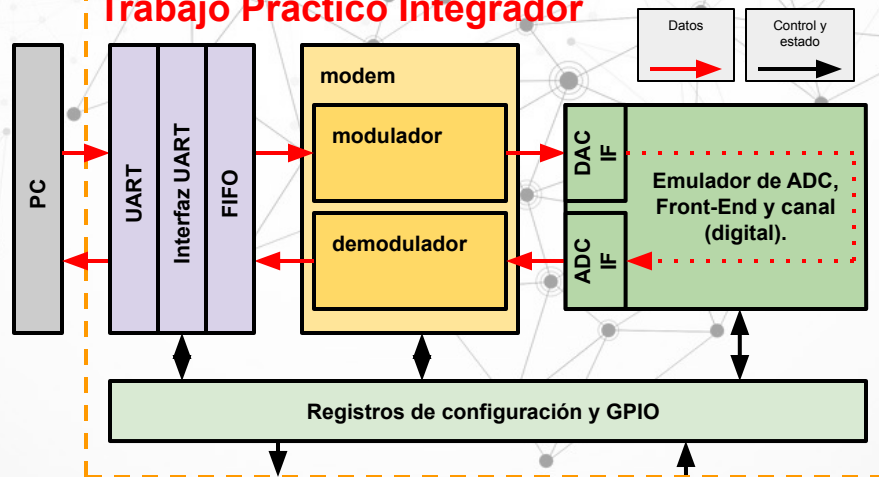
## Arquitectura del modem



# Ejercicio 9



## Trabajo Práctico Integrador



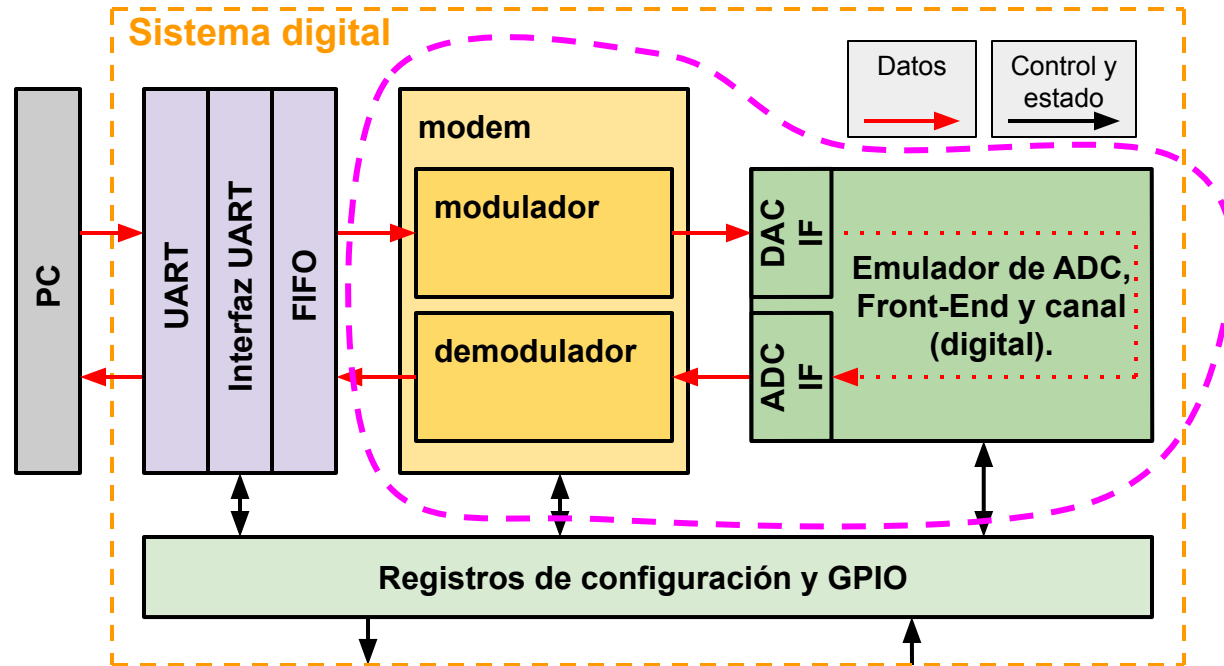


# Diagramas en bloque de los moduladores y demoduladores

## Ejercicio 09 - Simulación del modem + el canal

Simulación HDL:

Se simulan estos bloques. Se agrupan en un módulo llamado `tb_test_modem_channel`



# Diagramas en bloque de los moduladores y demoduladores

## Ejercicio 09 - Simulación del modem + canal



main

MSE-SDC-base\_repo / ejercicios / ej09 /

Go to file

Add file

...

colorete87 EJERCICIOS: Se actualizan enunciados y se agregan imágenes

dee9c73 on Nov 19, 2021 History

..

entrega

EJERCICIOS->ENTREGAS: Readme replaced by gitignore

13 months ago

images

EJERCICIOS: Se actualizan enunciados y se agregan imágenes

12 months ago

README.md

EJERCICIOS: Se actualizan enunciados y se agregan imágenes

12 months ago

README.md

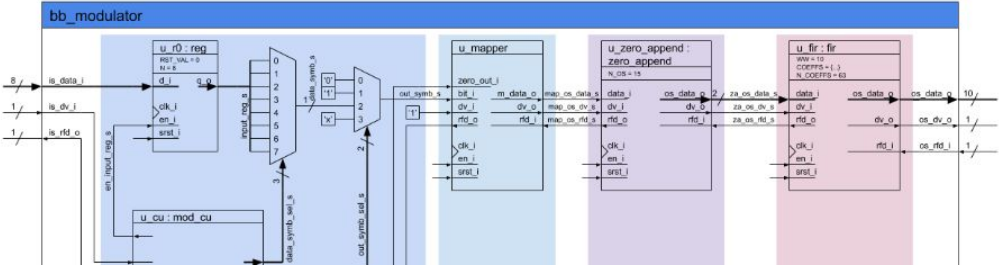
### Enunciado Trabajo Práctico 9

Simulación del código RTL del modem y el canal.

#### Objetivo

Familiarizarse con bloque del demodulador y el bloque del modem que incluye tanto al modulador como al demodulador.

#### Diagramas en bloque



Continuar leyendo el enunciado en el repositorio

## Bibliografía:

- “*Digital Communication*”, John G. Proakis, Masoud Salehi, 5th edition.
- B. P. Lathi. 1998. “*Modern Digital and Analog Communication Systems 3e Osece*” (3rd. ed.). Oxford University Press, Inc., USA.
- Bernard Sklar. 1988. “*Digital communications: fundamentals and applications*”. Prentice-Hall, Inc., USA.
- John M. Cioffi. Libro Online: <https://cioffi-group.stanford.edu/doc/book/>



**¿PREGUNTAS?**

A complex network of interconnected nodes and lines, resembling a social or data network, serves as the background. The nodes are represented by small circles of varying shades of gray, and the connections are thin, light gray lines. The overall pattern is dense and organic, filling the entire frame.

**¡Gracias!**