



**FACULTAD  
DE INGENIERIA**

Universidad de Buenos Aires

**Maestría en  
Sistemas Embebidos**

**Sistemas Digitales  
para las  
Comunicaciones**

# **Arquitectura del sistema de comunicación**

**Simulación e  
implementación del sistema  
completo**

**Parte 3**

Parte 0

Parte 1

Parte 2

**Parte 3**

Parte 4

Parte 5

Parte 6

## **Parte 3: Transceiver - Implementación.**

- Transceiver:
  - Arquitectura del sistema (repaso).
  - TP: Simulación del sistema completo.
  - TP: Implementación en FPGA.
  - TP: Validación por visualización de señales.
  - TP: Caracterización.
- Presentación de temas para TP Final:
  - Posibles temas propuestos por los docentes.
  - Posibles temas propuestos por los alumnos.
  - Discusión.

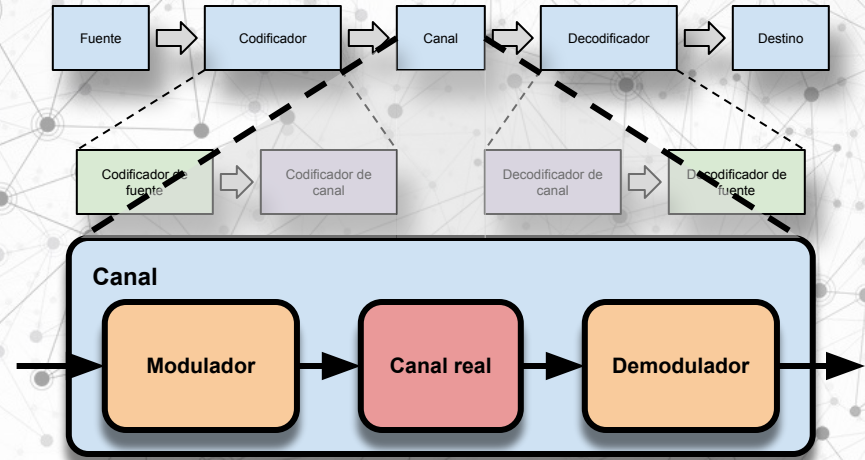
# Arquitectura de sistema de comunicación:

- **Repaso:**

- Recordamos las características del sistema
- Diagrama en bloques simplificado

- **Ejercicios:**

- Simulación del sistema completo
- Implementación del sistema completo



# Características de Trabajo Práctico Integrador (TPI)

## Especificaciones de Modem

- Modulación: 2-PAM (banda base)
- Codificación de línea: No.
- Frecuencia de símbolo: 1 MHz
- Frecuencia de sampleo: 16 MHz
- Pulso:
  - Tipo: Root-raised-cosine.
  - Energía constante = 1.
- Tipo de transmisión: Asincrónica
  - Formato del preámbulo: Preámbulo de sincronización + SFD. Ambos de largo configurable.
  - Formato del payload: Largo configurable en múltiplos de 8 bits (1 byte)

# Características de Trabajo Práctico Integrador (TPI)

## Especificaciones del sistema

- GPIO:
  - Botón de reset
  - Led TX ready
  - Led RX overflow
- Conectividad:
  - UART: 115200 baudios para transmitir y recibir datos (Bytes).
- Interfaz con los módulos análogos:
  - Interfaz de stream (data, valid, ready for data) con módulo IF DAC
  - Interfaz de stream (data, valid, ready for data) con módulo IF ADC

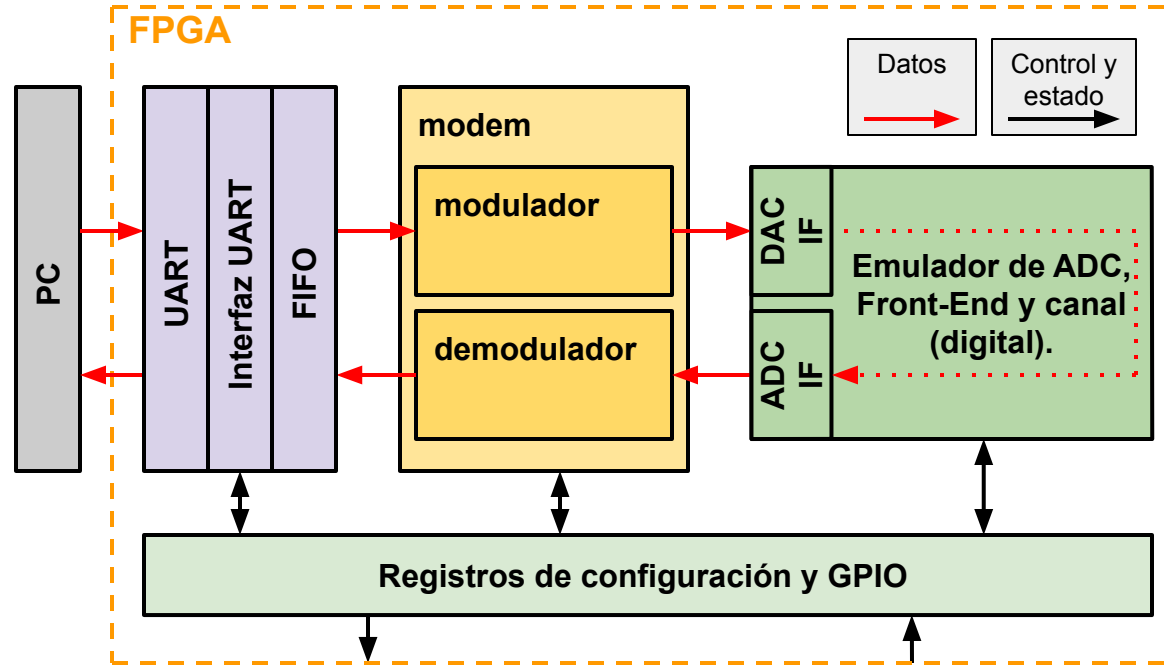
# Características de Trabajo Práctico Integrador (TPI)

## Especificaciones de la emulación del ADC, DAC, Front-End analógico y canal

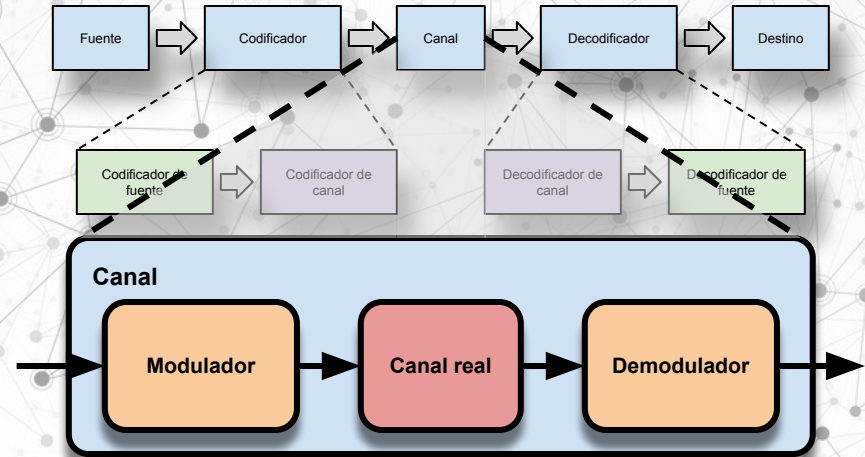
- IF DAC:
  - Interfaz de stream con 10 bits de datos formato Q10.8
  - Indicación de underflow
- IF ADC:
  - Interfaz de stream con 10 bits de datos formato Q10.8
  - Indicación de overflow
- Canal:
  - Interfaces de DAC y ADC con clock común.
  - Respuesta en frecuencia: Implementada mediante FIR de largo configurable.
  - Ruido blanco aproximadamente Gaussiano con varianza configurable.

# Arquitectura de sistema de comunicación

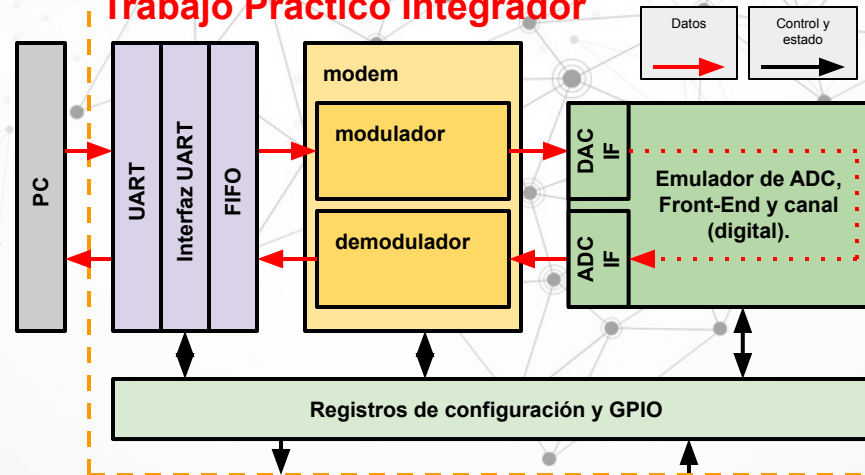
## Arquitectura de alto nivel sistema simplificado (TPI)



# Ejercicio 10



## Trabajo Práctico Integrador

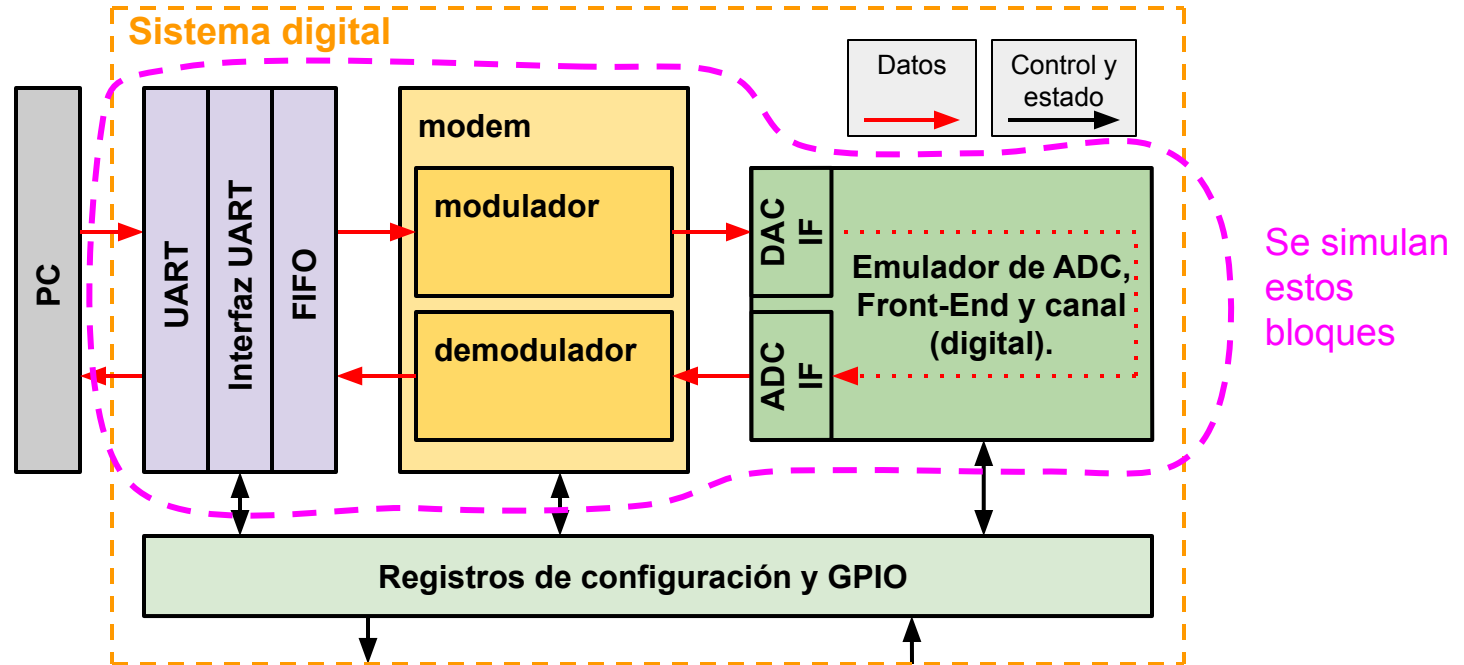




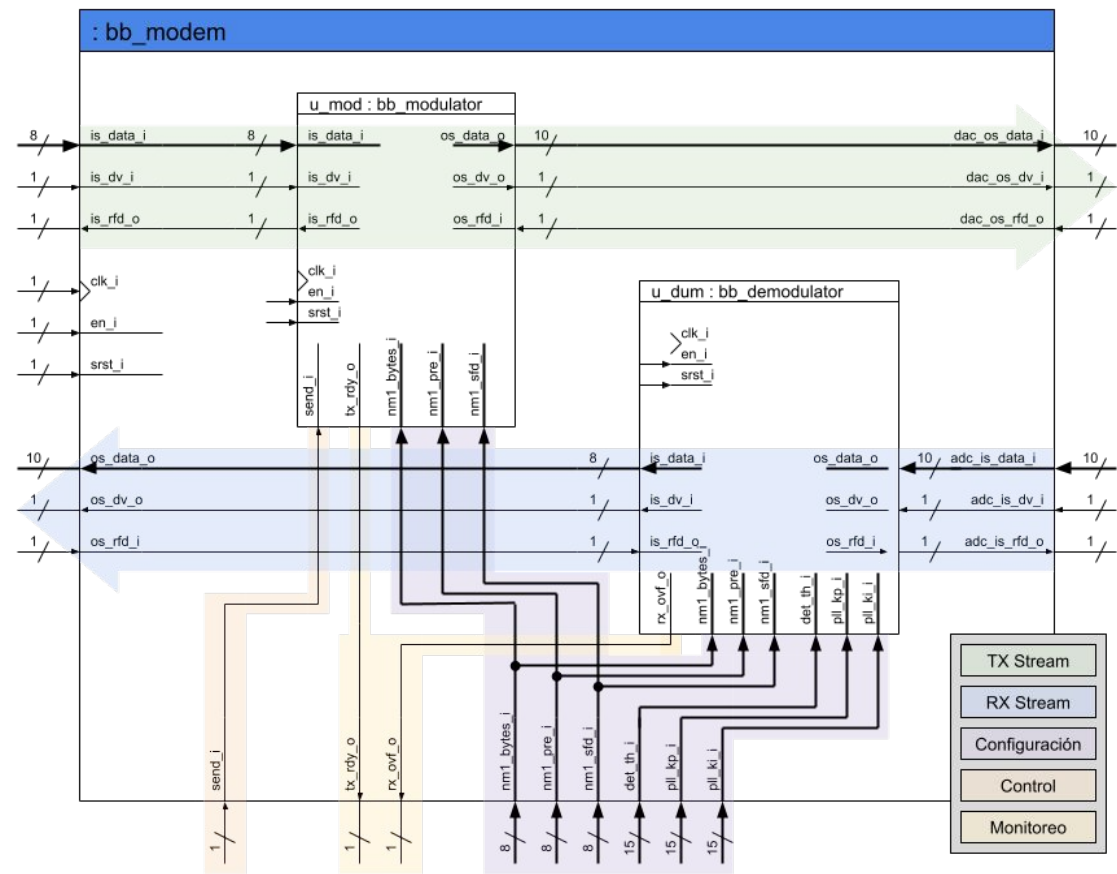
# Ejercicios

## Ejercicio 10 - Simulación del sistema completo

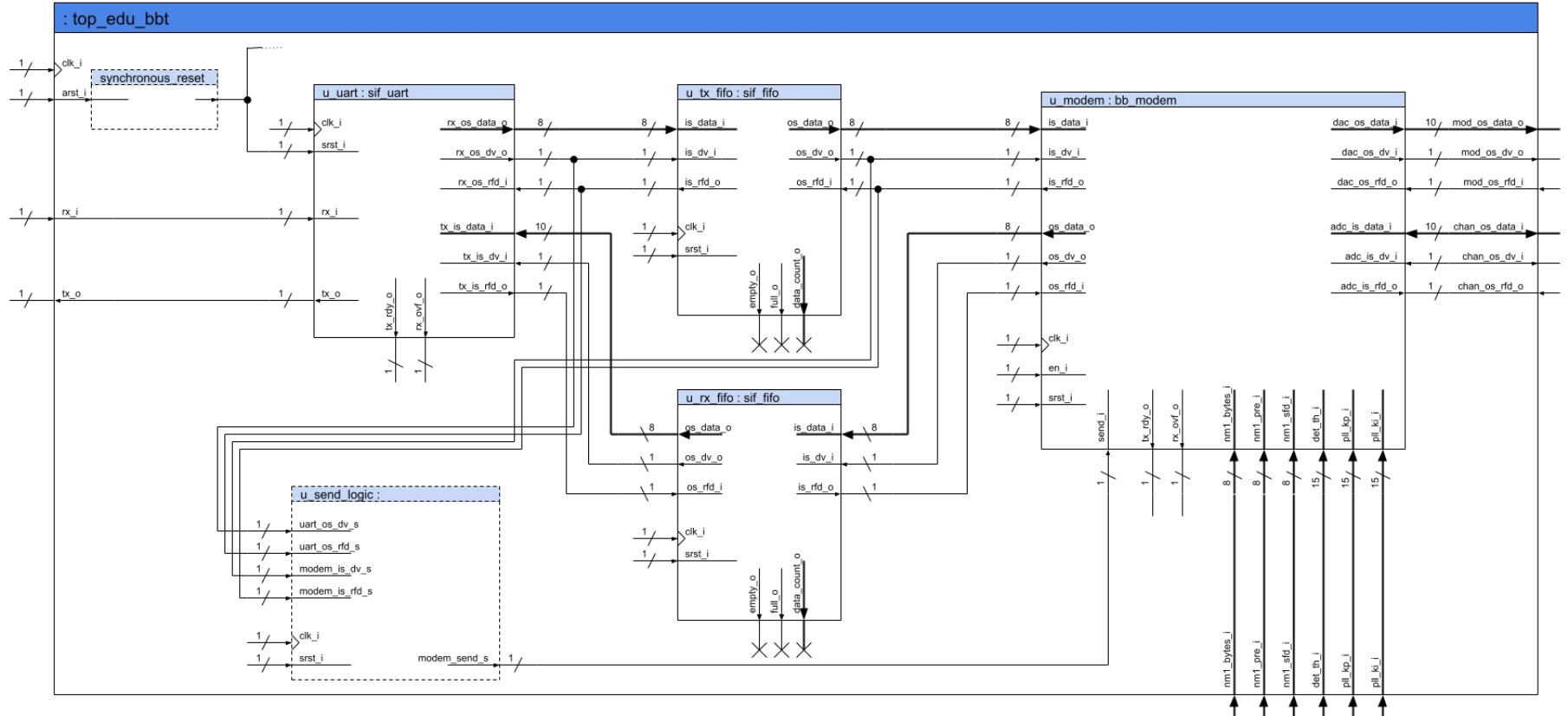
Simulación HDL:



Ejercicio 10 - Simulación del sistema completo - Diagrama en bloques



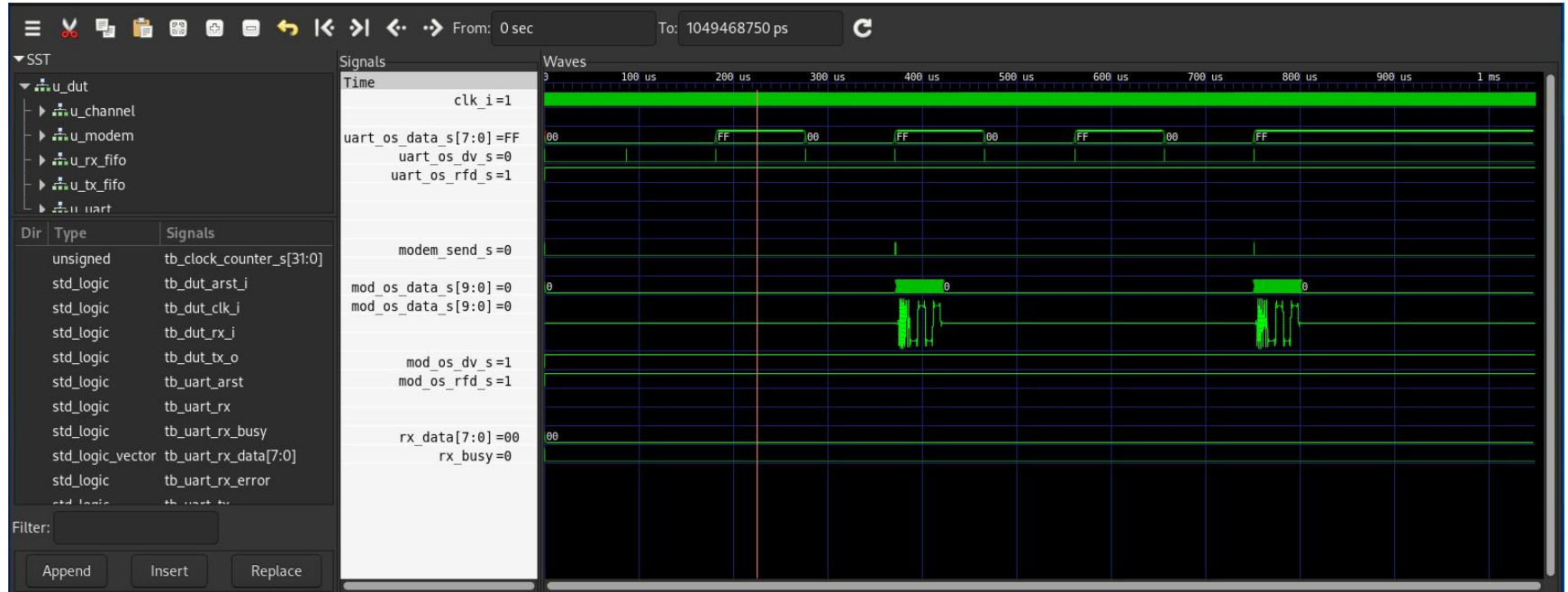
## Ejercicio 10 - Simulación del sistema completo - Diagrama en bloques



# Ejercicios

## Ejercicio 10 - Simulación del sistema completo

### Simulación HDL: Ejemplo



# Diagramas en bloque de los moduladores y demoduladores

## Ejercicio 10 - Simulación del sistema completo



main MSE-SDC-base\_repo / ejercicios / ej10 /

Go to file Add file ...

colorete87 EJERCICIOS: Se actualizan enunciados y se agregan imágenes dee9c73 on Nov 19, 2021 History

..		
entrega	EJERCICIOS->ENTREGAS: Readme replaced by gitignore	13 months ago
images	EJERCICIOS: Se actualizan enunciados y se agregan imágenes	12 months ago
README.md	EJERCICIOS: Se actualizan enunciados y se agregan imágenes	12 months ago

README.md

### Enunciado Trabajo Práctico 10

Simulación del código RTL del sistema completo.

**Objetivo**

Familiarizarse con sistema completo, incluyendo:

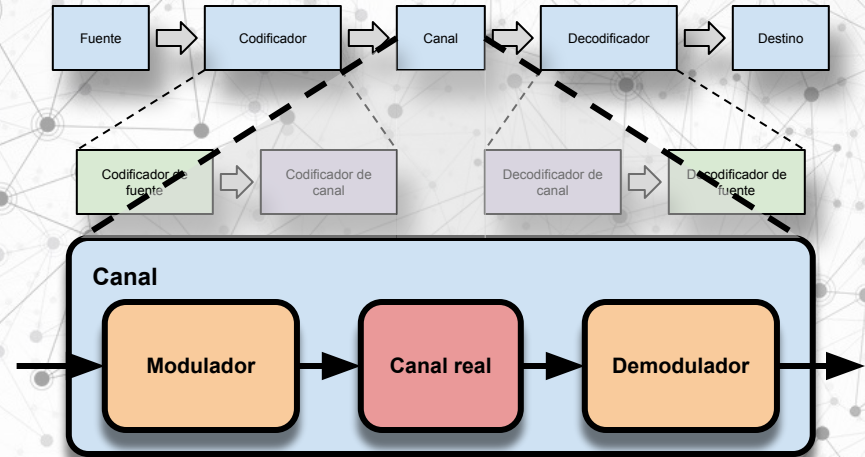
- Modem
- Emulador d canal
- Unidad de control
- FIFOs
- UART

**Diagramas en bloque**

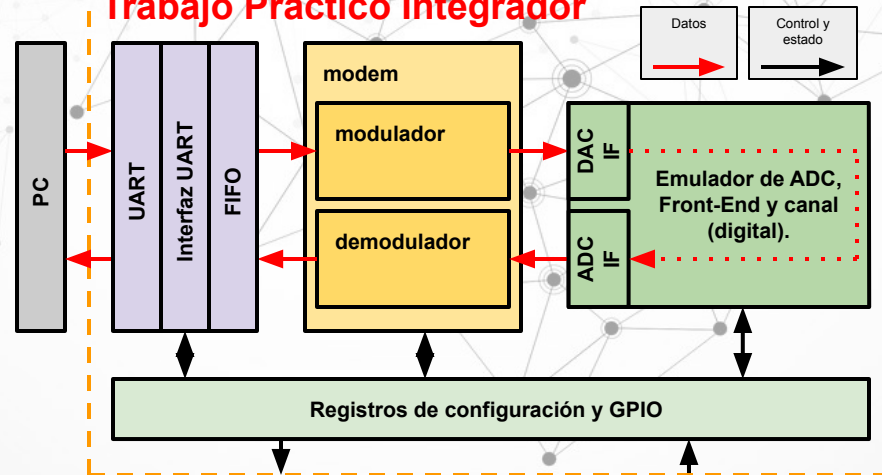
```
graph LR
    subgraph bb_modem
        direction TB
        is_data_i[is_data_i]
        is_dv_i[is_dv_i]
        is_rfd_o[is_rfd_o]
        clk_i[clk_i]
    end
    subgraph u_mod_bb_modulator
        direction TB
        is_data_i2[is_data_i]
        is_dv_i2[is_dv_i]
        is_rfd_i[is_rfd_i]
        os_data_o[os_data_o]
        os_dv_o[os_dv_o]
        os_rfd_i2[os_rfd_i]
        clk_i2[clk_i]
        en_i[en_i]
    end
    subgraph u_dum_bb_demodulator
        direction TB
        dac_os_data[10]
        dac_os_dv_i[1]
        dac_os_rfd_o[1]
    end
    is_data_i -- 8 --> is_data_i2
    is_dv_i -- 1 --> is_dv_i2
    is_rfd_o -- 1 --> is_rfd_i2
    clk_i -- 1 --> clk_i2
    is_data_i2 -- 8 --> os_data_o
    is_dv_i2 -- 1 --> os_dv_o
    is_rfd_i2 -- 1 --> os_rfd_i2
    os_data_o -- 10 --> dac_os_data
    os_dv_o -- 1 --> dac_os_dv_i
    os_rfd_i2 -- 1 --> dac_os_rfd_o
    en_i -- 1 --> u_dum_bb_demodulator
```

Continuar leyendo el enunciado en el repositorio

# Ejercicio 11



## Trabajo Práctico Integrador

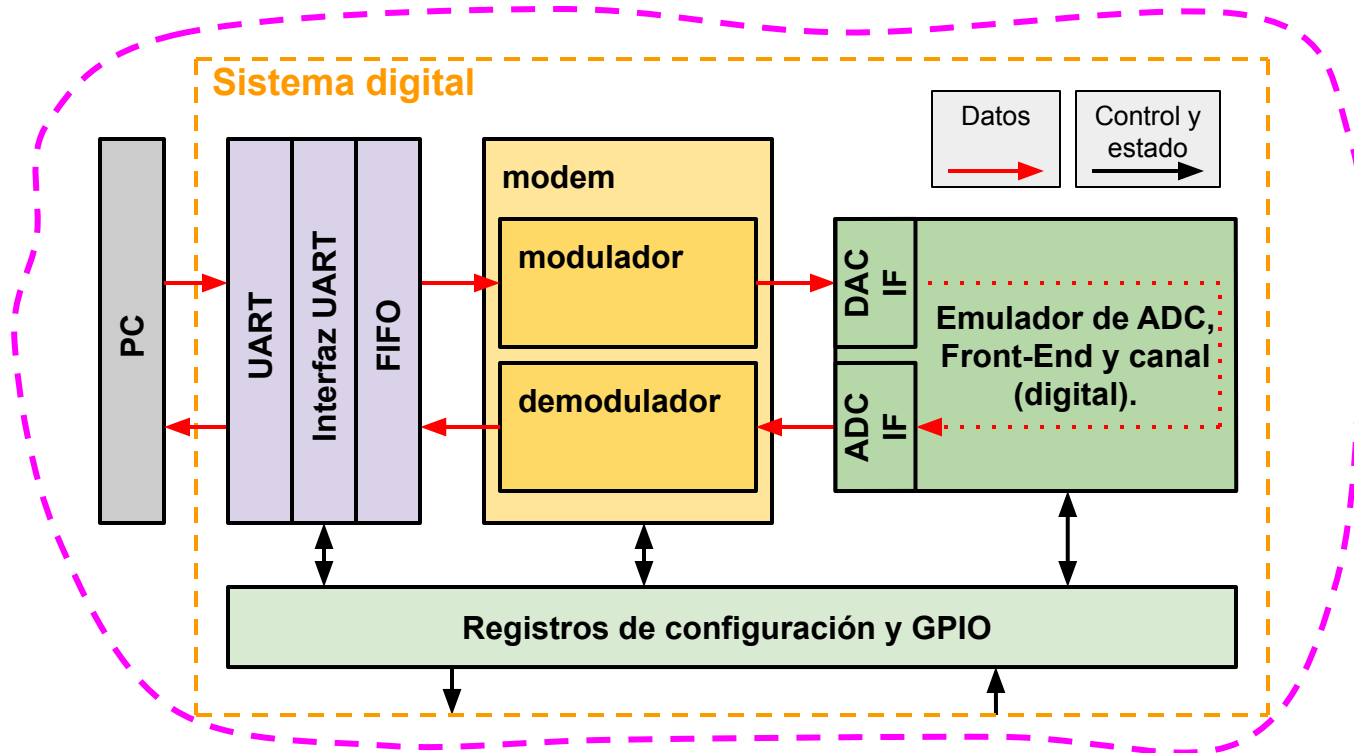


# Ejercicios

## Ejercicio 11 - Implementación del sistema completo

Implementación:

Finalmente se implementa  
todo el sistema



## Ejercicio 11 - Implementación del sistema completo

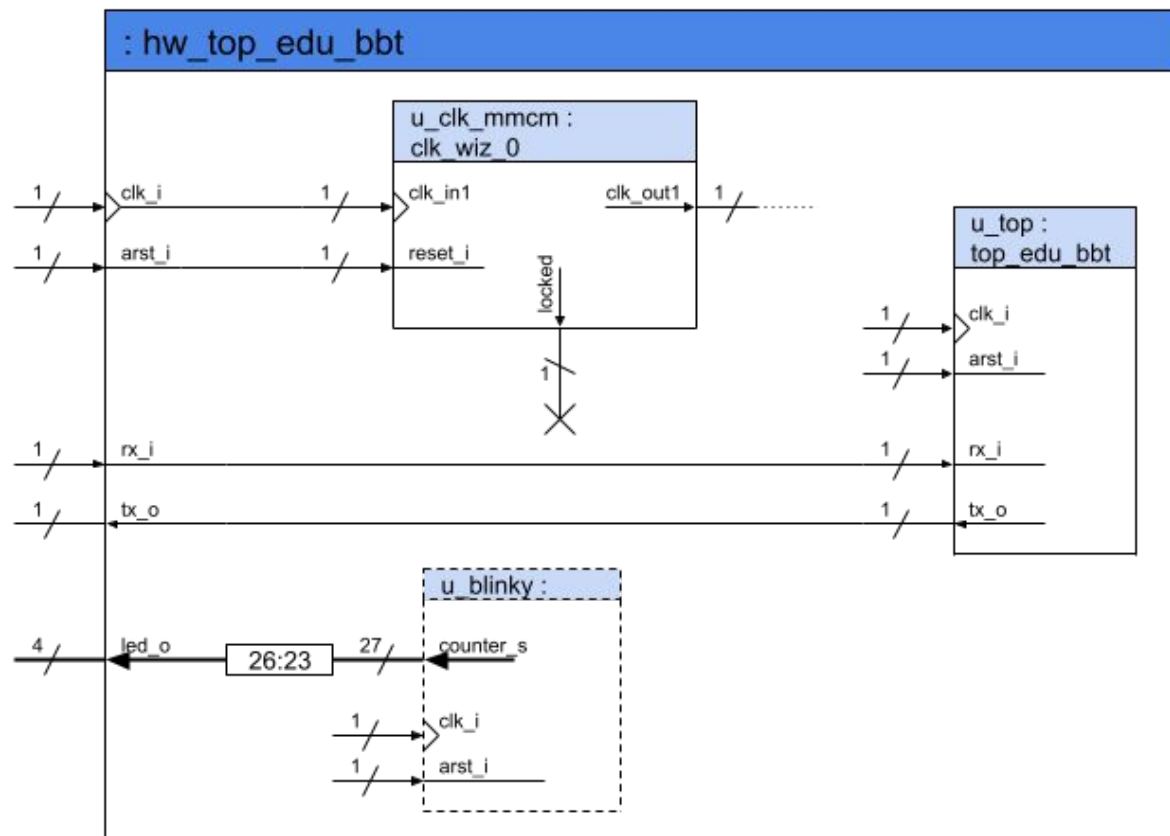
### Implementación:

- Módulo HW top: Se interactúa a través de UART y leds.
  - Bloque Mixed-Mode Clock Manager (MMCM): Para sintetizar reloj adecuado.
  - Bloque blinky: Como indicador de actividad de reloj.
  - Top del sistema completo: Además de los bloques vistos en el ejercicio 10 se deben instanciar dos bloques más:
    - Instancia de VIO: Son los registros de configuración del sistema.
    - Instancia de ILA: Para visualizar las señales internas de la FPGA.



# Ejercicios

## Ejercicio 11 - Implementación del sistema completo - Diagrama en bloques



# Diagramas en bloque de los moduladores y demoduladores

## Ejercicio 11 - Implementación del sistema completo



main MSE-SDC-base\_repo / ejercicios / ej11 /

Go to file Add file ...

colorete87 EJERCICIOS: Ej11 actualizado 939db16 on Nov 19, 2021 History

..		
entrega	EJERCICIOS->ENTREGAS: Readme replaced by gitignore	13 months ago
images	EJERCICIOS: Se actualizan enunciados y se agregan imágenes	12 months ago
BD-hw_top_edu_bbt.png	EJERCICIOS: Se actualizan enunciados y se agregan imágenes	12 months ago
README.md	EJERCICIOS: Ej11 actualizado	12 months ago

README.md

### Enunciado Trabajo Práctico 11

Implementación en FPGA del sistema.

#### Objetivo

Implementar el modem (y el resto del sistema) en FPGA y verificar su correcto funcionamiento.

Familiarizarse con los IP de Xilinx:

- Integrated Logic Analyzer (ILA)
- Virtual Input/Output (VIO)

#### Diagramas en bloque

```
graph LR
    subgraph hw_top_edu_bbt
        u_clk_mmcm[u_clk_mmcm]
        u_top[u_top]
        u_clk_mmcm -- clk_out1 --> u_top
    end
    clk_i --> u_clk_mmcm
    reset_i --> u_clk_mmcm
    rx_i --> u_top
    u_top -- tx_i --> tx_o
    u_top -- rx_o --> rx_o
```

Continuar leyendo el  
enunciado en el repositorio

## Bibliografía:

- “*Digital Communication*”, John G. Proakis, Masoud Salehi, 5th edition.
- B. P. Lathi. 1998. “*Modern Digital and Analog Communication Systems 3e Osece*” (3rd. ed.). Oxford University Press, Inc., USA.
- Bernard Sklar. 1988. “*Digital communications: fundamentals and applications*”. Prentice-Hall, Inc., USA.
- John M. Cioffi. Libro Online: <https://cioffi-group.stanford.edu/doc/book/>



**¿PREGUNTAS?**



**¡Gracias!**