

计算机指令系统 调研报告

2014211304 班

D 组

史文翰 2014211218

林宇辰 2014211223

王剑督 2014211228

崔嘉伟 2014211233

杨 莹 2014211238

徐丹雅 2014211243

郝绍明 2014210123

一、 x86

1、 历史

x86 架构于 1978 年推出的 Intel 8086 中央处理器中首度出现，它是从 Intel 8008 处理器中发展而来的，而 8008 则是发展自 Intel 4004 的。8086 在三年后为 IBM PC 所选用，之后 x86 便成为了个人计算机的标准平台，成为了历来最成功的 CPU 架构。

其他公司也有制造 x86 架构的处理器，计有 Cyrix（现为 VIA 所收购）、NEC 集团、IBM、IDT 以及 Transmeta。Intel 以外最成功的制造商为 AMD，其早先产品 Athlon 系列处理器的市场份额仅次于 Intel Pentium。

8086 是 16 位处理器；直到 1985 年 32 位的 80386 的开发，这个架构都维持是 16 位。接着一系列的处理器表示了 32 位架构的细微改进，推出了数种的扩充，直到 2003 年 AMD 对于这个架构发展了 64 位的扩充，并命名为 AMD64。后来 Intel 也推出了与之兼容的处理器，并命名为 Intel 64。两者一般被统称为 x86-64 或 x64，开创了 x86 的 64 位时代。

2、 特点

x86 架构是重要地可变指令长度的 CISC（复杂指令集计算机，Complex Instruction Set Computer）。字组（word，4 字节）长度的存储器访问允许不对齐存储器地址，字组是以低位字节在前的顺序储存在存储器中。向前兼容性一直都是在 x86 架构的发展背后一股驱动力量（设计的需要决定了这项因素而常常导致批评，尤其是来自对手处理器的拥护者和理论界，他们对于一个被广泛认为是落后设计的架构的持续成功感到不解）。但在较新的微架构中，x86 处理器会把 x86 指令转换为更像 RISC 的微指令再予执行，从而获得可与 RISC 比拟的超标量性能，而仍然保持向前兼容。x86 架构的处理器一共有四种执行模式，分别是真实模式，保护模式，系统管理模式以及虚拟 V86 模式。

（1） 实时模式

Intel 8086 和 8088 有 14 个 16 位寄存器。其中四个（AX，BX，CX，DX）是通用目的（尽管每个寄存器都有附加目的；举个例子：只有 CX 可以被用来当作 loop（循环）指令的计数器。）每个寄存器可以被当成两个分开的字节访问（因此 BX 的高位可以被当成 BH，低位则可以当成 BL）。除了这些寄存器，还有四个区段寄存器（CS、DS、SS、ES）。他们用来产生存储器的绝对地址。还有两个指针寄存器（SP 是指向堆栈的底部，BP 可以用来指向堆栈或存储器的其它地方）。两个指针寄存器（SI 和 DI）可以用来指向数组的内部。最后，有标志寄存器（包含状态标志比如进位、溢出、零标志，等等）。以及 IP 是用来指向目前运行指令的地址。

在实模式下，存储器的访问是被区段开来。为了得到最后 20 位的存储器地址，要将区段的地址往左移动 4 位，并且加上偏移的地址。因此，实模式下总共可以寻址的空间是 2 字节，或者是 1MB，于 1979 年是相当让人印象深刻的象征。在实模式下有两种寻址模式：near 和 far。在 far 模式，区段跟偏移都需要被指定；在 near 模式，只需要偏移模式被指定，而存储器区段是由适当的区段寄存器获得。以数据而言是使用 DS 寄存器，代码是 CS 寄存器，堆栈是 SS 寄存器。举个例子，如果 DS 是 A000h 且 SI 是 5677h，DS:SI

会指向计忆体的绝对地址 $DS \times 16 + SI = A5677h$

(2) 16 位保护

在这种架构下，两对不同的区段/偏移可以指向一个相同的绝对地址。因此如果 DS 是 A111h 且 SI 是 4567h，DS:SI 会指向跟上一段相同的 A5677h。除了 duplicity 之外，这种架构无法同时一次拥有 4 个以上的区段。此外，CS、DS 和 SS 是为了程序正确功能而必须的，因此仅仅只有 ES 可以被用来指向其它的地方。这种模式原本是为了与 Intel 8085 兼容，导致程序设计师永无止尽的痛苦。

除了以上所说的，8086 也拥有 8-bit 的 64K（另一种说法是 16-bit 的 32K）输入输出（en:I/O）空间，以及一个由硬件支持的 64K（一个区段）存储器堆栈。只有 words（2 字节）可以被推入到堆栈中。堆栈是由存储器的上端往下成长，他的底端是由 SS:SP 指向。有 256 个中断（interrupts），可以由硬件或是软件同时组成。中断是可以串连在一起，使用堆栈来储存返回被中断的程序地址。

Intel 80286 可以在不改变任何东西下，支持 8086 的实模式 16 位软件，然而它也支持额外的工作模式称为保护模式，可以将可寻址的物理内存扩充到 16MB，可寻址的虚拟内存最大到 1GB。这是使用节区寄存器来储存在节区表格中的索引值。处理器中有两个这样的表格，分别为 GDT 和 LDT，每一个可以储存最多 8192 个节区的描述子，每一个节区可以给予最大到 64KB 的存储器访问。节区表格提供一个 24 位的基底地址（base address），可以用此基底地址增加想要的偏移量来创造出一个绝对地址。此外，每一个节区可以被赋予四种权限等级中的一种（称为“rings”）。

尽管这个推出的功能是一项进步，但是他们并没有被广泛地使用，因为保护模式的操作系统无法运行现有的实模式软件。这样的能力只有在随后 80386 处理器的虚拟 86 模式中出现。

在同时，操作系统比如 OS/2 尝试使用类似乒乓的方法，让处理器在保护和实模式间切换。这样都会让计算机变慢且不安全，像是在实模式下的程序可以轻易地使计算机当机。OS/2 也定义了限制性的程序设计规则允许“Family API”或“bound”程序可以在实模式或保护模式下运行。然而这是给原本为保护模式下设计的程序有关，反之则不然。保护模式程序并不支持节区选择子和物理内存之间的关系。有时候会错误地相信在 16 位保护模式下运行实模式的程序，导致 IBM 必须选择使用 Intel 保留给 BIOS 的中断调用。事实上这类的程序使用任意的选择子数值和使用在上面提到的“节区运算”的方式有关。

这个问题也在 Windows 3.x 上出现。这个推出版本想要在 16 位保护模式下运行程序，而先前的版本只能在实模式下运行。理论上，如果 Windows 1.x 或 2.x 程序是写得“适当”且避免使用节区运算的方式，它就有可能在真实和保护模式两者下运行。Windows 程序一般来说都会避免节区运算，这是因为 Windows 实现出软件的虚拟内存方式，及当程序不运行时候，搬移存储器中的代码和数据，所以操作绝对地址的方式是很危险的；当程序不运行时，被认为要保持存储器区块的“handles”，这样的 handles 已经非常相当于保护模式的选择子。在保护模式下的 Windows 3.0 运行一个旧的程序，会触发一个警告对话框，建议在实模式下运行 Windows（推测还是仍然可以使用扩充存储器，可能是在 80386 机器用 EMM386 模拟，因此它并不被局限于 640KB）

或是从厂商那更新到新的版本。好的行为之程序可能可以使用特别的工具来避免这样的对话框。不可能有些 GUI 程序在 16 位保护模式下运行，且其它 GUI 程序在实模式运行，可能是因为这会需要两个分开的环境且会依于前面所提到的处理器在两个模式间的乒乓效应。从 Windows 3.1 版开始，实模式就消失了。

(3) 32 位保护

Intel 80386 推出后，也许是到目前为止 x86 架构的最大跃进。除了需要值得注意的 Intel 80386SX 是 32 位架构但仅只有 24 位寻址（和 16 位数据总线）。除此之外其他架构都是 32 位 - 所有的寄存器、指令集、输出输入空间和存储器寻址。为了能够在后者所说的功能工作，要使用 32 位扩充的保护模式。然而不像 286, 386 所有的区段可以使用 32 位的偏移量，即使存储器空间有使用区段，但也允许应用程序访问超过 4GB 空间而不需要区段的分隔。此外，32 位保护模式提供分页的支持，是一种让虚拟内存得以实现的机制。

没有新的通用寄存器被加入。所有 16 位的寄存器除了区段寄存器外都扩充为 32 位。Intel 在寄存器的助记符号上加入“E”来表示（因此扩充的 AX 变成 EAX，SI 变成 ESI，依此类推）。因为有更多的寄存器数量、指令、和运算单元，因此机器码的格式也被扩充。为了提供与先前的架构兼容，包含运行码的区段可以被标示为 16 或是 32 位的指令集。此外，特殊的前置符号也可以用来在 16 位的区段包含 32 位的脚本，反之亦然。

分页跟区段的存储器访问是为了支持现在多任务操作系统所必须要的。Linux、386BSD、Windows NT 和 Windows 95 都是一开始为 386 所发展，因为它是第一颗提供可靠地程序分离存储器空间的支持（每个程序拥有自己的寻址空间）以及可以在必要的情况下打断他们程序的运行（使用 ring，一种 x86 保护模式下权力分级的名称）。这种 386 的基本架构变成未来所有 x86 系列发展的基础。

Intel 80386 数学辅助运算处理器也在集成到这个 CPU 之后的 x86 系列中，也就是 Intel 80486。新的 FPU 可以帮助浮点数运算，对于科学计算和图形设计是重要。

3、处理器产品

(1) 8086 处理器

Intel 8086 拥有四个 16 位的通用寄存器，也能够当作八个 8 位寄存器来存取，以及四个 16 位索引寄存器（包含了堆栈指标）。资料寄存器通常由指令隐含地使用，针对暂存值需要复杂的寄存器配置。它提供 64K 8 位元的输出输入（或 32K 16 位元），以及固定的向量中断。大部分的指令只能够存取一个内存位址，所以其中一个操作数必须是一个寄存器。运算结果会储存在操作数中的一个寄存器。

Intel 8086 有四个 内存区段（segment）寄存器，可以从索引寄存器来设定。区段寄存器可以让 CPU 利用特殊的方式存取 1 MB 内存。8086 把段地址左移 4 位然后把它加上偏移地址。大部分的人都认为这是一个很不好的设计，因为这样的结果是会让各分段有重叠。尽管这样对组合语言而言大部分被接受（也甚至有用），可以完全地控制分段，使在编程中使用指针（如 C 编程语言）变得困难。它导致指针的高效率表示变得困难，且有可能产生

两个指向同一个地方的指针拥有不同的地址。更坏的是，这种方式产生要让内存扩充到大于 1 MB 的困难。而 8086 的寻址方式改变让内存扩充较有效率。

8086 处理器的时钟频率介于 4.77MHz（在原先的 IBM PC 频率）和 10 MHz 之间。8086 没有包含浮点指令部分（FPU），但是可以通过外接数学辅助处理器来增强浮点计算能力。Intel 8087 是标准版本。

（2） 8088 处理器

8088 是一个 Intel 以 8086 为基础的微处理器，拥有 16 位元暂存器和 8 位元外部资料总线。8088 使用 8 位元的设计，所针对的是较为经济之系统。在它推出时候，大的资料总线宽度电路板还是相当地昂贵。8088 的预取（prefetch）贮列（queue）是 4 字节，相对于 8086 的是 6 字节。1979 年，英特尔公司开发出了 8088。8086 和 8088 在芯片内部均采用 16 位数据传输，所以都称为 16 位微处理器，但 8086 每周周期能传送或接收 16 位数据，而 8088 每周周期只采用 8 位。因为最初的大部分设备和芯片是 8 位的，而 8088 的外部 8 位数据传送、接收能与这些设备相兼容。

（3） 80286 处理器

INTEL 1982 年推出 80286 芯片，该芯片相比 8086 和 8088 有了飞跃式发展，虽然它仍是 16 位结构，但在 CPU 内部含有 13.4 万个晶体管，时钟频率由最初 6MHz 逐步提高到 20MHz。内部和外部数据总线皆为 16 位，地址总线 24 位，可寻址内存大小达到 16Mb。80286 兼容了 8086 所有功能，并且是 8086 的向上兼容的微处理器，使 8086 的汇编语言程序可以不做任何修改地在 80286 上运行。同时 80286 的推出也是实模式和保护模式 CPU 的分水岭。80286 微处理器内部有 4 个功能部件，即地址部件 AU，指令部件 IU，执行部件 EU 和总线部件 BU。这四个部件的并行操作，提高了吞吐率，加快了处理速度。

（4） 80386 处理器

INTEL 1985 年推出的 CPU 芯片，它是 80x86 系列中的第一种 32 位微处理器，而且制造工艺也有了很大的进步，与 80286 相比，80386 内部内含 27.5 万个晶体管，时钟频率为 12.5MHz，后提高到 20MHz，25MHz，33MHz。80386 的内部和外部数据总线都是 32 位，地址总线也是 32 位，可寻址高达 4GB 内存。它除具有实模式和保护模式外，还增加了一种叫虚拟 86 的工作方式，可以通过同时模拟多个 80x86 处理器来提供多任务能力。除了标准的 80386 芯片，也就是 80386DX 外，出于不同的市场和应用考虑，INTEL 又陆续推出了一些其它类型的 80386 芯片：80386SX、80386SL、80386DL 等。

（5） 80486 处理器

它采用了 1 μm（微米）制造工艺，内部集成了 120 万个晶体管。内外部数据总线是 32 位，地址总线为 32 位，可寻址 4GB 的存储空间，支持虚拟存储管理技术，虚拟存储空间为 64TB。片内集成有浮点运算部件和 8KB 的 cache（L1 cache），同时也支持外部 cache（L2 cache）。整数处理部件采用精简指令集 RISC 结构，提高了指令的执行速度。

（6） Pentium

Pentium 拥有两个资料路径（管线，pipelines），可以达到在一个时钟周期内完成一个以上的指令。一个管线（称为“U”）可以处理任何的指令，而另外一个（称为“V”）可以处理简单，最共同的指令。使用一个以上的管

线是传统 RISC 处理器设计的特色，这也是在许多 x86 平台上第一个实作出来的，显示有将两种技术合并的可能性，创造出几乎“混合在一起”的处理器。

(7) Pentium II

Pentium II 为英特尔推出的一枚 X86 架构的处理器，基于 Pentium Pro 使用的 P6 微处理架构，但另一方面它的 16 位元处理能力获得优化，并加入 MMX 指令集：

第一代 Pentium II 核心代号为 Klamath，使用 350 纳米制程，以及，就当时而言，制造出一个非常高的热量。推出时，时脉只有 233 及 266MHz，使用 66MHz 前端总线，后期另推出时脉 300MHz 的版本。

第二代 Pentium II 核心代号为 Deschutes，运行时脉为 333MHz，于 1998 年 1 月推出，使用 250 纳米制程，而且温度亦有效的减低。支援 100MHz 前端总线，英特尔于 1998 年另外推出了时脉为 266、330、350、400、450 的 Pentium II 处理器。

基于 Pentium II 的电脑系统亦加入了新世代的内存标准——SDRAM（替代 EDO RAM），以及 AGP 显卡。与 Pentium 及 Pentium Pro 处理器不同，Pentium II 使用一种插槽式设计。处理器芯片与其他相关芯片皆在一块类似子卡的电路板上，而电路板上有一块塑胶盖，有时亦有一风扇。Pentium II 亦把 L2 放到这电路板上，但只运行处理器时脉一半的速度。此举增加处理器的良率，从而减低制作成本。

(8) Pentium III

Pentium III 是英特尔的 x86（更准确地说是 i686）架构之微处理器，于 1999 年 2 月 26 日推出。刚推出的版本与早期的 Pentium II 非常相似，最值得注意的不同是 SSE 指令的扩充，以及在每个芯片制造的过程加入了有争议的序号。与 Pentium II 相同，也有低阶的 Celeron 版本和高阶的 Xeon 版本。Pentium III 最后被 Pentium 4 所取代，Pentium III 的改进设计就是现在的 Pentium M。

(9) Pentium IV

奔腾 4（Pentium 4，或简称奔 4 或 P4）是 Intel 生产的第 7 代 x86 微处理器，并且是继 1995 年出品的 Pentium Pro 之后的第一款重新设计过的处理器，这一新的架构称做 NetBurst。首款产品代码为：Willamette，拥有 1.4GHz 左右的内核时钟，并使用 Socket 423 脚位架构，首款处理器于 2000 年 11 月发布。不同于 Pentium II、Pentium III 和各种 Celeron 处理器，因为是全新设计的产品，所以与 Pentium Pro 的关联很小。值得注意的是，Pentium 4 有着非常快速到 400MHz 的前端总线，之后更有提升到 533MHz、800MHz。它其实是一个为 100MHz 的四条并列总线（100Mhz x4 并列），因此理论上它可以传送比一般总线多四倍的容量，所以号称有 400MHz 的速度。AMD Athlon 的前端总线则有 266MHz 的速度（133MHz 双倍并列总线）。

4、应用环境（操作系统、编译器等）

Windows XP 是基于 x86、x64 架构的典型操作系统。它是基于 Windows 2000 代码的产品，拥有新的用户图形界面，叫做月神 Luna，它包括了一些细微的修改。此外，Windows XP 引入了一个“选择任务”的用户界面，使用户可以由工具条访问任务细节。它还包括简化的 Windows 2000 的用户安

全特性，并整合了防火墙，试图解决一直困扰微软的安全问题。

GCC 可支持对 x86 结构下的编译。GCC (GNU Compiler Collection, GNU 编译器套件), 是由 GNU 开发的编程语言编译器。它是以 GPL 许可证所发行的自由软件, 也是 GNU 计划的关键部分。GCC 原本作为 GNU 操作系统的官方编译器, 现已被大多数类 Unix 操作系统 (如 Linux、BSD、Mac OS X 等) 采纳为标准的编译器, GCC 同样适用于微软的 Windows。GCC 是自由软件过程发展中的著名例子, 由自由软件基金会以 GPL 协议发布。

GCC 原名为 GNU C 语言编译器 (GNU C Compiler), 因为它原本只能处理 C 语言。GCC 很快地扩展, 变得可处理 C++。后来又扩展能够支持更多编程语言, 如 Fortran、Pascal、Objective-C、Java、Ada、Go 以及各类处理器架构上的汇编语言等, 所以改名 GNU 编译器套件 (GNU Compiler Collection)。

二、 EM64T

1、 历史

Intel 的 EM64T 技术, EM64T 技术官方全名是 Extended Memory 64 Technology 中文解释就是扩展 64bit 内存技术。现在的 32 位奔腾 4 CPU 都是采用 IA-32 指令集, EM64T 其实就是在这个指令集的基础上进行扩展, 我们将它命名为 IA32e。Intel 这种实现 64 位的方法其实和 AMD 的 x86-64 技术有异曲同工之妙, 都是通过 64 位扩展指令来实现兼容 32 位和 64 位的运算。另外不同的是 Intel 的 EM64T 技术设定了 IA-32 和 IA-32e 两种模式的激活程序, 就是说 EM64T 需要满足特定条件才会激活。

2、 特点

EM64T 本质上和 AMD64 一样都是 IA-32 的增强版本, Xeon 借助于 EM64T 可实现高达 1TB (40bit) 的物理内存寻址和 256TB (48bit) 的虚拟内存寻址, 并且良好地支持现有 32 位 x86 代码的执行, 这一点跟 AMD64 无异, 同时也是 Intel 开发 EM64T 的出发点—让现有的 x86 指令集能够执行 64 位代码, 而继续保持对 32 位代码的良好兼容。但由于多方面的限制, 无论是 EM64T 还是 AMD64 均只能实现比 32 位指令集更大内存空间的寻址, 而无法真正做到纯 64 位指令集的 1PB (50bit) 和 16EB (64bit) 的物理内存和虚拟内存寻址 (IA-64 能做到这一点), 其关键在于 EM64T 和 AMD64 本质上仍是基于 32 位的 x86 指令集, 只是 Intel 和 AMD 分别采用不同的技术手段对 x86 指令集进行扩展, 从而实现对 64 位的支持。

和 AMD64 一样, EM64T 由于要在同时运行 32 位和 64 位程序, 因此会针对不同的需要运行于不同的操作模式, 同时其引入的多种操作模式之间的切换较为成功地解决了 32 位程序在 64 位操作系统下的运行效率问题, 当中包括了传统模式、兼容模式和纯 64 位模式。

(1) 传统模式

这种模式是为了令 64 位 Xeon 能没有障碍地执行现有的 32 位和 16 位程序而设计的, 实际上就是 32 位 x86 时代的 IA-32 模式, 此时现有 x86 程序无需作任何的改变, 和我们目前使用着的 32 位环境一模一样。因为 Nacona Xeon 的核心仍然是沿着 32 位设计的, 所以这个模式只是把所有为 64 位计算

而新增的运算机制都屏蔽起来。

(2) 兼容模式

兼容模式允许 64 位操作系统（如 Windows XP x64 Edition）良好地运行基于 32 位和 16 位代码的程序，此时 32 位程序无需重编译即可以保护模式运行，而 16 位程序则要依赖于操作系统和驱动程序是否支持保护模式，情况类似于 32 位环境下的 IA-32 虚拟实模式。和传统模式相同，兼容模式允许程序利用物理内存扩展实现 64GB 的物理内存寻址，但这并非纯 64 位模式的准 64 位寻址。

(3) 64 位

此模式是三种模式当中最为高效的，同时可充分发挥 EM64T 的威力，但这种模式需要纯 64 位环境的支持，包括 64 位操作系统和 64 位应用程序。在 64 位操作系统和相应驱动程序的支持下，系统和应用程序能够访问 EM64T 所支持最大容量的扩展内存，这时 Xeon 平台的性能可得到最充分的发挥，当然运行于此模式下的程序需要修改其微代码以便支持 64 位指令操作。

可以预见，在未来的一段时间里，在 64 位操作系统下我们最常用的是兼容模式，因为现存的大量 32 位应用程序不可能在短期内为 x86-64 指令集而重新开发，为了保证现有的 32 位程序能够继续在 Xeon 平台上顺利执行，EM64T 提供了一种出色的解决方案。而对于传统的 32 位操作系统和应用程序，Xeon 平台当然可以百分百地相容运行，本来 EM64T 就是扩展的 32 位 x86 指令集，兼容 32 位程序是件很自然的事。

EM64T 在 64 位的实现方式上跟 AMD64 指令集有很多相似之处，但在关键的地方两者还是有很大差别，而 Intel 追加的大多数 64 位指令与 AMD64 指令集相兼容，因此 Microsoft 就不用为两家公司的 64 位处理器开发各自的 64 位操作系统。目前 Microsoft 推出的 Windows XP x64 Edition 操作系统（Beta）可同时支持 EM64T 和 AMD64，能够兼容几乎所有的 32 位应用程序和大部分新增 64 位应用程序。

(4) 整数运算

Intel 的 EM64T 支持 64 位 sub-mode，和 AMD 的 X86-64 技术类似，采用 64 位的线性平面寻址，加入 8 个新的通用寄存器（GPRs），还增加 8 个寄存器支持 SSE 指令。与 AMD 相类似，Intel 的 64 位技术将兼容 IA32 和 IA32E，只有在运行 64 位操作系统下的时候，才将会采用 IA32E。IA32E 将由 2 个 sub-mode 组成：64 位 sub-mode 和 32 位 sub-mode，同 AMD64 一样是向下兼容的。Intel 的 EM64T 将完全兼容 AMD 的 X86-64 技术。现在 Nocona 处理器已经加入了一些 64 位技术，Intel 的 Pentium 4E 处理器也支持 64 位技术。

3、处理器产品

Xeon 处理器：2001 年英特尔发布了 Xeon 处理器。英特尔将 Xeon 的前面去掉了 Pentium 的名号，并不是说就与 x86 脱离了关系，而是更加明晰品牌概念。Xeon 处理器的市场定位也更加瞄准高性能、均衡负载、多路对称处理等特性，而这些是台式电脑的 Pentium 品牌所不具备的。Xeon 处理器实际上还是基于 Pentium 4 的内核，而且同样是 64 位的数据带宽，但由于其利用了与 AGP 4X 相同的原理——“四倍速”技术，因此其前端总线有了巨大的提升，表现更是远胜过 Pentium III Xeon 处理器。Xeon 处理器基于英特尔的 NetBurst 架构，有更高级的网络功能，及更复杂更卓越的 3D 图形性能，另

一方面，支持至强的芯片组也在并行运算、支持高性能 I/O 子系统（如 SCSI 磁盘阵列、千兆网络接口）、支持 PCI 总线分段等方面更好地支持服务器端的运算。

三、 SSE

1、 历史

SSE 是指令集的简称，它包括 70 条指令，其中包含单指令多数据浮点计算、以及额外的 SIMD 整数和高速缓存控制指令。其优势包括：更高分辨率的图像浏览和处理、高质量音频、MPEG2 视频、同时 MPEG2 加解密；语音识别占用更少 CPU 资源；更高精度和更快响应速度。

2、 特点

SSE(Streaming SIMD Extensions)是英特尔在 AMD 的 3D Now!发布一年之后，在其计算机芯片 Pentium III 中引入的指令集，是 MMX 的超集。AMD 后来在 Athlon XP 中加入了对这个指令集的支持。这个指令集增加了对 8 个 128 位寄存器 XMM0-XMM7 的支持，每个寄存器可以存储 4 个单精度浮点数。使用这些寄存器的程序必须使用 FXSAVE 和 FXRSTR 指令来保持和恢复状态。但是在 Pentium III 对 SSE 的实现中，浮点数寄存器又一次被新的指令集占用了，但是这一次切换运算模式不是必要的了，只是 SSE 和浮点数指令不能同时进入 CPU 的处理线而已。

SSE(Streaming SIMD Extensions,单指令多数据流扩展)指令集是 Intel 在 Pentium III 处理器中率先推出的。其实，早在 PIII 正式推出之前，Intel 公司就曾经通过各种渠道公布过所谓的 KNI (Katmai New Instruction) 指令集，这个指令集也就是 SSE 指令集的前身，并一度被很多传媒称之为 MMX 指令集的下一个版本，即 MMX2 指令集。

究其背景，原来“KNI”指令集是 Intel 公司最早为其下一代芯片命名的指令集名称，而所谓的“MMX2”则完全是硬件评论家们和媒体凭感觉和印象对“KNI”的评价，Intel 公司从未正式发布过关于 MMX2 的消息。

而最终推出的 SSE 指令集也就是所谓胜出的“互联网 SSE”指令集。SSE 指令集包括了 70 条指令，其中包含提高 3D 图形运算效率的 50 条 SIMD（单指令多数据技术）浮点运算指令、12 条 MMX 整数运算增强指令、8 条优化内存中连续数据块传输指令。理论上这些指令对目前流行的图像处理、浮点运算、3D 运算、视频处理、音频处理等诸多多媒体应用起到全面强化的作用。SSE 指令与 3DNow!指令彼此互不兼容，但 SSE 包含了 3DNow!技术的绝大部分功能，只是实现的方法不同。SSE 兼容 MMX 指令，它可以通过 SIMD 和单时钟周期并行处理多个浮点数据来有效地提高浮点运算速度。

四、 SSE2

1、 历史

SSE2,全名为 Streaming SIMD Extensions 2,是一种 IA-32 架构的 SIMD 指令集。SSE2 是在 2001 年随着 Intel 发表第一代 Pentium 4 处理器也一并推出的指令集。它延伸较早的 SSE 指令集，而且可以完全取代 MMX 指令集。在 2004 年，Intel 再度扩展了 SSE2 指令为 SSE3 指令集。与 70 条指令的 SSE 相比，SSE2 新增了 144 条指令。在 2003 年，AMD 也在发布 AMD64 的 64 比特处理器时跟进 SSE2 指令集。

2、特点

SSE2 延伸了 MMX 指令群使用 XMM 暂存器来运算，这能让开发人员完全避免让 8 个 64 比特 MMX 暂存器与原有的 IA-32 浮点运算暂存器共用。而这样子就能够不需要切换 MMX 与 x87 浮点运算的前提之下混合 SIMD 标量与浮点矢量运算。不过，这不会因为 SSE 的暂存器的精度提高而让运算结果的精度也提高。而还有部分的 SSE2 指令集包含了一系列的 CPU 高速缓存控制指令。当处理理论上无限的数据流，还有数字格式转换指令所产生出来的大量补数，能够使高速缓存污染有效的降低。AMD 在 AMD64 架构上的 SSE2 再新增额外 8 个暂存器，把暂存器的量提升到 16 个(XMM0~XMM15)。这些额外的暂存器只有运行于 64 比特的模式下才能够使用。2004 年，Intel 也采用这些额外的暂存器于它的 x86-64(Intel 64)架构。

MMX 与 SSE2 的差别：SSE2 让 MMX 指令群使用 XMM 暂存器来运算。换句话说，现有的 MMX 脚本能够完全转换成 SSE2。不过 XMM 的暂存器是 MMX 暂存器的两倍大，循环计数器与存储器访问机制也会跟着修改来因此变化。而即使一个 SSE2 指令能够比 MMX 指令操作多两倍数据量，性能也并没有很明显的提升。有两个主要原因导致此现象：存储器内部访问 SSE2 的数据并没有以 16 字节的间隔对齐，这会造成明显的性能损失。还有在大多数的 x86 架构实现上 SSE2 的指令吞吐量是小于 MMX 的。Intel 首先面对第一个问题的解决方案是在 SSE3 指令中新增一个指令，能够在处理未对齐的数据时减少 overhead。而第二个问题也在 Core 微架构中将运行引擎加宽而解决。

3、处理器产品

(1)、Athlon 64、Sempron 64、Turion 64 等为主的 AMD K8 架构处理器；

AMD K8 是 AMD 第 8 代处理器系列的通称，也是从 32 位的 x86 平台与 64 位的 AMD64 平台的过渡时代。产品包括：Athlon 64 X2 (K8) Athlon 64 FX (K8) Athlon 64 (K8) Sempron (K8) (有一部分型号为 K7 系列) Opteron (K8) Turion 64 (K8)

在 K8 系列的变化中，较值得注意的地方是其整合内存控制器与 x86-64 指令。K8 架构原先分为 Socket754、Socket939 和 Socket940 接口，Socket754 主要面向桌面中低端用户，Socket939 面向桌面中高端主流用户，而 Socket940 为早期服务器 Opteron 专用(后来服务器也改用 Socket939 接口)。新 K8 处理器统一为 Socket AM2 (940 针) 接口。

(2)、Phenom、Phenom II、Athlon II 等为主的 AMD K10、AMDK10.5 架构处理器；

K10 也就是通常俗称的 K8L，是 AMD K8 架构产品的继任者(没有 K9)，在架构上有所进步，并将四核心引入桌面。K10 CPU 在 K8 基础上增加更多物理核心，提升 HT 总线为 HT3.0 规范，内存支持规范为双通道 DDR2，CPU 制造工艺为 65nm。

K10.5 CPU, HT 总线和 K10 相同都是 3.0 规范，内存升级支持双通道 DDR3。接口为 AM3 (Socket938)，AM2+接口的主板在 BIOS 支持的前提下，可以使用 AM3 接口的 CPU。因为 AM2+系列 CPU 没有提供 DDR3 内存的支持，故而安装在 AM3 接口主板上，如果没有 DDR2 内存插槽就无法使用。

(3)、Pentium 4、Xeon、Celeron、CeleronD 等为主的 Intel NetBurst 架构的处理器；

Intel NetBurst 微处理器体系结构是 Intel Xeon 处理器和 Intel Pentium 处理器的基础。它的新功能和创新,使得 IA-32 处理器得以保持高性能。Intel Xeon 处理器和 Intel Pentium 4 处理器均采用了 Intel NetBurst 微处理器体系结构。这些设计引进了新的技术和功能,同时还加入了许多应用于以前 Intel 微处理器体系结构创新功能(如无序推测执行和超标量执行)。

(4)、Intel Pentium M 与 Celeron M;

Pentium M 是由以色列小组专门设计的新型移动 CPU,为了在低主频得到高效能,Banias 作出了优化,使每个时钟所能执行的指令数目更多,并通过高级分支预测来降低错误预测率。另外最突出的改进就 L2 高速缓存增至 1MB (P3-M 和 P4-M 都只有 512KB),估计 Banias 数目高达 7700 万的晶体管大部分就用在这上。

Celeron M 是 Intel 公司的一个处理器品牌,名称取自芯片的英文 Cell。是 Intel 公司早期在低端处理器市场主打的品牌。Celeron M 系列全部采用三位数字的方式来标注,形式是 Celeron M xxx,部分型号还会加上一个后缀字母(一般是 J,代表支持硬件防病毒技术 EDB)。在产品编号的 3 位数字里,第一位数字用来区分 CPU 核心,其中 3 代表 Banias 核心或 Dothan 核心,4 代表 Yonah 核心;第二位数字表示具体的产品型号,数字越大则规格越高,对于 Celeron M 3xx 系列来说,第二位数字还具有区别 CPU 核心的作用,其中 5 以下的是 Banias 核心,而 5 及其以上的则是 Dothan 核心;第三位数字用来表示核心电压,其中 0 代表普通电压版本,而 3 则代表超低电压版本。例如 Celeron M 360J 就是 Dothan 核心并且支持 EDB 的普通电压版本,Celeron M 333 就是 Banias 核心的超低电压版本,Celeron M 423 就是 Yonah 核心的超低电压版本等等。

(5)、Intel Core 架构的处理器,包括 Core Duo、Core Solo 等;

Intel Core 微处理器架构(Intel Core Microarchitecture)是英特尔最新的处理器架构,前称 Intel's Next Generation Microarchitecture。以本架构制作的处理器将不会称为 Pentium。于 2006 年宣布,并取代旧有的 NetBurst 及 Pentium M 架构。首先推出的处理为用本架构的 Merom, Conroe 及 Woodcrest 核心处理器。Merom 为流动核心、Conroe 为桌面核心、而 Woodcrest 为服务器用核心。

(6)、Intel Core 2 架构的处理器,包含 Core 2 Duo、Core 2 Quad、Core 2 Extreme 等;

Core 2 (中译酷睿 2) 是英特尔推出的第八代 X86 架构处理器,它采用全新的 Intel Core 架构,取代由 2000 年起各英特尔处理器采用的 Netburst 架构。Core 2 也同时标志着奔腾(Pentium,由 1993 年沿用至今)品牌的终结,也代表着英特尔移动处理器及桌面处理器两个品牌的重新整合。和其它基于 Netburst 的处理器不同,Core 2 不会仅注重处理器时钟频率的提升,它同时就其它处理器的特色,例如高速缓存数量、核心数量等进行优化。英特尔声称它的功耗会比以往的奔腾处理器低很多。Core2 有 7、8、9 三个系列。

(7)、Intel Core i3、Core i5、Core i7 等;

Core i5 是一款基于 Nehalem 架构的四核处理器,采用整合内存控制器,三级缓存模式,L3 达到 8MB,支持 Turbo Boost 等技术的新处理器。它和

Core i7(Bloomfield)的主要区别在于总线不采用 QPI, 采用的是成熟的 DMI(Direct Media Interface), 并且只支持双通道的 DDR3 内存。结构上它用的是 LGA1156 接口, Core i7 用的是 LGA1366。i5 有睿频技术, 可以在一定情况下超频。Core i3 可看作是 Core i5 的进一步精简版(或阉割版), 将有 32nm 工艺版本(研发代号为 Clarkdale, 基于 Westmere 架构)这种版本。Core i3 最大的特点是整合 GPU(图形处理器), 也就是说 Core i3 将由 CPU+GPU 两个核心封装而成。由于整合的 GPU 性能有限, 用户想获得更好的 3D 性能, 可以外加显卡。值得注意的是, 即使是 Clarkdale, 显示核心部分的制作工艺仍会是 45nm。i3 i5 区别最大之处是 i3 没有睿频技术。

(8)、Intel Atom;

英特尔 Atom 处理器是英特尔历史上体积最小和功耗最小的处理器。Atom 基于新的微处理架构, 专门为小型设备设计, 旨在降低产品功耗, 同时也保持了同酷睿 2 双核指令集的兼容, 产品还支持多线程处理。

(9)、Transmeta(全美达)Efficeon;

全美达因其初时的 Crusoe 处理器与预期的效能与功耗相差太远而失去了许多可信性及支持, 另一方面在功耗方面比英特尔与超微供应的有少许领先, 但最终用户体验(如电池寿命)整体只显示出少许改进。Efficeon 改善了许多 Crusoe 的缺点, 整体表现比 Crusoe 大致上增强了两倍, 另外对比相同的处理技术其芯片尺寸比奔腾 4 与奔腾 M 均更为小型; 在两个处理器均为 1 MB L2 缓冲记忆体时 Efficeon 的芯片尺寸在 90 nm 工艺下为 68 mm²; 比在 90 nm 工艺下为 112 mm²的奔腾 4 小 40%。

(10)、VIA(威盛)C7;

威盛 C7®处理器的“Esther”内核基于先进的威盛 CoolStream™架构, 性能强劲, 主频可达 2.0GHz, 同时功耗超低。威盛 C7®处理器的设计融合了以下理念: 安全设计、超低功耗、性能出众。威盛 C7®处理器采用了 IBM 领先的 90 纳米硅晶绝缘体(SOI)处理工艺, 在功能整合与性能表现方面创建了新的标准, 同时拥有行业领先的超低功耗, 是下一代简约型产品完美的处理平台。

(11)、VIA Nano。

威盛凌珑(VIA Nano™)处理器采用先进的 65 纳米处理器技术, 实现了高性能和低功耗完美的融合。它进一步巩固了威盛在处理器小型化的领导地位, 通过超密集设计, 实现了 x86 平台新一代更小型化设计和应用。威盛凌珑(VIA Nano™)处理器支持高速、低功耗威盛 V4 前端总线, 最大为 800 MHz, 支持新的 SSE 指令、2 个 64KB L1 高速缓存和 1MB 独立 L2 高速缓存, 具有 16 路信道连接性能, 实现了多媒体性能的一大飞跃。特别值得一提的是, 威盛凌珑(VIA Nano™)处理器在高性能浮点运算方面有了非常显着的提升, 使用了全新的浮点加法运算法则, 大大降低了 x86 处理器中的浮点延迟时间(the lowest floating-point add latency), 同样, 浮点乘法器也拥有了最低的浮点延迟时间。

4、应用环境(操作系统、编译器等)

支持 SSE2 的编译器：1、微软的 Visual C++ 与 MASM；2、Intel C++ 编译器；3、GCC 3 及更高版本；4、Sun Studio Compiler Suite。

SSE2 是 IA-32 架构的延伸。所以目前所有不支持 IA-32 架构的其他架构一概不支持 SSE2。由于 x86-64 架构的处理器是由 IA-32 延伸出来的，所有 x86-64 架构的处理器也都支持 SSE2 指令集。而有些 CPU 并没有支持 SSE2，但是有其他的指令集可以提供与 SSE2 相似的功能。下列的 IA-32 架构的处理器是在 SSE2 发表之后才开发的，但是并不支持 SSE2 指令集：1、比 Athlon 64 早推出的 AMD 处理器，包含了所有使用 Socket A 插槽的处理器；2、比 Pentium 4 早推出的 Intel 处理器；3、VIA 的 C3 处理器；4、Transmeta Crusoe 处理器。

五、 SSE3

1、历史

SSE3(Streaming SIMD Extensions 3, Intel 官方称为 SIMD 流技术扩展 3 或数据流单指令多数据扩展指令集 3) 指令集是 Intel 公司在 SSE2 指令集的基础上发展起来的。

2、特点

相比于 SSE2，SSE3 在 SSE2 的基础上又增加了 13 个额外的 SIMD 指令。SSE3 中 13 个新指令的主要目的是改进线程同步和特定应用程序领域，例如媒体和游戏。这些新增指令强化了处理器在浮点转换至整数、复杂算法、视频编码、SIMD 浮点寄存器操作以及线程同步等五个方面的表现，最终达到提升多媒体和游戏性能的目的。Intel 是从 Prescott 核心的 Pentium 4 开始支持 SSE3 指令集的，而 AMD 则是从 2005 年下半年 Troy 核心的 Opteron 开始才支持 SSE3 的。但是需要注意的是，AMD 所支持的 SSE3 与 Intel 的 SSE3 并不完全相同，主要是删除了针对 Intel 超线程技术优化的部分指令。

3、处理器产品

与支持 SSE2 指令集的处理器有重合且类型较多故不做详细介绍

(1)、AMD:

Athlon 64 (since Venice Stepping E3 and San Diego Stepping E4)、Athlon 64 X2、Athlon 64 FX (since San Diego Stepping E4)、Opteron (since Stepping E4)、Sempron (since Palermo. Stepping E3)、Phenom、Phenom II、Athlon II、Turion 64、Turion 64 X2、Turion X2、Turion X2 Ultra、Turion II X2 Mobile、Turion II X2 Ultra、APU、FX Series

(2)、Intel:

Celeron D、Celeron(starting with Core microarchitecture)、Pentium 4(since Prescott)、Pentium D、Pentium Extreme Edition(but NOT Pentium 4 Extreme Edition)、Pentium Dual-Core、Pentium(starting with Core microarchitecture)、Core、Xeon(since Nocona)、Atom

(3)、VIA/Centaur:

C7、Nano

(4)、Transmeta Efficeon TM88xx (NOT Model Numbers TM86xx)

六、 SSSE3

1、历史

SSSE3 (Supplemental Streaming SIMD Extensions 3) 是 Intel 命名的 SSE3 指令集的扩充, 不使用新的号码是因为 SSSE3 只是加强版的 SSE3, 以至于推出 SSSE3 之前, SSE4 的定义容易被混淆。在公开 Intel 的 Core 微架构的时候, SSSE3 于 2006 年 7 月首次装载在 Xeon 5100 与 Intel Core 2 行动版与桌面型处理器上。

2、特点

SSE3 装载了用一个命令一口气处理复数个数据的“SIMD”的处理方式, 特别在处理语音和动画关联上能够高速地发挥力量。SSSE3 是在 SSE3 命令的基础上又添加了 32 个新命令的产品, 其原名为 TNI, 是 SSE4 指令集的子集, 包含有 13 条命令。目前 SSSE3 也是比较先进的指令集。

SSSE3 包含了 16 个新的不同于 SSE3 的指令。每一个都能够运作于 64 位元的 MMX 暂存器或是 128 位元 XMM 暂存器之中。因此, 有些 Intel 的文件表示有 32 个新指令。之前的 SIMD 指令由旧排到新依序是 MMX、3DNow! (AMD 开发的)、SSE、3DNow! Professional、SSE2 与 SSE3。

SSSE3 指令集增强了 CPU 的多媒体、图形图象处理、多媒体编码、整数运算和 Internet 等方面的处理能力。

3、处理器产品

(1)、Intel:

Xeon 5100 系列、Xeon 5300 系列、Xeon 3000 系列、Core 2 Duo、Core 2 Extreme、Core 2 Quad、Core i7、Core i5、Pentium Dual-Core、Celeron 4xx 的 Conroe-L、Celeron Dual Core 系列、Celeron M 500 系列、Atom

(2) VIA:

Nano

(3) AMD:

Bobcat、Bulldozer、Piledriver

七、 SSE4

1、历史以及产生背景

SSE4 指令集的英文全称是: Streaming SIMD Extensions 4, 是英特尔自从 SSE2 之后对 ISA 扩展指令集最大的一次的升级扩展。新指令集增强了从多媒体应用到高性能计算应用领域的性能, 同时还利用一些专用电路实现

对于特定应用加速。实际上，SSE4 指令集并不能完全说是一个独立的新技术，因为它是集成在 2008 年发布的英特尔酷睿 2 代 45 纳米处理器之中，这一代处理器集成了 SSE4.1 指令集，之后的 Nehalem 架构及更新工艺的处理器则集成了 SSE4.2 指令集，故 SSE4 指令集实际包括 SSE4.1 和 SSE4.2 指令集，该指令集可以说是处理器众多新技术之一。

2005 年后，作为 SSE3 指令集的补充版本，SSSE3 出现在我们已经相对比较熟悉的酷睿微架构处理器中，新增有 16 条指令，进一步增强 CPU 在多媒体、图形图像和 Internet 等方面的处理能力。而英特尔方面本来是计划将该 16 条指令收录在后来的 SSE4 指令集中，但考虑到当时硬件升级速度的大幅提升，最终决定提早加入至酷睿微架构产品中。故早期的 SSE4 容易与 SSSE3 混淆，包括老一代 CPU-Z 均将 SSSE3 直接认定为 SSE4，但实际上真正的新 SSE4 指令集出现在 2008 年发布的新一代 45nmCore 2 处理器上，即第一版 SSE4.1。

2、SSE4 的版本

不过与以往不同，英特尔将 SSE4 分为了 4.1 和 4.2 两个版本，因此 45 纳米 Penryn 核心处理器中，只集成了 SSE4.1 版本。而 SSE4.2 指令集则在新一代 Nehalem 架构处理器上为我们带出。那么新的 SSE 4.1 指令集拥有哪些特别之处呢？一起来看看吧！SSE4.1 版本的指令集新增加了 47 条指令，主要针对向量绘图运算、3D 游戏加速、视频编码加速及协同处理的加速。英特尔方面指出，在应用 SSE4 指令集后，45 纳米 Penryn 核心额外提供了 2 个不同的 32 位向量整数乘法运算支持，并且在此基础上还引入了 8 位无符号最小值和最大值以及 16 位、32 位有符号和无符号的运算，能够有效地改善编译器编译效率，同时提高向量化整数和单精度运算地能力。另外，SSE4.1 还改良了插入、提取、寻找、离散、跨步负载及存储等动作，保证了向量运算地专一化。SSE4.1 还加入了 6 条浮点型运算指令，支援单、双精度地浮点运算及浮点产生操作。其中 IEEE 754 指令可实现立即转换运算路径模式，大大减少延迟，保证数据运算通道的畅通。而这些改变，对于进行 3D 游戏和相关的图形制作是具有相当深远的意义。除此之外，SSE4.1 指令集还加入了串流式负载指令，可提高图形帧缓冲区的读取数据频宽，理论上可获取完整的缓存行，即单次性读取 64 位而非原来的 8 位，并可保持在临时缓冲区内让指令最多带来 8 倍的读取频宽效能提升。对于图形处理器与中央处理器之间的数据共享起到重要作用。

SSE4.2 则是在新一代 Nehalem 架构基于 Core 微架构的 SSE4.1 指令集上，新增的 7 组指令，有别于 SSE4.1 主要针对加快处理器的多媒体处理，例如图形显示、视频编码及处理、3D 图像处理、计算机游戏等，SSE4.2 主要针对字符串和文本处理指令应用。SSE4.2 指令集可再细分为 STTNI 及 ATA2 个组别；STTNI 主要是加速字符串及文本处理，例如 XML 应用进行高速查找及对比，相较以软件运算，SSE4.2 提供约 3.8 倍的速度，提升及节省 2.7 倍指令周期，对服务器应用有显著效能改善。完整的 SSE4 指令集已同时被 2011 年底 AMD 新推出的推土机架构处理器兼容支持。

3、特点

SSE4 的两个子集（SSE4.1 和 SSE4.2）共包含 54 条指令，主要分为两类：矢量化编译器和媒体加速器，以及高效加速字符串和文本处理。

（1）、矢量化编译器

矢量化编译器和媒体加速器可提供高性能的编译器函数库，如封包（同时使用多个操作数）整数运算和浮点运算，可生成性能优化型代码。此外，它还包括高度优化的媒体相关运算，如绝对差值求和、浮点点积和内存负载等。矢量化编译器和媒体加速器指令可改进音频、视频和图像编辑应用、视频编码器、3D 应用和游戏的性能。

（2）、媒体加速器

高效加速字符串和文本处理包含多个压缩字符串比较指令，允许同时运行多项比较和搜索操作。由此受益的应用包括数据库和数据采掘应用，以及那些利用病毒扫描和编译器等分析、搜索和模式匹配算法的应用。

4、SSE4 指令集架构

SSE4 指令集全名为 Streaming SIMD Extension4，被视为继 2001 年以来最重要的媒体指令集架构的改进，除扩展 Intel64 指令集架构外，还加入有关图形、视频编码及处理、三维成像及游戏应用等指令，令涉及音频、图像和数据压缩算法的应用程序大幅受益。在影像编码及播放软件方面，除了 DivX、Pegasys TMPEGenc Xpress 及 Microsoft Media Encoder 已支持 SSE4，但在 2008 年第一季将有 Mainconcent H.264 Encoder、Arcsoft Video Cleaner、BeehiveWASP 3D、CyberLink Power DVD Ultra、CyberLink Power Director、Intervideo DVD Copy、Mainconcent H.264Decoder、Sony H.264 Encoder/Decoder 及 Unlend DMF6 追加支持 SSE4，令 Intel 45 nm Core2 处理器在影像编码及播放效能，有更大优势。在数码内容处理软件方面，将有 Sony Media SW Vegas 8.0b、Adobe Premiere Pro CS3、3ivx Video Author、nlet's Fathom、Arcsoft Media Converter、Ulead Video Studio 及 Image Anlyzer 追加 SSE4 支持，预计在 2008 年第一季推出。在游戏方面，将有 2 款游戏支持 SSE4，包括 NC Soft Lineage II 及 Scale Form，但 Intel 不讳言 SSE4 对于游戏的增长比较细，相信不会有太多软件公司在游戏核心引擎内加入 SSE4 支持。根据 Intel 最新规划，SSE4 将分为 4.1 版本及 4.2 版本，共新增 47 条指令，主要针对向量绘图运算、3D 游戏加速、视像编码加速及协同处理加速动作，下一代 45 nm Nehalem 将会追加 SSE4.2 版本，合共 54 条指令。

5、SSE4 的技术特色

Intel 最新 45nm 处理器还加入了 0.5 倍频调节，增加了 SSE4 指令集，Wolfdale 增加了 2 个不同的 32Bit 向量整数乘法运算支持，引入了 8 位无符号。

基于新一代高-K 金属栅极技术的 45 纳米 Penryn 处理器将采用 SSE4 指令集，包括 47 条指令，辅助整体性能有望提升 40%，而且可使存取内存的速度提升 9 倍。

SSE4 指令集中有 14 条用作视频加速，32 条指令适用于图形基本指令，还有一条名为 Streaming Load，可使存取内存的速度提升 9 倍。应用范围为视频制作、便携式视频设备、视频检索、图形和图像、游戏和物理过程以及芯片加速器等。

在对一段 720p 规格的 H.264 高品质电影短片进行编码测试时，集成 SSE4 指令集的 Yorkfield 3.33GHz 处理器比 QX6700 处理器时间缩短了约 40%。

此外，SSE4 加入串流式负载指令，可提高以图形帧缓冲区的读取数据频宽，理论上可获取完整的快取缓存行，即每次读取 64Bit 而非 8Bit，并可保持在临时缓冲区内，让指令最多可带来 8 倍的读取频宽效能提升，对于视讯处理、成像以及图形处理器与中央处理器之间的共享数据应用，有着明显的效能提升。

在 SSE4 指令集中，共引入了 47 条新的多媒体运算指令。其中一条“streaming load instruction”流加载指令引起了广泛的注意。该指令为 16bit 同步加载指令，但加载结果将会存储在高优先级的临时流缓冲中，绕过普通的 CPU Cache。这一指令将有利于 GPU 从 CPU 中高速共享数据，加速图像处理。

从 Intel 45nm 产品的性能以及规格来看都要比上一代的 65nm 产品有了长足的进步，同时在超频潜力上又有了一个质的飞跃。而且由于 45nm 制程在成本上将会更低，因此在中低端市场的竞争中 Intel 45nm 制程的新处理器将更具有冲击力。

6、SSE4 的产品前景及应用范围

据 Intel 指出，在应用 SSE4 指令集后，Penryn 增加了 2 个不同的 32Bit 向量整数乘法运算支持，引入了 8 位无符号 (Unsigned) 最小值及最大值运算，以及 16Bit 及 32Bit 有符号 (Signed) 及无符号运算，并有效地改善编译器效率及提高向量化整数及单精度代码的运算能力。同时，SSE4 改良插入、提取、寻找、离散、跨步负载及存储等动作，令向量运算进一步专门化。不仅如此，Intel SSE4 指令集还进一步增强编码效果，例如可同时处理 8 个 4-byte 宽度的 SAD (Sums of Absolute Differences) 运算，常用于新一代高清影像编码如 VC.1 及 H.264 等规格中，令视频编码速度进一步提升。因此在播放高清视频的时候，即使在软解的情况下也同样游刃有余。

SSE4 指令集构建于英特尔 64 指令集架构 (Intel® 64 Instruction Set Architecture) (ISA)，该架构是开发 32 位和 64 位应用最为广泛应用的电脑架构。Intel® SSE4 包含 54 条指令，主要分为两类：矢量化编译器和媒体加速器，以及高效加速字符串和文本处理。矢量化编译器和媒体加速器可提供高性能的编译器函数库，如封包（同时使用多个操作数）整数运算和浮点运算，可生成性能优化型代码。此外，它还包括高度优化的媒体相关运算，如绝对差值求和、浮点点积和内存负载等。矢量化编译器和媒体加速器指令可改进音频、视频和图像编辑应用、视频编码器、3D 应用和游戏的性能。高效加速字符串和文本处理包含多个压缩字符串比较指令，允许同时运行多项比较和搜索操作。由此受益的应用包括数据库和数据采掘应用，以及那些利用病毒扫描和编译器等分析、搜索和模式匹配算法的应用。

八、 AVX

1、 历史

AVX 指令集 (advanced vector extensions，即高级向量扩展指令集)，是 x86 架构处理器中的指令集，被英特尔和 AMD 的处理器所支持。AVX 指令集由英特尔在 2008 年 3 月提出，并在 2011 年第一季度出品的 Sandy Bridge 系列处理器首获支持。在 2010 年 4 月的 IDF2010 上，英特尔演示了 AVX 的应用，在两个不同平台上动态跟踪刘翔运动服上的五星红旗，结果显示，支持 AVX 的系统视频跟踪的用时比不支持 AVX 的系统快了 21 秒，性能提升了百分之六十以上。

随后，AMD 在 2011 年第三季度的 Bulldozer 系列处理器也支持了 AVX。

2、 特点

AVX 是 x86 指令集的 SSE 延伸架构，如 IA16 至 IA32 般的把暂存器 XMM128bit 提升至 YMM256bit，以增加一倍的运算效率，此架构支持了三运算指令，减少在编码上需要先复制才能运算的动作。在微码部分使用了 LES、LDS 这两个少用的指令作为延伸指令 Prefix。

AVX2 指令集将整数操作扩展到了 256 位，并引入了 FMA 指令集作为扩充。AVX-512 则将指令进一步扩展到了 512 位。

AVX 指令集借鉴了一些 AMD SSE5 的设计思路，进行扩展和加强，形成一套新一代的完整 SIMD 指令集规范。

AVX 指令集主要在以下几个方面得到扩充和加强：

(1) 支持 256 位矢量运算，浮点性能最大提升两倍

自 1999 年 SSE 将矢量处理能力从 64 位提高到 128 位之后，SSE 系列指令都只能使用 128 位 XMM 寄存器，这次 AVX 将所有 16 个 128 位 XMM 寄存器扩充为 256 位的 YMM 寄存器，从而支持 256 位的矢量计算。这意味着可以同时处理 8 个 32bit 的浮点数或是一个 256bit 的浮点数，在写程序时可以忽略 SSE128bit 的限制，直接写入一个可以进行多组操作，能够充分利用 256bit 数据位宽的代码，理想状态下，浮点性能最高能达到前代的 2 倍水平。当然有时并不能完全利用这 256 位，在大多数情况下，这些寄存器的高 128 位是设为 0 或者是“left unchanged”，同时所有的 SSE 系列指令是被 AVX 完全

兼容的（但不兼容 MMX），因此实际操作的是 YMM 寄存器的低 128 位，在这一点上与原来的 SSE 系列指令集无异。AVX 还引入了很多新的浮点运算指令，浮点运算能力加强，不光提升了 3D 游戏，还可以更有效的支持如更复杂的 flash 显示，更快的 SVG（可伸缩矢量图形）支持，更好的 html5 效果等等，相比于用 GPU 计算来讲功耗更小，体积更小，成本也小，对 GPU 计算是一个不大不小的冲击。

（2）支持 3 操作数和 4 操作数

通常一条计算机指令包括有操作码和操作数，操作码决定要完成的操作，操作数指参加运算的数据及其所在的单元地址。AVX 指令集改进和加强了原有的在 3 个操作数指令的编码和语法，使之更灵活。比如要实现 $xmm10 = xmm9 + xmm1$ ，以前需要两条指令执行，采用 AVX 指令集新的 3 操作数方式，可以直接由一条指令完成：`vaddpd xmm10, xmm9, xmm1`。显然 AVX 三操作数能带来更少的寄存器复制，并且代码也精简。

4 操作数虽然是 AMD 首先在 SSE5 中提出的，但英特尔的 AVX 也能支持这一方式，其最终收益是对 AVX128 和 AVX256 使用非破坏性语法，减少寄存器之间的拷贝，精简代码，增加 load/op fusion 的机会。

（2）支持灵活的不对齐内存地址访问

传统的指令中，当访问不对齐内存时，需要相当大的访问周期，甚至会有惩罚性延时，极大地降低速度。而在 AVX 指令集中，以 VEX 前缀编码的算术指令和内存访问指令在访问内存时更加灵活，既可访问对齐的内存地址，也可访问未对齐的数据。

（3）支持灵活的扩展性强的 VEX 编码方式

X86 指令集容易扩张，但每次对新指令和新数据类型的增加，都会在操作码之前增加一个字节的前缀，从而实现对扩展的支持，这样就带来指令集的复杂化和命令长度增加，从而导致二进制的冗余和增加 CPU 命令解码硬件的复杂性。VEX 编码方式解决了这个问题，VEX 的构想，就是压缩 prefix 中包含的信息，在 1 个字节的 payload 中全部包括了 prefix 的内容，这样缩减指令长度，从而极大地降低了无谓的 code size 浪费。并且在今后导入的新的寄存器中，128bits 或更长的 256bits 数据，也将在 payload 中压缩。

3、处理器产品

（1）AMD FX-8150

AMD FX-8150 采用“Bulldozer”微架构，截止至 2010 年是唯一面向台式机的八核心处理器。Bulldozer 采用 32nm SOI 工艺，采用了模块化的设计，每个模块包含两个处理器核心。每个 bulldozer module 继承了 2M L2 缓存，8MB 的 L3 缓存，核心面积为 30.9 平方毫米。

（2）Intel Sandy Bridge

Intel Sandy Bridge 处理器采用 32nm 制程，二级缓存 512KB，三级缓存扩容至 16MB。SNB 处理器系列仍然沿用 core i7/i5/i3 的品牌加子系列命名方式，编号采用四位数字，热设计功耗均为 65w。

4、应用环境（操作系统、编译器等）

GCC 从 4.6 版本开始支持 AVX 指令（时间为 2011 年 3 月）；
Windows7 SP1 也支持 AVX 指令（时间为 2011 年 2 月）；
Linux 内核从 2.6.30 版本以后也开始支持 AVX 指令；Intel 的 IPP
（Integrated Performance Primitives）数学库也支持 AVX 指令

九、 x86-64

1、 历史

X86-64 是 64 位版本的 x86 指令集，向后兼容于 16 位以及 32 位的 x86 架构。X64 于 1999 年由 AMD 设计，AMD 首次公开 64 位集以扩充给 x86，被称为“AMD64”。其后也为英特尔所采用。

在 x86-64 出现以前，Intel 和 HP 联合设计出 IA-64 架构，但因为 IA-64 与 x86 不兼容，且市场反应冷淡，同时受制于多个专利权，使得其他厂商不能模仿。与 x86 兼容的 AMD64 架构便应运而生。

AMD64 代表 AMD 放弃了跟随 Intel 标准的一贯作风，选择了像把 16 位的 Intel 8086 扩充成 32 位的 80386 般，去把 x86 架构扩充成 64 位版本，且兼容原有标准。AMD64 架构在 IA-32 上新增了 64 位寄存器，并兼容早期的 16 位和 32 位软件，可使现有以 x86 为对象的编译器容易转为 AMD64 版本。除此之外，NX bit 也是引人注目的特色之一。不少人认为，像 DEC Alpha 般的 64 位 RISC 芯片，最终会替换现有过时及多变的 x86 架构。但事实上，为 x86 系统而设的应用软件实在太庞大，成为 Alpha 不能替换 x86 的主要原因，AMD64 能有效地把 x86 架构移至 64 位的环境，并且能兼容原有的 x86 应用程序。

Intel 64 计划的历史可谓相当长及复杂，其原因主要是因为 Intel 自身的内政问题。该计划开始时，其代号为“Yamhill”，不过 Intel 一直对外宣称其计划不存在；至 2004 年初，Intel 才改口承认，并把代号改为 CT（Clackamas Technology）。在宣布 CT 计划的数个星期内，Intel 为计划给予多个新名称。在 2004 年春季的 Intel 开发者论坛后，Intel 将之命名为“IA-32E”，意即 IA-32 的延伸；在数星期后，才改称为 EM64T。

Intel 曾长时间把该计划保持机密，其原因有以下两点。第一，Intel 不想给客户混淆信息，把未来 Itanium IA-64 处理器的展望与 x86 混为一谈；但在 Intel 眼见使用 AMD64 的 Opteron 及 Athlon 64 获取成功，便需要对竞争者的威胁作出迎击。而第二个原因，是 Intel 为了自身的面子，必然不会承认使用了对手 AMD 的技术，因此 Intel 把该技术以 EM64T 这个名字来推出，虽然核心与 AMD64 几乎相同，犹如一对孪生兄弟，但如果 Intel 使用了 AMD64 这名字，等于在帮对手做广告宣传。在以往 Intel 的营销中，Intel 总把 AMD 的产品贬为自家技术的仿制品；不过这回 AMD 率先开发民用 64 位技术，Intel 需要反过来吸纳 AMD 的技术，使 Intel 在研发 x86 处理器技术的领导地位受到重挫，因此 Intel 在造势方面便需要使用更多的人力物力。Intel 主席 Craig Barrett 之后也承认，在保密方面，这个机密算是保护得最差的。

在 Intel 64（EM64T）的文件中，对于其指令集的起源只字不提；因此有媒体为它起了“iAMD64”这个别名，讽刺 Intel 在迎击 AMD 的民用 64 位技术上，使用了 AMD 的技术，直接把 AMD64 吸纳过来，并以新名重新包装使用。后来 Intel 索性将此技术正式命名为 Intel 64。

2、特点

(1) AMD64

支持 64 位通用寄存器、64 位整数及逻辑运算、64 位虚地址，设计人员又为架构作出不少改进，部分重大改变如下：

新增寄存器；

地址宽度加长；

SSE、SSE3 指令；

NX 比特:AMD64 其中一个特色是拥有“禁止运行”的比特，可以防止蠕虫病毒以缓存溢出的方式来攻击。

(2) Intel64

Intel 64 可使处理器直接访问超过 4GB 的存储器，容许运行更大的应用程序。而 x86-64 架构也加入了额外的寄存器及其他改良在指令集上。通过 64 位的存储器地址上限，其理论存储器大小上限达 16,000,000TB(16EB)，不过在初期的应用上并未能支持完整的 64 位地址。

Intel 在之前已在 Itanium 处理器上使用了自家的 64 位 IA-64 技术，虽然 Intel 64 也是 64 位，但两者并不兼容，即 IA-64 的软件不能直接在 Intel 64 上运行。Intel 64 所用的 x86-64 是 IA-32 指令集的延伸，而 IA-64 则是另一款独立的架构，没有任何 IA-32 的影子。虽然 IA-64 可通过模拟来运行 IA-32 的指令，但指令在运行前需经转换，才能在 IA-64 上运行，导致其速度变慢。由于 x86-64 是从 IA-32 派生而来，因此运行 IA-32 与 64 位程序的表现也显得绰绰有余。

首颗使用 Intel 64 技术的处理器属于 Xeon 型号，支持双处理器，其核心名称为 Nocona。由于 Xeon 是直接建基于桌面型 Pentium 4 的架构上，因此 Pentium 4 主板也可使用 Intel 64，如使用超线程（Hyper-Threading）等。不过 Intel 64 在初期的 Prescott 版本尚未激活，其原因大概是当时其尚未完善。在使用 Prescott 核心 E0 更新版本的 Pentium 4 处理器已可使用 Intel 64，被称为 Pentium 4 F。再者，E0 更新版本加入了“禁止运行”比特，称为 XD bit (eXecute Disable)，相当于 AMD64 的 NX bit。

3、处理器产品

以下处理器产品使用了 x86-64 技术。

(1) AMD K8 (AMD64)微处理器架构

AMD Athlon 64

AMD Athlon 64 X2

AMD Athlon 64 FX

AMD Opteron

AMD Turion 64

AMD Sempron（限使用 E6 步进以后的 Palermo、全数 Manila 型号和全数 Sparta 型号）

(2) AMD K10 微处理器架构

AMD Phenom

AMD Athlon

AMD Sempron

(3) AMD Bulldozer 微处理器架构

AMD FX-Series

(4) AMD AMD Fusion (APU)

AMD Bobcat 微处理器架构的 CPU 核心

AMD Ontario

AMD Zacate

AMD K10 微处理器架构的 CPU 核心

AMD Llano

(5) Intel NetBurst (Intel 64)

Intel Xeon (自"Nocona"起的部分型号)

Celeron D (自"Prescott"起的部分型号)

Pentium 4 (自"Prescott"起的部分型号)

Pentium D

Pentium Extreme Edition

(6) Intel Core 微处理器架构

Intel Xeon ("Woodcrest")

Intel Core 2

Intel Pentium Dual-Core

Intel Celeron (自"Core"起的型号)

(7) Intel Nehalem 微处理器架构

Intel Xeon

Intel Core i7

Intel Core i5

Intel Core i3

Intel Pentium

Intel Celeron

(8) Intel Sandy Bridge 微处理器架构

Intel Xeon

Intel Core i7

Intel Core i5

Intel Core i3

Intel Pentium

Intel Celeron

(9) Intel Ivy Bridge 微处理器架构

Intel Xeon

Intel Core i7

Intel Core i5

Intel Core i3

Intel Pentium

Intel Celeron

(10) Intel Haswell 微处理器架构

Intel Xeon

Intel Core i7

Intel Core i5

Intel Core i3

Intel Pentium

Intel Celeron

(11) Intel Broadwell 微处理器架构

Intel Xeon

Intel Core i7

Intel Core i5

Intel Core i3

(12) Intel Skylake 微处理器架构

Intel Xeon

Intel Core i7

Intel Core i5

Intel Core i3

Intel Pentium

Intel Celeron

Intel Atom(部分)

4、应用环境（操作系统、编译器等）

以下操作系统均支持长模式（long mode）的 x86-64 架构。

(1) DOS

在 DOS 环境下可通过 DOS Extender（例如 DOS4GW）来进入保护模式。

FreeBSD

FreeBSD 在 5.1 正式版曾为 x86-64 作试验，至 6.0 正式版解决了在 x86-64 运行 32 位程序出现的一些问题，以及能支持不少驱动程序。

(2) Linux

Linux 在 2.6 版本的内核开始加入长模式，支持 x86-64，能兼容 32 位程序及模拟 32 位系统，容许在 32 位的环境下，把程序编译为 64 位版本。

(3) Mac OS X

Mac OS X 10.6 Snow Leopard 开始提供 64 位内核，并可以在部分处理器上打开 64 位内核。64 位内核只支持 64 位的内核扩展，反之亦然；但对于普通应用程序，无论 32 位或 64 位内核均可以支持两种位宽的应用程序，但 32 位程序只能使用 4GB 的内存空间[1][2]。

Mac OS X 10.5 Leopard 在 Intel 与 PowerPC 上提供对 Cocoa, Quartz, OpenGL 与 X11 的 GUI 程序的 64 位支持[3]，并支持全部的命令行库和程序。但内核仍只有 32 位版本。

Mac OS X 使用通用二进制文件格式将 32 位和 64 位程序和库代码包装在同一文件中，在加载时自动选择最合适的版本。在 Mac OS X 10.6 中，内核和内核扩展也使用通用二进制格式以同时支持两种构架。

(4) MenuetOS

x86-64 版本的 MenuetOS 系统于 2005 年 6 月推出，虽然原有的 32 位版本 Menuet 以 GPL 授权，但 x86-64 版本则维持专属，并以免费软件方式发布，以及提供部分组件的源代码。

(5) NetBSD

x86-64 版本的 NetBSD 最早于 2001 年 6 月 19 日被提出,至 2004 年 12 月 9 日推出的 NetBSD 2.0 已能完全支持 x86-64。

(6) OpenBSD

OpenBSD 自 2004 年 5 月 1 日推出的 3.5 版起,已支持 x86-64。

(7) Solaris

昇阳的 Solaris 自版本 10 开始已支持 x86-64。

(8) Windows

供客户端使用的 Windows XP Professional x64 Edition 以及供服务器使用的 Windows Server 2003 SP1 x64 Edition 均已于 2005 年 3 月推出。Windows Vista、Windows Server 2008、Windows 7、Windows 8、Windows 8.1 以及 Windows 10 均有对应的 64 位版本。Windows Server 2008 R2 只提供 64 位版本。

十、 3DNow!

1、 历史

1996 年 Intel 首先推出了支持 MMX 的 Pentium 处理器,极大地提高了 CPU 处理多媒体数据的能力,被广泛地应用于语音合成、语音识别、音频视频编解码、图像处理和串流媒体等领域。但是 MMX 只支持整数运算,浮点数运算仍然要使用传统的 x87 协处理器指令。由于 MMX 与 x87 的寄存器相互重叠,在 MMX 代码中插入 x87 指令时必须先执行 EMMS 指令清除 MMX 状态,频繁地切换状态将严重影响性能。这限制了 MMX 指令在需要大量浮点运算的程序,如三维几何变换、裁剪和投影中的应用。

另一方面,由于 x87 古怪的堆栈式暂存器结构,使得硬件上将其流水线化和软件上合理调度指令都很困难,这成为提高 x86 架构浮点性能的一个瓶颈。

为了解决以上这两个问题,AMD 公司于 1998 年推出了包含 21 条指令的 3DNow!指令集,并在其 K6-2 处理器中实现。K6-2 是第一个能执行浮点 SIMD 指令的 x86 处理器,也是第一个支持水平浮点寄存器模型的 x86 处理器。借助 3DNow!,K6-2 实现了 x86 处理器上最快的浮点单元,在每个时钟周期内最多可得到 4 个单精度浮点数结果,是传统 x87 协处理器的 4 倍。许多游戏厂商为 3DNow!优化了程序,微软的 DirectX 7 也为 3DNow!做了优化,AMD 处理器的游戏性能第一次超过 Intel,这大大提升了 AMD 在消费者心目中的地位。K6-2 和随后的 K6-III 成为市场上的热门货。

1999 年,随着 Athlon 处理器的推出,AMD 为 3DNow!增加了 5 条新的指令,用于增强其在 DSP 方面的性能,它们被称为“扩展 3DNow!”(Extended 3DNow!)。

为了对抗 3DNow!,Intel 公司于 1999 年推出了 SSE 指令集。SSE 几乎能提供 3DNow!的所有功能,而且能在一条指令中处理两倍多的单精度浮点数;同时,SSE 完全支持 IEEE 754,在处理单精度浮点数时可以完全代替 x87。这迅速瓦解了 3DNow!的优势。

1999 年后,随着主流操作系统和软件都开始支持 SSE 并为 SSE 优化,AMD 在其 2000 年发布的代号为“Thunderbird”的 Athlon 处理器中添加了对 SSE 的完全支持(“经典”的 Athlon 或 K7 只支持 SSE 中与 MMX 有关的部分,AMD 称之为“扩展 MMX”即 Extended MMX)。随后,AMD 致力于 AMD64 架

构的开发；在 SIMD 指令集方面，AMD 跟随 Intel，为自己的处理器添加 SSE2 和 SSE3 支持，而不再改进 3DNow!。

2010 年八月，AMD 宣布将在新一代处理器中取除了两条数据预取指令之外 3DNow! 指令的支持，并鼓励开发者将 3DNow! 代码重新用 SSE 实现。

2、特点

(1) 单精度浮点运算

此类指令的操作数均为 64 位，其高 32 位和低 32 位分别是 IEEE 754 格式的单精度浮点数。大部分指令一次可接受两个这样的操作数，并得到两个单精度浮点数的结果。它们的汇编语言助记符都以 PF 开头。

3DNow! 还包含有计算单精度倒数和开方倒数的指令，并可以依程序需要，得到 12 位精度和 24 位精度的结果。这些指令一次只能处理一个单精度浮点数。

(2) 增强的 MMX

PAVGUSB 用于求 64 位紧缩字节（8×8 位字节）的平均值，可用于视频编码中的像素平均和图像缩放等。可能是意识到这个功能的重要性，Intel 在 SSE 中添加了功能完全相同的 PAVGB 指令。

PMULHRW 则用来补充 MMX 指令 PMULHW 的不足，在紧缩无符号字（4×16 位字）相乘时可以得到比后者更准确的结果。

(3) 数据类型转换

PF2ID、PI2FD 等 4 条指令用于完成整数和单精度浮点数之间的相互转换。

(4) 数据预取

PREFETCH/PREFETCHW 指令用于把将要使用到的数据从主存提前装入缓存中，以减少访问主存的指令执行时的延迟。Intel 在 SSE 中添加了类似的 PREFETCHTx 指令

(5) 快速退出 MMX 状态

FEMMS 指令与 MMX 中的 EMMS 功能相同，用于退出 MMX 状态。在 K6-2 和 K6-III 处理器中，FEMMS 比 EMMS 更快；在 Athlon 及更新的处理器中，FEMMS 等同于 EMMS。

3、处理器产品

(1) K6-2

K6-2 于 1998 年上市，是一个由 AMD 制造的 x86 处理器，可以在 200 至 550 MHz 的时钟速度运行。它有 64Kb 一级缓存（32KB 指令集和 32KB 资料），在 2.2 伏特的电压下运行。使用 0.25 微米制程，拥有 930 万个电子管，以及只能使用于处理器插座是 Socket 7 或 Super Socket 7 的主板。

(2) K6-III

AMD K6-III 是一款由 AMD 公司生产的电子产品。是 K6 系列的第三代产品，主频 0.5hz，采用了三级缓存设计，是一款性价比较高的 CPU。

采用 3DNow!TM 技术的 AMD-K6-III 处理器具备“Trilevel Cache”（三级缓存）高速缓存设计。该处理器集成了高达 2130 万个晶体管，采用 AMD 的 0.25 微米、五层金属、局域内连及浅沟隔离工艺技术在德州 Fab 25 工厂制造。AMD-K6-III 处理器采用与 100 MHz Super7 平台兼容及使用 C4 倒装芯片内连技术的 321 针瓷脚栅阵（CPGA）封装。

(3) K7

K7 系列 CPU 是 AMD 公司推出的高性价比 CPU，又可以细分为：采用

“Thunderbird 雷鸟”核心，L1 cache 为 128KB/L2 cache 为 256KB，200MHz 前端总线的 Athlon 系列 CPU（后期也有采用 266MHz 前端总线的 Athlon 出现）；采用“Spitfire 烈火”核心，L1 cache 为 128KB/L2 cache 为 64KB，200MHz 前端总线的 Duron 系列 CPU；采用“Palomino”核心的 Athlon XP 系列；采用“Morgan 野马”核心的新 Duron 系列；采用最新的 Thoroughbred 核心的 Athlon XP 系列。

K7 继续采用 3D NOW! 指令集。AMD 的 K7 CPU 采用 200MHz 的外频。而且在 K7 的设计之中，AMD 放弃了 Socket 7 结构和 Slot A 结构，转而采用 Socket A。据 AMD 所公布的资料显示，K7 第一个版本采用的是 0.25 微米的制造技术，而后采用 0.18 微米铜互连技术。K7 加强了整数、浮点运算和多媒体运算的能力，具有每次可发出九条指令的超阶层微架构、超阶层管线的浮点运算单元。

K7 并没有采用 INTEL 的 GTL+系统总线协议，它使用的是 Digital 公司的 Alpha 系统总线协议 EV6。EV6 系统总线有许多的优点，首先它有许多比 GTL+更为优秀的构造，例如点对点布局。其次它可以支持 200MHz 的外频，K7 具有 64 位可编程控制的后置式 L2 cache 界面，可支持 512KB—8MB 的二级缓存。

3 个并行的 X86 指令解码器；9 个为高频率优化的超标量微结构；动态推测时序，乱序执行；2048 个入口分支预测表和 12 个入口返回堆栈；3 个超标量乱序整数管道，每个包含：整数执行单元，地址产生单元；3 个超标量乱序多媒体管道；64K 指令一级 CACHE 和 64K 数据一级 cache，每两路相关；2 个通用 64 位数据 cache 装载/存储端口；高速 64 位后方 2 级 CACHE 控制器；支持 512K 到 8MB 二级 cache，可编程接口速度；高速 64 位系统接口；200MHz 系统总线。

4、应用环境（操作系统、编译器等）

3DNow!指令的执行环境与 MMX 一样，都是将 8 个 x87 寄存器 ST0~ST7 的低 64 位重命名为 MMX 寄存器 MM0~MM7，并依平坦模式进行操作（即指令可以任意访问这 8 个寄存器中的任何一个而不必使用堆栈）。

由于 3DNow!使用的寄存器与 x87 寄存器重叠，任务切换时，保存 x87 寄存器状态的同时也保存了 3DNow!的状态，所以 3DNow!不需要操作系统的额外支持。只要 CPU 支持 3DNow!，含有 3DNow!代码的程序可以在只考虑到 x87 状态的原有的操作系统上不加修改地运行。

由于 3DNow!依平坦模式访问寄存器，对 3DNow!浮点单元的管线化变得容易，这也利于编译器生成高效的浮点代码。

十一、 PA-RISC

1、历史

PA-RISC，一种处理器指令集架构（ISA），属于精简指令集架构。PA 是指精准指令集架构（英语：Precision Architecture），由惠普公司开发，所以它又被称为惠普精准指令集架构（Hewlett Packard Precision Architecture，缩写为 HP/PA）。它首次出现于 1986 年 2 月 26 日，被应用于 HP 3000 930 系列以及 HP 9000 840 模式处理器之中。

它之后被惠普公司与英特尔联合开发的 Itanium 架构所取代。

2、处理器产品

第一款芯片的型号为 PA-8000, 主频为 180MHz, 后来陆续推出 PA-8200、PA-8500 和 PA-8600 等型号。HP 公司开发的 64 位微处理器 PA-8700 于 2001 年上半年正式投入服务器和工作站的使用。这种新型处理器的设计主频达到 800MHz 以上。PA-8700 使用的工艺是 0.18 微米 SOI 铜 CMOS 工艺, 采用 7 层铜导体互连, 芯片上的高速缓存达到 2.25MB, 比 PA-8600 增加了 50%。

HP 公司陆续推出 PA-8800 和 PA-8900 处理器, 其主频分别达到 1GHz 和 1.2GHz。PA-RISC 同时也是 IA-64 的基础。在未来的 IA-64 芯片中, 会继续保持许多 PA-RISC 芯片的重要特性, 包括 PA-RISC 的虚拟存储架构、统一数据格式、浮点运算、多媒体和图形加速等。

3、应用环境（操作系统、编译器等）

- (1) Spectrum systems
- (2) MPE/iX
- (3) HP-UX
- (4) Linux
- (5) OpenBSD
- (6) NetBSD
- (7) NEXTSTEP

十二、 POWER (Performance Optimization With Enhanced RISC)

1、历史

POWER 的历史可以追溯到 IBM 801 处理器体系结构之前, 大约 1975 年前后在 IBM 公司的 T. J. Watson 研究中心, John Cocke 和同事们研究有关“电话呼叫转换”的课题, 这一课题中有一个目标是要求设计一款处理器, 它能够在每个时钟周期内执行一条指令, 从而在尽可能短的时间内处理尽可能多的电话呼叫, 实现的这个处理器体系结构后来被称之为 IBM 801。IBM 801 几乎是第一个精简指令系统处理器, 大约 120 条指令, 相比原有的 CISC (复杂指令系统) 处理器, 不仅处理能力有了巨大的提升, 而且功耗也更小, 设计及制造成本也更低。1986 年 IBM 推出的 PC RT 是第一台基于 801 处理器的商用计算机。

也是在 1986 年前后, John Cocke 进入位于美国 Austin 的“America”项目中继续进行 CPU 体系结构方面的研究, 这一项目的成果成为今天的 POWER/PowerPC 体系结构的基础。由于在 RISC 和编译器优化方面的杰出贡献, John Cocke 获得了 1987 年的图灵奖。

2、处理器产品

(1) POWER1

第一代的 POWER 处理器, 诞生于 1990 年 2 月, 随着 IBM 的 RS/6000 系列计算机系统发布。

(2) POWER2

于 1993 年 11 月发布, 并在当时成为性能最高的处理器。

(3) POWER3

于 1998 年发布, POWER3 以及随后的 POWER 系列处理器均全部实施了 64-bit PowerPC 架构, 并都不再支持更早之前的旧 POWER 指令集架构 (ISA), 包括 PowerPC 指令集架构或任何 POWER2 所追加延伸的指令, 如 lfq 或 stfq 等, 都不再具备与支持。

(4) POWER4

于 2001 年发布,POWER4 是第一款频率超过 1GHz 的 POWER 处理器。POWER4 实现了 POWER ISA v. 2.00。

(5) POWER5

于 2004 年发布,POWER5 是一款双核处理器,并在逻辑上实现了 4 核心运算。

(6) POWER6

于 2007 年 5 月发布,POWER6 采用了 65 纳米工艺设计。摒弃了乱序运算单元,而采用顺序运算的流水线设计,其最高运行频率达到了恐怖的 5GHz,对应 POWER ISA v. 2.03。

(7) POWER7

于 2010 年 2 月发布,POWER7 采用了 45 纳米的 SOI 工艺设计。运行频率介于 3.0GHz 到 4.25GHz 之间。每个处理器集成 4、6 或者 8 核心,且每核心可以采用 4 路 SMT 线程,且由于芯片同时集成了 SRAM 和 DRAM 工艺,L3 缓存最高可达 32M,对应 POWER ISA v. 2.06。

(8) POWER8

2013 年 8 月 26 号发布,Power 8 是专为云计算服务器而生的。Power 8 处理器最大为 12 核心设计,超线程技术从上代产品的 4-Way SMT 提高到了 8-Way SMT,也就说其最大能够支持 96 线程,即便是 Intel 也只能对此望洋兴叹了。12 颗核心共享 96MB 的三级缓存,另外还可以使用 128MB 的 eDRAM 四级缓存,但四级缓存并没有封装在处理器内部。

单核方面,每颗核心拥有 64K 的数据缓存、32K 的指令缓存以及 512K 的二级缓存,包含有 16 个执行单元,分别是 2 个 FXU、2 个 LSU、2 个 LU、4 个 FPU、2 个 VMX、1 个 Crypto、1 个 DFU、一个 CR 以及一个 BR。相比 Power 7 系列来说单线程性能最大提升 60%。

内存方面,Power 8 总带宽高达 230GB/s,同时支持事务性内存,支持 Crypto&内存扩展,另外还支持 PCI-E 3.0 技术。

功耗管理方面,Power 8 处理器和 Haswell 有些相似,在芯片内部直接集成了 VRM 模块,支持内部功耗控制。

十三、 Alpha

1、历史

到了 1989 年,日益老化的 VAX 架构,面对 MIPS 和 SPARC 等第二代 RISC 架构的强力挑战越来越感到力不从心。很显然,留给 VAX 的时间不多了。因此在此年中,DEC 的工程师接到任务,开发一款更具有竞争力的 RISC 架构,并且要在相当长的时期内保持足够的升级潜力,同时还要对 VAX/VMS 以及所有相关的应用程序保证最大的兼容性。64-bit 解决方案由此而诞生。开发团队初步确立,Richard Witek 和 Richard Sites 成为了这个项目的首席架构师。Alpha 架构于 1992 年 2 月 25 日,在东京召开的一次会议上面被正式推介,新架构的关键特性都一一的被罗列出来。当时说 Alpha 只是产品开发的内部代号。

Alpha 处理器最早由 DEC 公司设计制造,在 Compaq(康柏)公司收购 DEC 之后,Alpha 处理器继续得到发展,并且应用于许多高档的 Compaq 服务器上。作为 VAX 的后续被开发,支援 VMS 操作系统,如 Digital UNIX。不久

之后开放源代码的操作系统也可以在其上运行，如 Linux 和 BSD 。Microsoft 支持这款处理器，直到 Windows NT 4.0 SP6 ，但是从 Windows 2000 beta3 开始放弃了对 Alpha 的支持。

2、特点

(1)64 位

新处理器采用完全 64-bit RISC 设计。有 32 个 64 bit 整数寄存器，操作 43-bit 的虚拟地址(在后来能够扩充到 64-bit)。和 VAX 相同,使用 little-endian 字节顺序，即低字节的寄存器占用低内存地址线。而不像如摩托罗拉等大多数处理器所使用的 big-endian 字节顺序，即低字节寄存器占用高内存地址线。除此之外，处理器还内建一个算术协处理器，有 32 个浮点 64-bit 寄存器，采用随机存取，而不是在 intel x86 协处理器上使用的堆栈存取方式。整个 Alpha 的生命周期被设计为至少 25 年。

(2)执行固定长度指令(32 bits)

Alpha 的精简指令集：

被简化后的指令集更利于流水线操作，它由 5 个部分所组成：

- 整数指令
- 浮点数指令
- 分支和比较指令
- 读取和存储指令
- PAL 编码指令

和现在一些 I386 架构的处理器不同，Alpha 的架构是完完全全的 RISC 架构。Alpha 处理器当时发布的时候，运行在一个很高的频率上—150MHz，而且还有提升的空间，不改变生产工艺就可以将频率提升到 200MHz。这是一个从哪方面看都会取得成功的架构。项目也进行的很顺利，到了生产销售阶段。这时候，DEC 公司市场部突然提出要将新架构命名为 AXP，于是产品就被正式定名为 Alpha AXP。没有人知道 AXP 代表什么意思，或许它根本就没有意义。

(3)缓存方式

L1 缓存由：8KB 的指令缓存(I-cache)和 8KB 的数据缓存(D-cache)组成。其中 D-cache 读取延迟为 3 个时钟。每一个 I-cache 由 32 字节指令，21-bit 的 tag record，8-bit 的分支记录区域和其他的一些辅助部分所组成。每一个 D-cache 由 32 字节的数据和 21bit 的 tag record 所组成。

L2 缓存，当时又被称为备份缓存(B-cache)，不过采用的却是外置的同步或异步 SRAM 芯片，最大容量达到了 16MB(通常从 512KB 到 2MB 不等)。B-cache 由带有 1-bit 长的奇偶校验和 7-bit 的 ECC 校验的 32 字节的数据和指令，带有 1-bit 奇偶校验的 tag record 和 3-bit 的状态标签所组成。由于采用外置式的 L2 缓存设计方式，因此缓存的速度在很大程度上都限制着处理器的运算。

系统数据总线作为沟通处理器和 L2 缓存之间的接口，作用越发显得重要，系统数据总线采用了两种位宽 64bit 和 128bit。由于 B-cache 的多样性，这种转换是相当有必要的。系统地址总线为 34-bit 位宽。

(3)内存模型薄弱

Alpha 是目前已知的内存模型最弱的架构。

很弱的内存模型简化了硬件实现，提升了硬件性能，但这是以软件复杂性的提升为代价的。由于其上的系统编程较难，现在已淡出工业界。

(4) 学术价值

它的学术价值却不容小觑。

它比较早的考虑了 64 位、和引入了很多超前的微架构设计概念，以至于影响了现在 Intel 的微架构(uops)、超线程，这些在 intel 处理器微架构设计隐约能看到 Alpha 架构的一些影子。但不能下 Alpha 优于 Intel 的结论。

3、处理器产品

(1) 21064

为了吸引那些打算从 VAX 机转向基于 RISC 的 Alpha 体系结构的用户，DEC 公司对订购 Alpha 系统的用户出借 VAX 系统 6 个月供其使用。

第一款 Alpha 系列的处理器被称为 21064(21 意为 alpha 是一款面向 21 世纪的新架构，0 代表处理器的版本，64 代表具备 64-bit 的计算能力)。开发代号为 EV4，其中 EV 是 Extended VAX(扩展 VAX)的简称，采用 CMOS4 的生产工艺。EV4 的展示原型是在 1991 年推出的，当时限于生产工艺水平，使用了 CMOS3，因此只有较小的缓存，同时没有浮点运算单元。这对于一款处理器的性能来说，打了一个非常大的折扣。

它是一种超流水线、超标量、64 位的 RISC 处理器，使用板上高速缓存和双指令输出，时钟频率为 200MHz，其电源电压为 3.3V。

Alpha21064 采用 431 引脚的 PGA(网格状引脚阵列)封装，装有一个带四个 32KB 入口(entry)的片上写入缓存、一个 8KB 的片上数据高速缓存和一个 8KB 的片上指令高速缓存，以及请求调页内存管理单元、奇偶校验和误差检验与校正器，时钟产生器等。

21064 芯片于 1992 年 7 月份批量生产，于 1992 年底以 1650 美元的价格交付生产。

(2) EV4

EV4 是在 92 年发布的，当时的生产工艺已经达到了 3 层 0.75 μ 的水平，并且在后来一段时间中，采用了更为先进的 0.675 μ CMOS4S 制造工艺，自然可以将节省出来的空间装入更多的晶体管，来增强性能。由此可以看出，在那个时候，生产工艺对于处理器的性能影响相当巨大。

处理器设计工作电压为 3.3V，核心频率为 150MHz—200MHz(TDP 为 21W 到 27W 之间)。处理器内部共由 168 万个晶体管组成，芯片面积为 233 平方毫米，芯片采用 PGA—431 方式进行封装。从 EV4 开始，就能够支持多处理器，这是其架构中很关键的一个特性之一。

除此之外，处理器还采用了一种叫做“victim write”的机制，用于将 B-cache 中的数据，储存到主内存中。在整个系统中，只有处理器才能够对 B-cache 执行读写操作，系统其他的逻辑核心只能够读取 B-tag 数据。这对于后来越来越复杂的多处理器系统中，显得尤为重要。只有这样，才能够尽可能的保证 B-cache 中的数据一致性。

在处理器中的分支预测单元有一个 4096 个入口的分支预测表，还有有一根整数管线(E-box，7 级流水线)和一根浮点管线(F-box，10 级流水线)。指令解码器的执行单元能够每个时钟周期执行 2 个命令(I-box)。除此之外，

还有读取单元(A-box)。读取单元的作用很重要,主要用于协调缓存和系统总线控制器之间的操作,其中涉及到的部件有:I-cache、D-cache 和 B-cache。

(3)21264

21264 芯片保持了 Alpha 处理器可以运行多种操作系统的特点,其中包括 Tru64UNIX、OpenVMS 和 Linux 等,而在这些系统中,已经有许多成熟的应用程序,这也是 Alpha 处理器的一个优势。

对于追求性能的用户,DEC 公司的 Alpha 处理器是个具有诱惑力的选择。Alpha 是 RISC 处理器中最快的一种,而且是唯一得到了 WindowsNT 继续支持的 RISC 处理器(1995 年,NT 中断了对 MIPS 和 PowerPC 的支持)。如果你的应用效率被几个高端应用程序所限制,而这些应用又可以在 Alpha 上运行,那么 Alpha 可能对你来说是个不错的选择。

现今的 Alpha 芯片是 21164,有从 300MHz 到 600MHz 的各种型号。在整数应用程序方面,Alpha 所表现出的性能优势与 PentiumII 相比,并不是非常大,虽然它的时钟频率非常高,但平均每个周期完成的操作却较少。实际上,能否体现出 Alpha 处理器的优势与应用程序有关,在各种需要浮点运算的应用中,例如 3-D 图象处理和计算机辅助设计,21164 才能显示出卓越的性能。

在技术方面,21164 具有高达 960 万个晶体管的惊人设计。它有集成在芯片内的 16K 一级缓存和同样集成在芯片内的 96K 二级缓存。系统总线的宽度是 128 位,这与 x86 系统的 64 位总线相比,具有更大的带宽。

对于所有 RISC 处理器来说,他们面临 PC 市场的最大挑战就是缺乏应用软件。Digital 虽然尽力吸引软件开发人员而且有一个很惊人的应用列表,但这些应用主要是面象工程师和创作人员的,而不是面向主流的 PC 应用领域。

为解决这个问题,Digital 开发了一个有趣的软件,称为 FX!32,可以使 Alpha 运行几乎所有的 32 位 Windows 应用程序。性能比其它软件模拟器,例如 SoftPC 要好,但它只使用了 50%到 70%的 Alpha 原生代码(Digital 的说法)。FX!32 是运行那些完整的软件套件的良好途径,它可以满足你对 x86PC 的部分需要,但这样并不能提供领先的高性能和价值。绝大多数 Alpha 系统都比典型的 PC 系统贵得多。

Digital 发售了一种新的处理器,称为 21164PC,它比 21164 便宜而且性能与之相差不多。21164PC 有 400, 466 和 533MHz 的型号。这种新处理器的价格大约为在 1000 片时每片 495 美元(533MHz 的型号),与之相比,500MHz 的 21164 售价在 1450 美元,而 233MHz 的 PentiumII 售价是 386 美元。

Digital 希望在 1996 年年底会出现使用这种新的芯片的系统,而且售价只有 2500 美元。借助这种低价系统,Alpha 可以占领一部分的 PC 市场——如果有足够的能吸引用户的应用程序的话。1998 年,Digital 计划发行 21264,这种芯片可以让 Intel 最快的 x86 处理器黯然失色,特别是在浮点运算方面。到 1999 年或更晚,使用这种芯片的系统可能能降到约 10000 美元。如果价格对你来说不是问题,而你又想得到世界上最快的 WindowsNT 系统,这种处理器就是你的选择。

(4)申威处理器

申威处理器或申威 CPU,简称“SW 处理器”。SW 处理器源自于 DEC 的 Alpha 21164,其研制得到了国家“核高基”专项资金支持。在国家“核高基”

重大专项支持下、采用自主指令集，具体负责研发的单位是江南计算机所属于军方研究机构(总参 56 所)，且具有完全自主知识产权的处理器系列。

第一代 SW1 在 2006 年研制成功

指令集：RISC，自主指令集

核心数量：单核心

架构：Alpha

第二代 SW-2 在 2008 年研制成功

CPU 型号：SW-2

CPU 频率：1400MHz

制造工艺：130nm

指令集：RISC，自主指令集

核心数量：双核心

架构：Alpha

第三代 SW-3 在 2010 年推出

CPU 型号：SW1600

CPU 频率：1600MHz

制造工艺：65nm

指令集：RISC，自主指令集

核心数量：16

数据位宽：64 位

架构：Alpha

集成 DDR3 存储控制器和标准 I/O 接口

其中，SW1600 处理器是江南计算所研制申威系列的第三代处理器，拥有 16 个 RISC 处理核，浮点高达 140GFLOPS。是高性能服务器和存储技术与江南计算所合作的国家重点实验室项目，中华人民共和国自主知识产权，并且，SW1600 已经运用到神威蓝光(Sunway BlueLight MPP)超级计算机上，是中华人民共和国公开面世的首台全采用自主研发生产处理器，达到每秒千万亿次浮点的超级计算机，2011 年 9 月安装于国家超算济南中心。神威蓝光由国家并行计算机工程技术研究中心制造，获得科技部 863 计划支持，系统采用 8704 个 SW1600 处理器，峰值计算能力 1.07016PFLOPS，持续计算速度 795.9TFLOPS，LINPACK 效率达到 74.37%，总功耗只有 1074KW。

4、应用环境

该指令系统从 1992 年开发出来，直至 2000 年被放弃，为后续的指令系统奠基，迄今已经被淘汰十数载。它失去了全部的应用价值，但它的学术价值却重于泰山。它率先考虑了 64 位、引入了很多超前的微架构设计概念，以至于影响了现在 Intel 的许多架构。

十四、 MIPS

1、历史

MIPS 架构(英语：MIPS architecture，为 Microprocessor without interlocked piped stages architecture 的缩写，亦为 Millions of Instructions Per Second 的相关语)，是一种采取精简指令集(RISC)的处理器架构，1981 年出现，由 MIPS 科技公司开发并授权，广泛被使用在许多

电子产品、网络设备、个人娱乐装置与商业装置上。最早的 MIPS 架构是 32 位，最新的版本已经变成 64 位。MIPS 架构 20 多年前由斯坦福大学开发，是一种简洁、优化、具有高度扩展性的 RISC 架构。

1981 年，斯坦福大学教授约翰·轩尼诗领导他的团队，实作出第一个 MIPS 架构的处理器。他们原始的想法是通过指令管线化来增加 CPU 运算的速度。1984 年，约翰·轩尼诗教授离开斯坦福大学，创立 MIPS 科技公司。于 1985 年，设计出 R2000 芯片，1988 年，将其改进为 R3000 芯片。2002 年，中国科学院计算所开始研发龙芯处理器，采用 MIPS 架构，但未经 MIPS 公司的授权，遭到侵权的控告。

2009 年，中国科学院与 MIPS 公司达成和解，得到正式授权。

2、特点

它的基本特点是：包含大量的寄存器、指令数和字符、可视的管道延时隙，这些特性使 MIPS 架构能够提供最高的每平方毫米性能和当今 SoC 设计中最低的能耗。

MIPS 是世界上很流行的一种 RISC 处理器。MIPS 的意思“无内部互锁流水线级的微处理器”(Microprocessor without interlocked piped stages)，其机制是尽量利用软件办法避免流水线中的数据相关问题。它最早是在 80 年代初期由斯坦福(Stanford)大学 Hennessy 教授领导的研究小组研制出来的。MIPS 公司的 R 系列就是在此基础上开发的 RISC 工业产品的微处理器。这些系列产品为很多计算机公司采用构成各种工作站和计算机系统。

MIPS 技术公司是美国著名的芯片设计公司，它采用精简指令系统计算结构(RISC)来设计芯片。和英特尔采用的复杂指令系统计算结构(CISC)相比，RISC 具有设计更简单、设计周期更短等优点，并可以应用更多先进的技术，开发更快的下一代处理器。MIPS 是出现最早的商业 RISC 架构芯片之一，新的架构集成了所有原来 MIPS 指令集，并增加了许多更强大的功能。

(1)MIPS32 位架构

MIPS32®架构刷新了 32 位嵌入式处理器的性能标准。它是 MIPS 科技公司下一代高性能 MIPS-Based™处理器 SoC 发展蓝图的基础，并向上兼容 MIPS64®64 位架构。MIPS 架构拥有强大的指令集、从 32 位到 64 位的可扩展性、广泛的软件开发工具以及众多 MIPS 科技公司授权厂商的支持，是领先的嵌入式架构。MIPS32 架构是以前的 MIPS I™ 和 MIPS II™指令集架构(ISA)的扩展集，整合了专门用于嵌入式应用的功能强大的新指令，以及以往只在 64 位 R4000™ 和 R5000® MIPS®处理器中能见到的已经验证的存储器管理和特权模式控制机制。通过整合强大的新功能、标准化特权模式指令以及支持前代 ISA，MIPS32 架构为未来所有基于 32 位 MIPS 的开发提供了一个坚实的高性能基础。

MIPS32 架构基于一种固定长度的定期编码指令集，并采用导入/存储(load/store)数据模型。经改进，这种架构可支持高级语言的优化执行。其算术和逻辑运算采用三个操作数的形式，允许编译器优化复杂的表达式。此外，它还带有 32 个通用寄存器，让编译器能够通过保持对寄存器内数据的频繁存取进一步优化代码的生成性能。

MIPS32 架构从流行的 R4000/R5000 类 64 位处理器衍生出特权模式异常处理和存储器管理功能。它采用一组寄存器来反映缓存器、MMU、TLB 及各个内核中实现的其它特权功能的配置。通过对特权模式和存储器管理进行标准

化，并经由配置寄存器提供信息，MIPS32 架构能够使实时操作系统、其它开发工具和应用代码同时被执行，并在 MIPS32 和 MIPS64 处理器系列的各个产品之间复用。

它的高性能缓存器及存储器管理方案的灵活性仍继续成为 MIPS 架构的一大优势。MIPS32 架构利用定义良好的缓存控制选项进一步扩展了这种优势。指令和数据缓存器的大小可以从 256byte 到 4Mbyte。数据缓存可采用回写或直写策略。无缓存也是可选配置。存储器管理机制可以采用 TLB 或块地址转换(BAT)策略。利用 TLB，MIPS32 架构可满足 Windows CE 和 Linux 的存储器管理要求。

由于增加了密集型数据处理、数据流和断言操作(predicated operations)，可满足嵌入式市场不断增长的计算需求。条件数据移动(Conditional data move)和数据缓存预取(prefetch)指令被引入，以期提高通信及多媒体应用的数据吞吐量。固定浮点 DSP 型指令可进一步增强多媒体处理能力。这些新指令，包括乘法、乘加、乘减和“前导计数(count leading)0s/1s”，在处理音频、视频和多媒体等数据流时，无需在系统中增加额外的 DSP 硬件即可提供更高的性能。功能强大的浮点指令可加快某些任务的执行速度，比如一些 DSP 算法的处理、图形操作的实时计算。浮点操作可选择软件仿真。最后，为简化系统集成任务，MIPS32 标准定义 EJTAG(增强型 JTAG)选项功能作为非入侵式、片上实时调试系统。

(2)MIPS64 位架构

MIPS64®架构刷新了 64 位 MIPS-Based™嵌入式处理器的性能标准。它代表着下一代高性能 MIPS®处理器的基础，并兼容 MIPS32®32 位架构。MIPS 架构拥有强大的指令集、从 32 位到 64 位的可扩展性、广泛可获得的软件开发工具以及众多 MIPS 科技公司授权厂商的支持，是领先的嵌入式架构。MIPS64 架构是以前的 MIPS IV™和 MIPS V™指令集架构(ISA)的扩展集，整合了专门用于嵌入式应用的功能强大的新指令，以及以往在 R4000®和 R5000®MIPS 处理器中执行的已经验证的存储器管理和特权模式控制机制。通过整合强大的新功能、标准化特权模式指令、支持前代 ISA，以及提供从 MIPS32 架构升级的路径，MIPS64 架构为未来基于 MIPS 处理器的开发提供了一个坚实的高性能基础。

MIPS64 架构基于一种固定长度的定期编码指令集，并采用导入/存储(load/store)数据模型。经改进，这种架构可支持高级语言的优化执行。其算术和逻辑运算采用三个操作数的形式，允许编译器优化复杂的表达式。此外，它还带有 32 个通用寄存器，让编译器能够通过保持对寄存器内数据的频繁存取进一步优化代码的生成性能。

这种架构从 R4000/R5000 类处理器衍生出特权模式异常处理和存储器管理功能。它采用一组寄存器来反映缓存器、MMU、TLB 及各个内核中实现的其它特权功能的配置。MIPS32 架构的兼容模式让 32 位代码无需修改即可在 MIPS64 上运行。通过提供后向兼容性、对特权模式和存储器管理进行标准化，并经由配置寄存器提供信息，MIPS64 架构能够使实时操作系统和应用代码同时被执行，并在 MIPS32 和 MIPS64 处理器系列的各个产品之间复用。

高性能缓存器及存储器管理方案的灵活性仍继续成为 MIPS 架构的一大优势。MIPS64 架构利用定义良好的缓存控制选项功能进一步扩展了这种优势。指令和数据缓存器的大小可以从 256byte 到 4Mbyte。数据缓存可采用回写或

直写策略。无缓存也是可选配置。存储器管理机制可以采用 TLB 或块地址转换(BAT)策略。利用 TLB, MIPS64 架构可满足 Windows CE 和 Linux 的存储器管理要求。

由于增加了数据流和断言操作(predicated operations), 可满足嵌入式市场不断增长的计算需求。条件数据移动和数据预取指令被标准化, 以提高通信及多媒体应用的系统级数据吞吐量。

固定浮点 DSP 型指令可进一步增强多媒体处理能力。这些以前只有在某些 64 位 MIPS 处理器上才使用的指令, 包括乘法(MUL)、乘加(MADD)、乘减(MSUB)和“前导计数(count leading) 0s/1s”, 在处理音频、视频和多媒体等数据流时, 无需在系统中增加额外的 DSP 硬件即可提供更高的性能。

功能强大的 64 位浮点寄存器和执行单元可加快某些任务的执行速度, 比如一些 DSP 算法的处理、图形操作的实时计算。双单精度指令(Paired-Single instruction)在一个 64 位寄存器中装入了两个 32 位浮点操作数, 从而实现单指令多数据操作(SIMD)。这种方法的执行速度是传统 32 位浮点单元的两倍。浮点操作可选择软件仿真。

MIPS64 架构兼具 32 位和 64 位寻址模式, 同时采用 64 位数据工作。这样一来, 无需额外的存储器进行 64 位寻址就能获得 64 位数据的优势。为了便于从 32 位系列的移植, 该架构还带有 32 位兼容模式, 在这种模式中, 所有寄存器和地址都是 32 位宽, MIPS32 架构中出现的所有指令都被执行。

(3) microMIPS 架构

microMIPS™是一种在单个统一的指令集架构中集成了 16 位和 32 位优化指令的高性能代码压缩技术。它支持 MIPS32® 和 MIPS64® Release 2 架构, 整合了可变长度重新编码 MIPS 指令集和新增的代码量优化 16 位和 32 位指令, 可提供高性能和高代码密度。

microMIPS 是一个完整的 ISA, 既能单独工作, 也能与原有的 MIPS32 兼容指令解码器共同工作, 允许程序混合 16 位和 32 位代码, 无需模式切换。microMIPS 的程序代码量较小, 因此可获得更好的缓存利用率和更小的取指带宽(fetch bandwidth), 从而有助于提升性能, 降低功耗。

microMIPS 包含所有 MIPS ASE 指令, 支持 CorExtend™/UDI 接口。而且, 针对 microMIPS 软件及系统开发, MIPS 科技公司与第三方合作伙伴生态系统提供有一套全面完善的软硬件工具支持。新推出的 M14K™和 M14Kc™是首先执行 microMIPS 的处理器内核。

(4) 性能

MIPS 是指令执行的速率, 规定了性能和执行时间成反比, 越快的计算机具有越高的 MIPS 值。从表面看, MIPS 既容易理解, 又符合人的直觉。其实, 用 MIPS 作为度量性能的指标存在三个问题。

首先, MIPS 规定了指令执行的速率, 但没有考虑指令的能力。我们没有办法用 MIPS 比较不同指令集的计算机, 因为指令数肯定是不同的。

其次, 在同一计算机上, 不同的程序会有不同的 MIPS, 因而一台计算机不会只有一个 MIPS 值。例如, 将执行时间用 MIPS、CPI、时钟频率代入之后可得:

$$\text{MIPS} = \text{指令数} / (\text{执行时间} * 10^6) = \text{指令数} / (\text{指令数} * \text{CPI} / \text{时钟频率} * 10^6) = \text{时钟频率} / (\text{CPI} * 10^6)$$

SPEC2006 在 Intel Core i7 上的 CPI 最大值和最小值是相差 5 倍的,

MIPS 也是如此。

如果一个新程序执行的指令数更多，但每条指令的执行速度更快，则 MIPS 的变化是性能无关的。

3、处理器产品

MIPS 已经在 MIPS 结构的两个系列中进行了标准化：MIPS32(32 位系列)和 MIPS64(64 位系列)。这是唯一一种能提供 64 位解决方案的结构，它在某些应用领域可以提供重要的性能优势，例如网络。目前，MIPS 科技公司设计高性能 32 位和 64 位架构及内核并发放其许可(这种商业模式和 ARM 是一样的)，这些架构和内核可实现较小尺寸和较高能量效率的嵌入式处理器。MIPS 平台面向高增长的嵌入式市场，如数字机顶盒、数字电视机、DVD 刻录机、宽带接入设备、数字相机、激光打印机和网络路由器市场。

目前 MIPS 架构处理器在市场上较新的几款处理器，有 MIPS32 24K、24KE 以及 34K 等系列产品。

(1)MIPS32 24K 系列

24k 核心采用 0.13 微米制程技术，运作频率可达 550MHz，硬件支持标准 IEEE 754 浮点运算，单一组 32×32 MDU，以及具备 TLB 或者是固定式对应功能的可调整式 MMU，而在 24k PRO 部分，内含了 MIPS CorExtend 功能，芯片设计业者可以加入自行定义的特殊指令，而且还能维持与 MIPS32 架构间的兼容性。

MIPS32 24K 系列的可合成处理器内核是嵌入式芯片业性能最高的 32 位内核。来自一些业界领先公司定制 SOC(片上系统)设计方法、开放内核协议(Open Core Protocol，简称 OCP)互连架构、标准程序库和片上存储器确保基于 24K 内核的产品最大限度地缩短设计时间并降低产业成本。

24K 系列是为快速运行图形、Java 和要求苛刻的代码设计的，具有超快的乘法能力、智能高速缓存、支持浮点和 CorExtend 功能，其中 CorExtend 可使用户通过定义和增加自己的指令充分提高应用性能。MIPS32 24K 核心系列针对各种量产应用设计，例如宽带接入、无线、网络、数字电视、及办公室自动化。当以台积电的 0.13 微米工艺实现时，24K 内核可达到 400MHz 以上的性能；若采用高性能 0.13 LV-OD 低介电系数工艺，其性能则可达 625 MHz，这是目前嵌入式市场中 32 位可综合内核的较高性能。

(2)MIPS32 24KE 内核系列

MIPS32 24KE 内核是嵌入式行业最高性能、最低功耗、集成了 DSP 功能的 32 位可合成处理器内核。基于 MIPS32 24KE 内核，OEM 和半导体公司可显著减少 SoC 成本、芯片面积和功耗。在 24KE 架构方面，基本上这是一款基于原先 24k 架构之下的加强版处理器，在单一处理核心中，就汇整了 RISC 处理核心与 DSP 加速功能，因此在集成度以及资料流的协调性上，会有更加出色的表现。

在 24KE 中整合的是称为 MIPS DSP ASE 的特定应用架构延伸技术，不用另外附加 DSP 电路，因此在成本与开发时程的控制上，会有更出色的表现，而相较起不含 DSP ASE 的 24K 处理器，在数字信号的处理上，可达到将近 3 倍的速度表现。

DSP ASE 在加速的应用上，包含了 IDCT 转换(视讯压缩)、IMDCT(MP3 解码)加速，以及一般工业应用中的滤波器等。而由于 24KE 系列核心是完全

静态的可合成核心,因此也可轻易的混用多家厂商的实体 IP,可视不同用途,整合高速存储器以及标准元件之后,达到高频率以及高性能表现,也能透过整合高密度标准元件以及存储器,达成对功耗以及芯片面积的最佳化。

24KE 内核系列的目标市场包括机顶盒、DTV、DVD 刻录机、语音交换、IP 电话、数码相机、蜂窝电话、打印机、调制解调器、住宅网关和汽车远程信息处理。低功耗使这些内核成为电池供电和有热限制的设备的理想选择。

(3)MIPS32 34K 内核系列

它是针对高性能和成本敏感的嵌入式应用的一种革命新性多线程解决方案。34K 核心系列是首个执行 MIPS MT ASE,并利用包括 MIPS DSP ASE 的成熟功的 24KE 微架构的产品。34K 内核的多线程能力可显著降低整体的芯片尺寸、成本和功耗。

单线程微处理器今天在等待存取存储器存取时浪费了许多周期,在相当程度上限制了系统性能。34K 内核通过增加强处理器的利用来减少存储器等待潜伏期的影响。当一个线程停止时,其他的线程立刻流入流水线开始执行工作,使应用吞吐能力实现显著地增加。据测试表明,运行两个线程的 34Kc 内核相要比单线程处理器的速度提高 60%,而尺寸仅增加 14% 的尺寸即可实现 60% 的加速。

此外,34K 内核系列可为嵌入式应用提供出众的实时响应。用户可为实时任务分配专用处理带宽,以实现有保证的服务质量(QoS)。该装置可持续监测线程进程,并和自动进行采取校正行动来满足或超越实时需求。

若加入了硬件虚拟机器模式,透过两个 VPE,可以在单一 34K 核心中同时执行两个操作系统。34KE 内核系列的目标市场 IP 电视、IP 电话及多媒体服务,可提供稳健传送的基础,并应用在调制解调器、网关等。

龙芯:

2009 年 6 月 19 日消息 美国第二大处理器架构厂商 MIPS 公司宣布,龙芯获得 MIPS 专利授权,研发 7 年之久的龙芯系列处理器开发与商业化消除一大障碍。不过,双方拒绝透露专利费相关事宜。

龙芯是基于 Linux 的芯片,可以支持谷歌的 Android 系统。不过龙芯处理器架构类似于 MIPS 架构,此前饱受争议,龙芯 2 号处理器也有类似的问题。

MIPS 昨天宣布,中国科学院计算技术研究所已获得 MIPS32TM 和 MIPS64TM 架构授权。

4、应用环境

MIPS 处理器是八十年代中期 RISC CPU 设计的一大热点。MIPS 是卖的最好的 RISC CPU,可以从任何地方,如 Sony, Nintendo 的游戏机, Cisco 的路由器和 SGI 超级计算机,看见 MIPS 产品在销售。目前随着 RISC 体系结构遭到 x86 芯片的竞争,MIPS 有可能是起初 RISC CPU 设计中唯一的一个在本世纪盈利的。和英特尔相比,MIPS 的授权费用比较低,也就为除英特尔外的大多数芯片厂商所采用。

MIPS 的系统结构及设计理念比较先进,其指令系统经过通用处理器指令体系 MIPS I、MIPS II、MIPS III、MIPS IV 到 MIPS V,嵌入式指令体系 MIPS16、MIPS32 到 MIPS64 的发展已经十分成熟。在设计理念上 MIPS 强调软硬件协同提高性能,同时简化硬件设计。

中国龙芯 2 和前代产品采用的都是 64 位 MIPS 指令架构,它与大家平常

所知道的 X86 指令架构互不兼容,MIPS 指令架构由 MIPS 公司所创,属于 RISC 体系。过去, MIPS 架构的产品多见于工作站领域,索尼 PS2 游戏机所用的“Emotion Engine”也采用 MIPS 指令,这些 MIPS 处理器的性能都非常强劲,而龙芯 2 也属于这个阵营,在软件方面与上述产品完全兼容。

MIPS32® 和 MIPS64®指令集架构,可以无缝兼容,便于客户从旧代到新代的移植,同时能够保护现有软件的投资。

特定应用扩展(Application Specific Extension, ASE),可提升特定类型应用的性能,其包括:

1 业界标准 MIPS32® 和 MIPS64®架构的 MIPS® DSP ASE 信号处理扩展,能够提升客户 SoC 的媒体性能。

2 SmartMIPS® ASE,可在智能卡及其它安全数据应用中实现前所未有的安全性。

3 MIPS16e™ 代码压缩 ASE,能减少多达 40%的存储器使用量。

4MIPS-3D® ASE,可在数字娱乐和多媒体产品中实现高性能三维图像处理的一种具成本效益的解决方案。

十五、 SPARC

1、 历史

SPARC 全称为“可扩充处理器架构”(Scalable Processor ARChitecture),是 RISC 微处理器架构之一。它最早于 1985 年由 Sun 电脑所设计,也是 SPARC 国际公司的注册商标之一。

1987 年,SUN 和 TI 公司合作开发了 RISC 微处理器——SPARC。SPARC 微处理器最突出的特点就是它的可扩展性,这是业界出现的第一款有可扩展性功能的微处理器。SPARC 的推出为 SUN 赢得了高端微处理器市场的领先地位。

1999 年 6 月,UltraSPARC III 首次亮相。它采用先进的 0.18 微米工艺制造,全部采用 64 位结构和 VIS 指令集,时钟频率从 600MHz 起,可用于高达 1000 个处理器协同工作的系统上。UltraSPARC III 和 Solaris 操作系统的应用实现了百分之百的二进制兼容,完全支持客户的软件投资,得到众多的独立软件供应商的支持。

在 64 位 UltraSPARC III 处理器方面,SUN 公司主要有 3 个系列。首先是可扩展式 s 系列,主要用于高性能、易扩展的多处理器系统。目前 UltraSPARC IIIs 的频率已经达到 750MHz。还有 UltraSPARC IVs 和 UltraSPARC Vs 等型号。其中 UltraSPARC IVs 的频率为 1GHz, UltraSPARC Vs 则为 1.5GHz。其次是集成式 i 系列,它将多种系统功能集成在一个处理器上,为单处理器系统提供了更高的效益。已经推出的 UltraSPARC III i 的频率达到 700MHz,未来的 UltraSPARC IVi 的频率将达到 1GHz。

SPARC 架构原设计给工作站使用,及后应用在 sun、富士通等制造的大型 SMP 服务器上。而 sun 开发的 Solaris 操作系统也是为 SPARC 设计的系统之一,除 Solaris 外,NeXTSTEP、Linux、FreeBSD、OpenBSD 及 NetBSD 系统也提供 SPARC 版本。

2006 年 SUN 推出 SPARC 开源版本 OpenSPARC。

2、 特点

SPARC 微处理器具备精简指令集、支持 32 位/64 位数据精度,架构运行稳定、可扩展性优良、体系标准开放等特点。此外,寄存器窗口技术既是

SPARC 微处理器的显著特点，也是 SPARC 架构不同于由斯坦福大学提出的 MIPS 微处理器架构的主要不同点之一。采用这项技术可以显著减少过程调用和返回执行时间、执行的指令条数和访问存储器的次数，从而易于实现直接高效的编译。它将工作寄存器组成若干个窗口，建立起环形结构，利用重叠寄存器窗口技术来加快程序的运转。每个过程分配一个寄存器窗口（含有一组寄存器），当发生过程调用时，可以把处理器转换到不同寄存器窗口使用，无需保存和恢复操作。相邻寄存器窗口部分重叠，便于调用参数传送。为每个过程提供有限数量的寄存器窗口，各个过程的部分寄存器窗口重叠。

SPARC 是一种 RISC（精简指令集）类型的 CPU 指令集体系结构。它以 California Berkeley 大学（1980-1982 年）设计出的 Berkeley RISC I&II 为基础，但不同的是：SPARC 具有较为灵活的寄存器管理模式，不再像 Berkeley RISC I&II 中那样束缚在进程的调用和返回（CALL, JMWL）中，而是用独立的指令（SAVE, RESTORE）来进行寄存器管理。作为 RISC 类型的体系结构，SPARC 在其具体定义中充分体现了 RISC 的设计思想。具体来讲，为了提高流水线的执行效率并使优化编译器能生成优化代码，SPARC 实现了下述特征：简单而且统一格式的指令译码、大部分指令在单周期内执行、只有 LOAD / STORE 指令可以访问存储器、简单的寻址方式、三地址指令格式等等。SPARC 系统中体现出的 RISC 设计思想主要包括以下几点：

（1）面向寄存器堆的结构

RISC 设计思想的最主要特点是所有的操作都是面向寄存器的。寄存器一寄存器操作的指令充分利用了当今 VLSI 工艺技术中的高速片上频宽来进行数据传送，从而加快了速度，而且还简化了指令控制逻辑，这样又进一步缩小了硬布线逻辑构成的控制部件的芯片面积，使整个芯片上可以提供更多的寄存器。SPARC 完全遵循了 RISC 的这一思想，在设计中定义了一个较大容量的寄存器堆（一般至少有 32 个寄存器）。例如：Fujitsu 公司的 MB86901 芯片中寄存器组的容量为 120x32 位。所有的寄存器主要分为两种类型：一类是只能由系统访问，而用户不能访问的系统寄存器；另一类是用于通常操作的工作寄存器。

SPARC 采用“寄存器窗口”的方式对寄存器组进行管理。“寄存器窗口”这一概念是由 UC Berkeley 针对提高编译器效率以及大量减少存储器 LOAD / STORE 指令而首先提出的。它将工作寄存器组成若干个窗口，建立起环形结构，利用重叠寄存器窗口技术来加快程序的运转。

（2）简单化、规整化的指令格式

在 RISC 中，为了提高其性能，必须充分利用 CPU 与 Cache 之间传送数据 / 指令的高速频宽，做到基本指令能在一个机器周期内完成。这就需要采用流水线技术，充分利用计算机内部操作的并发性来提高执行效率。为此，要求 RISC 的指令格式简单化、规整化。在 SPARC 中所有的指令均为 32 位宽，而且指令中操作码字段、操作数字段都具有统一的格式。SPARC 采用三地址指令格式，即：指令的操作数放在两个寄存器中（或一个在寄存器中，另一个为立即数），并将最终结果放在第三个寄存器中。这种体系结构使得指令的操作可以规整化，有利于流水线的执行，还可以提高译码操作效率，并使译码控制逻辑电路简化。

（3）指令 Cache 的引入

SPARC 像一般的 RISC 计算机一样在 CPU 和主存之间设置 Cache，用于解

决速度匹配的问题。同时，SPARC 为了能够实现高效的流水线机制，要求每条指令都能在单周期内完成，故采用了“哈佛结构”（哈佛结构是一种将程序指令存储和数据存储分开的存储器结构。），即：设置两个彼此独立的指令 Cache 和数据 Cache。指令 Cache 用于取指令，只读不写；数据 Cache 用于存取数据，既读又写。就控制而言，指令 Cache 比数据 Cache 的简单。这种结构使得取指令和存取数据可以并行执行，从而提高了系统的执行效率。例如：原本至少需要两个机器周期才能完成的 LOAD / STORE 指令现在也可在单周期内实现。

3、处理器产品

（1）UltraSPARC I

1995 年，Sun 公司的微处理器技术有了一次质的飞跃。继第一款 SPARC 微处理器之后，Sun 推出了 64 位 UltraSPARC I 微处理器。UltraSPARC I 革新了微处理器的可扩展性和带宽等工业标准，其频率达 143MHz，采用 0.5 微米工艺技术，集成了 520 万个晶体管。UltraSPARC I 的推出加强了 Sun 在高端微处理器市场的领导地位。

（2）UltraSPARC II

仅仅两年后，Sun 就推出了 UltraSPARC I 的升级版——UltraSPARC II。UltraSPARC II 芯片频率为 300MHz，采用 0.25 微米工艺技术，集成了 600 万个晶体管，比 UltraSPARC I 芯片的速度高 2.5 倍。在数据带宽方面，UltraSPARC II 高达 1600MB/s，比当时其他同类产品高 600MB/s；UltraSPARC II 的 VIS 指令集可加速多媒体、图像处理和网络等应用。在高性能通信处理器、高档工作站和服务器等市场，UltraSPARC II 在各种环境中均能提供业界较高的性能。

（3）UltraSPARC III

1999 年，Sun 推出了第三代产品—— UltraSPARC III，这是 SunSPARC 微处理器发展历史上具有里程碑意义的产品。UltraSPARC III 全面提高了系统应用程序的性能，它的带宽可达 2.4GB，比 UltraSPARC II 高出 2 倍。首款 UltraSPARC III 微处理器主频达 600MHz，采用了更先进的 0.18 微米工艺技术，集成了 1600 万个晶体管，并与 Solaris 操作系统和应用软件兼容。借助出众的存储器带宽和多处理器可扩展性，UltraSPARC III 为电子商务、科学计算和数据开采等高性能计算应用提供了非同寻常的平台。凭借卓越的性能和 Solaris 操作环境，UltraSPARC III 进一步推动了服务器的发展。

（4）UltraSPARC IIIi

UltraSPARC IIIi 是在 UltraSPARC III 的基础上，针对中小企业的 1~4 路服务器优化了的 64 位 RISC 处理器，采用了全新的 SPARC V9 架构，除了主频上的提高，并且采用了集成化策略，编号中的“i”表示就是集成的意思。UltraSPARC IIIi 中集成了存储和 I/O 控制器、1M 的 L2 缓存和 DDR 内存控制器，大大提升了内存访问效率。UltraSPARC IV+ 在 2004 年 10 月推出，是 Sun 在 UltraSPARC 产品线上的最后一款产品，其后的处理器产品均是和富士通联合研发。UltraSPARC IV+ 采用了 90nm 工艺，相对 UltraSPARC IV 制程更加进步，并且将一个新的 L3 缓存层与一个快速片上的 2MB L2 缓存、以及一个 32MB 的片外高速三级缓存连接在一起。此外，UltraSPARC IV+ 通过扩展的高速缓存、功能与转移预测机制、增强的预取能力等新技术，将 UltraSPARC

IV 的应用吞吐量提高一倍。

(5) UltraSPARC IV

UltraSPARC IV 是 Sun 公司的首款双核处理器，于 2004 年上半年推出。Sun 紧接着在下半年又推出了 UltraSPARC IV+。UltraSPARC IV 采用 CMT (chipmultithreading, 芯片多线程) 技术，片上集成了两个 UltraSPARC III 的内核、二级 Cache 的 tag 体和 MCU，外部缓存 16MB，每个内核独享 8MB。UltraSPARCIV 由德州仪器生产，采用 0.13 微米工 艺，主频 1.2GHz，功耗 100W，和 UltraSPARC III 管脚兼容，实现系统的平滑升级。

(6) UltraSPARC IV+

UltraSPARC IV+在 2004 年 10 月推出，是 Sun 在 UltraSPARC 产品线上的最后一款产品，其后的处理器产品均是和富士通联合研发。UltraSPARC IV+是 UltraSPARC IV 的 0.09 微米工艺的升级版本，而且增加了片上高速缓存的容量，主频 1.8GHz。UltraSPARC IV+采用了 90nm 工艺，相对 UltraSPARC IV 制程更加进步，并且将一个新的 L3 缓存层与一个快速片上的 2MB L2 缓存、以及一个 32MB 的片外高速三级缓存连接在一起。此外，UltraSPARC IV+通过扩展的高速缓存、功能与转移预测机制、增强的预取能力等新技术，将 UltraSPARC IV 的应用吞吐量提高一倍。

(7) UltraSPARC T1

2005 年 11 月，Sun 推出了 UltraSPARC T1 处理器，其原来的编码名称为“Niagara”（尼亚加拉）。UltraSPARC T1 处理器采用了基于 SPARC 的 CoolThreads 技术，还有一个创新性的 8 内核技术，每个内核有 4 个线程，共有 32 个线程。32 个线程等于 32 个 系统同时工作，这就使多任务能够并行执行，无需互相等待。UltraSPARC T1 芯片节约了能耗并提高了系统的吞吐量，它还利用了 Sun 具有创新性的 CMT(芯片多线程)处理器架构，以确保与 Internet 的多线程应用环境并驾 齐驱。

UltraSPARC T1 还进行大量的创新：它将系统架构放到了芯片上，内部的通信任务就在芯片上完成，数据几乎不靠金属传输，这样就获得了更高的功效和更高的特性；首次将 4 个内存控制器放到一块芯片上，芯片就成为了处理内核和内存之间的数据传输通路，这样数据就在被处理的同时迅速传入芯片；每一个 UltraSPARC T1 内核相对都很简单，它生成的热量很少，这使整个处理器所需功率小于 70 瓦；采用 SunStudio11 软件，将三大创新技术——Solaris10、Java 和采用 CoolThreads 技术的 UltraSPARC T1 处理器融合在了一起。

(8) UltraSPARC T2

SUN 公司在推出 UltraSparc T1 之后，就开始投入代号为“Niagara2”的“UltraSparc T2”处理器的开发。2007 年 8 月，UltraSparc T2 正式发布。UltraSparc T2 虽然仍然保持 8 核心设计，但每个核心可支持的线程数提升到 8 个。换句话说，UltraSparcT2 拥有高达 64 线程的并行处理能力，比 UltraSparc T1 整整提升一倍。

另外，UltraSparc T2 直接集成了八个独立的加密加速单元、支持虚拟运行的两个 10Gbps 以太网接口和八个 PCI-E 通道，而浮点单元仍保持精简设计的原则，数量只有 8 个。

多线程和虚拟运行是 UltraSparcT2 的拿手好戏，SUN 表示 UltraSparc T2 的每个线程都可以独立运行一个操作系统，因此理论上一枚 UltraSparc

T2 处理器可以最多支持 64 个系统并行运作。而在 Web 访问等事务处理中，64 线程的 UltraSparc T2 将具备常规处理器难以达到的超快响应能力。也是为了应对多线程处理的需要，UltraSparc T2 配备了 4 个内存控制器，内存总带宽将超过 50GBps。

得益于 65 纳米工艺，UltraSparc T2 的工作频率提高到了 1.4GHz，而平均工作仍保持在 70 瓦左右，即便全速运行不过为 120~130 瓦，平均每个线程只需要消费 2 瓦。

4、应用环境（操作系统、编译器等）

Solaris 是 Sun Microsystems 研发的计算机操作系统。它被认为是 UNIX 操作系统的衍生版本之一。目前 Solaris 仍旧属于私有软件。2005 年 6 月 14 日，Sun 公司将正在开发中的 Solaris 11 的源代码以 CDDL 许可开放，这一开放版本就是 OpenSolaris。

Solaris 支持多种系统架构：SPARC、x86 和 x64。x64 即 AMD64 及 EMT64 处理器。在版本 2.5.1 的时候，Solaris 曾经一度被移植到 PowerPC 架构，但是后来又在这一版本正式发布时被删去。与 Linux 相比，Solaris 可以更有效地支持对称多处理器、即 SMP 架构。Sun 同时宣布将在 Solaris 10 的后续版本中提供 Linux 运行环境，允许 Linux 二进制程序直接在 Solaris x86 和 x64 系统上运行。

Solaris 传统上与基于 Sun SPARC 处理器的硬件体系结构结合紧密，在设计上和市场上经常捆绑在一起，整个软硬件系统的可靠性和性能也因此大大增强。然而 SPARC 系统的成本和价格通常要高于 PC 类的产品，这成为 Solaris 进一步普及的障碍。可喜的是，Solaris 对 x86 体系结构的支持正得到大大加强，特别是 Solaris 10 已经能很好地支持 x64 (AMD64/EMT64) 架构。Sun 公司已经推出自行设计的基于 AMD64 的工作站和服务器，并且随机附带 Solaris 10。

十六、 IA-32

1、历史

IA-32（英特尔 32 位元架构），在英特尔公司 1985 年推出的 80386 微处理器中首先采用。常被称为 i386、x86-32 或是 x86，是由英特尔公司推出的指令集架构，至今英特尔最受欢迎的处理器仍然采用此架构，它属于 CISC（复杂指令集）架构。它是 x86 架构的 32 位元延伸版本，首次应用在 Intel 80386 芯片中，用来取代之前的 x86 16 位元架构 (x86-16)，包括 8086、80186 与 80286 芯片。

IA-32 属于 X86 体系结构的 32 位版本，即具有 32 位内存地址和 32 位数据操作数的处理器体系结构，从 1985 年面世的 80386 直到 Pentium 4，都是使用 IA-32 体系结构的处理器。

IA 是英语“英特尔体系/Intel Architecture”的缩写。这是因为 2007 年之前使用的 CPU 以 Intel 公司的 X86 序列产品为主，所以人们将 Intel 生产的 CPU 统称为英特尔体系 (IA) CPU。由于其它公司如 AMD 等公司生产的 CPU 基本上能在软、硬件方面与 Intel 的 CPU 兼容，所以人们通常也将这部分 CPU 列入 IA 系列。截至 2007 年，由于使用的 CPU，包括新推出的 Pentium III

都还是 32 位的，所以又被列为 IA-32。

2、特点

IA-32 处理器的执行模式是 32 位保护模式。除 Intel 80386SX 之外其他架构都是 32 位 - 所有的寄存器、指令集、输出输入空间和存储器寻址。为了能够在后者所说的功能工作，要使用 32 位扩充的保护模式。然而不像 286, 386 所有的区段可以使用 32 位的偏移量，即使存储器空间有使用区段，但也允许应用程序访问超过 4GB 空间而不需要区段的分隔。此外，32 位保护模式提供分页的支持，是一种让虚拟内存得以实现的机制。

没有新的通用寄存器被加入。所有 16 位的寄存器除了区段寄存器外都扩充为 32 位。Intel 在寄存器的助记符号上加入“E”来表示（因此扩充的 AX 变成 EAX, SI 变成 ESI, 依此类推）。因为有更多的寄存器数量、指令、和运算单元，因此机器码的格式也被扩充。为了提供与先前的架构兼容，包含运行码的区段可以被标示为 16 或是 32 位的指令集。此外，特殊的前置符号也可以用来在 16 位的区段包含 32 位的脚本，反之亦然。

分页跟区段的存储器访问是为了支持现在多任务操作系统所必须要的。Linux、386BSD、Windows NT 和 Windows 95 都是一开始为 386 所发展，因为它是第一颗提供可靠地程序分离存储器空间的支持（每个程序拥有自己的寻址空间）以及可以在必要的情况下打断他们程序的运行（使用 ring, 一种 x86 保护模式下权力分级的名称）。这种 386 的基本架构变成未来所有 x86 系列发展的基础。

Intel 80386 数学辅助运算处理器也在集成到这个 CPU 之后的 x86 系列中，也就是 Intel 80486。新的 FPU 可以帮助浮点数运算，对于科学计算和图形设计是非常重要的。

3、处理器产品

（1） 80386 处理器

INTEL 1985 年推出的 CPU 芯片，它是 80x86 系列中的第一种 32 位微处理器，而且制造工艺也有了很大的进步，与 80286 相比，80386 内部内含 27.5 万个晶体管，时钟频率为 12.5MHz，后提高到 20MHz，25MHz，33MHz。80386 的内部和外部数据总线都是 32 位，地址总线也是 32 位，可寻址高达 4GB 内存。它除具有实模式和保护模式外，还增加了一种叫虚拟 86 的工作方式，可以通过同时模拟多个 80x86 处理器来提供多任务能力。除了标准的 80386 芯片，也就是 80386DX 外，出于不同的市场和应用考虑，INTEL 又陆续推出了一些其它类型的 80386 芯片：80386SX、80386SL、80386DL 等。

（2） 80486 处理器

它采用了 1 μ m（微米）制造工艺，内部集成了 120 万个晶体管。内外部数据总线是 32 位，地址总线为 32 位，可寻址 4GB 的存储空间，支持虚拟存储管理技术，虚拟存储空间为 64TB。片内集成有浮点运算部件和 8KB 的 cache（L1 cache），同时也支持外部 cache（L2 cache）。整数处理部件采用精简指令集 RISC 结构，提高了指令的执行速度。

（3） Pentium

Pentium 拥有两个资料路径（管线，pipelines），可以达到在一个时钟周期内完成一个以上的指令。一个管线（称为“U”）可以处理任何的指令，

而另外一个（称为“V”）可以处理简单，最共同的指令。使用一个以上的管线是传统 RISC 处理器设计的特色，这也是在许多 x86 平台上第一个实作出来的，显示有将两种技术合并的可能性，创造出几乎“混合在一起”的处理器。

（4） Pentium II

Pentium II 为英特尔推出的一枚 X86 架构的处理器，基于 Pentium Pro 使用的 P6 微处理架构，但另一方面它的 16 位元处理能力获得优化，并加入 MMX 指令集：

第一代 Pentium II 核心代号为 Klamath，使用 350 纳米制程，以及，就当时而言，制造出一个非常高的热量。推出时，时脉只有 233 及 266MHz，使用 66MHz 前端总线，后期另推出时脉 300MHz 的版本。

第二代 Pentium II 核心代号为 Deschutes，运行时脉为 333MHz，于 1998 年 1 月推出，使用 250 纳米制程，而且温度亦有效的减低。支援 100MHz 前端总线，英特尔于 1998 年另外推出了时脉为 266、330、350、400、450 的 Pentium II 处理器。

基于 Pentium II 的电脑系统亦加入了新世代的内存标准——SDRAM（替代 EDO RAM），以及 AGP 显卡。与 Pentium 及 Pentium Pro 处理器不同，Pentium II 使用一种插槽式设计。处理器芯片与其他相关芯片皆在一块类似子卡的电路板上，而电路板上有一块塑胶盖，有时亦有一风扇。Pentium II 亦把 L2 放到这电路板上，但只运行处理器时脉一半的速度。此举增加处理器的良率，从而减低制作成本。

（5） Pentium III

Pentium III 是英特尔的 x86（更准确地说是 i686）架构之微处理器，于 1999 年 2 月 26 日推出。刚推出的版本与早期的 Pentium II 非常相似，最值得注意的不同是 SSE 指令的扩充，以及在每个芯片制造的过程加入了有争议的序号。与 Pentium II 相同，也有低阶的 Celeron 版本和高阶的 Xeon 版本。Pentium III 最后被 Pentium 4 所取代，Pentium III 的改进设计就是现在的 Pentium M。

（6） Pentium IV

奔腾 4（Pentium 4，或简称奔 4 或 P4）是 Intel 生产的第 7 代 x86 微处理器，并且是继 1995 年出品的 Pentium Pro 之后的第一款重新设计过的处理器，这一新的架构称做 NetBurst。首款产品代码为：Willamette，拥有 1.4GHz 左右的内核时钟，并使用 Socket 423 脚位架构，首款处理器于 2000 年 11 月发布。不同于 Pentium II、Pentium III 和各种 Celeron 处理器，因为是全新设计的产品，所以与 Pentium Pro 的关联很小。值得注意的是，Pentium 4 有着非常快速到 400MHz 的前端总线，之后更有提升到 533MHz、800MHz。它其实是一个为 100MHz 的四条并列总线（100Mhz x4 并列），因此理论上它可以传送比一般总线多四倍的容量，所以号称有 400MHz 的速度。AMD Athlon 的前端总线则有 266MHz 的速度（133MHz 双倍并列总线）。

（7） Itanium II

Intel 安腾 2 处理器专为要求苛刻的企业和技术应用而设计。基于 Intel 安腾 2 处理器的平台以较低的成本，提供了业界领先的性能，以及比专有 RISC 技术更广泛的选择空间，可帮助企业 and 机构最大地提高其投资回报。Intel 安腾 2 处理器得到了广泛生态系统的支持，包括由 40 多家领先硬件厂

商的具有出色可扩充的开放标准 64 位解决方案,诸如 Windows Server 2003、HP-UX 和 Linux 等的超过 5 款操作系统,以及数百种应用和工具。此外,Intel 安腾处理器还为现有的 Intel 安腾架构软件提供了出色的二进制兼容性,进而可使用户获得强大的投资保护。Intel 安腾 2 处理器家族支持 32 位 Intel 架构 (IA-32) 应用,并将随着 32 位 Intel 架构 (IA-32) 执行层技术的推出进一步增强。

十七、 IA-64

1、 历史

IA-64 是英特尔公司与惠普公司共同开发的纯 64 位微处理器。IA 是 Intel Architecture(英特尔架构)的缩写,64 指 64 位系统。IA-64 的物理结构和工作机理与 X86 序列的 IA-32CPU 完全不同。

1999 年,英特尔推出 IA-64 架构的第一颗处理器名为 Merced (安腾 Itanium),内含多种新型技术,其代码指令完全更新,与 IA-32(X86)并不兼容。2003 年再度推出的 Itanium2 (研发代号:Madison),已是 Itanium 系列处理器的第三代产品。

2、 特点

IA-64 架构是 EPIC(Explicitly Parallel Instruction Computing,显式并行指令运算)的 64 位架构。EPIC 是基于超长指令字 VLIW(Very Long Instruction Word)的设计,通过将多条指令放入一个指令字,有效的提高了 CPU 各个计算功能部件的利用效率,提高了程序的性能。

(1) 优点

EPIC (Explicitly Parallel Instruction Computers,精确并行指令计算机)是否是 RISC 和 CISC 体系的继承者的争论已经有很多,单以 EPIC 体系来说,它更像 Intel 的处理器迈向 RISC 体系的重要步骤。从理论上说,EPIC 体系设计的 CPU,在相同的主机配置下,处理 Windows 的应用软件比基于 Unix 下的应用软件要好得多。

Intel 采用 EPIC 技术的服务器 CPU 是安腾 Itanium(开发代号即 Merced)。它是 64 位处理器,也是 IA-64 系列中的第一款。微软也已开发了代号为 Win64 的操作系统,在软件上加以支持。在 Intel 采用了 X86 指令集之后,它又转而寻求更先进的 64-bit 微处理器,Intel 这样做的原因是,它们想摆脱容量巨大的 x86 架构,从而引入精力充沛而又功能强大的指令集,于是采用 EPIC 指令集的 IA-64 架构便诞生了。IA-64 在很多方面来说,都比 x86 有了长足的进步。突破了传统 IA32 架构的许多限制,在数据的处理能力,系统的稳定性、安全性、可用性、可管理性等方面获得了突破性的提高。

(2) 缺点

IA-64 微处理器最大的缺陷是它们缺乏与 x86 的兼容,而 Intel 为了 IA-64 处理器能够更好地运行两个朝代的软件,它在 IA-64 处理器上(Itanium、Itanium2 ……)引入了 x86-to-IA-64 的解码器,这样就能够把 x86 指令翻译为 IA-64 指令。这个解码器并不是最有效率的解码器,也不是运行 x86 代码的最好途径(最好的途径是直接 x86 处理器上运行 x86 代码),因此 Itanium 和 Itanium2 在运行 x86 应用程序时候的性能非常糟糕。这也成为

X86-64 产生的根本原因。

3、处理器产品

(1) Itanium

Intel 安腾处理器构建在 IA-64 (Intel Architecture 64), 也就是说“IA-64 是一个与 x86 代码的决裂, 它是为未来设计的”。Itanium 是专门用在高端企业级 64-bit 计算环境中竞争的, 对抗基于 IBM Power4/5, HP PA-RISC, Sun UltraSparc-III 及 DEC Alpha 的服务器。

(2) Itanium II

Intel 安腾 2 处理器专为要求苛刻的企业和技术应用而设计。基于 Intel 安腾 2 处理器的平台以较低的成本, 提供了业界领先的性能, 以及比专有 RISC 技术更广泛的选择空间, 可帮助企业 and 机构最大地提高其投资回报。Intel 安腾 2 处理器得到了广泛生态系统的支持, 包括由 40 多家领先硬件厂商的具有出色可扩充的开放标准 64 位解决方案, 诸如 Windows Server 2003、HP-UX 和 Linux 等的超过 5 款操作系统, 以及数百种应用和工具。此外, Intel 安腾处理器还为现有的 Intel 安腾架构软件提供了出色的二进制兼容性, 进而可使用户获得强大的投资保护。Intel 安腾 2 处理器家族支持 32 位 Intel 架构 (IA-32) 应用, 并将随着 32 位 Intel 架构 (IA-32) 执行层技术的推出进一步增强。

十八、 ARC

1、历史

ARC 处理器是 Synopsys 公司推出的系列 32 位 RISC 结构微处理器产品, 致力于在满足应用所需的处理性能前提下, 以尽可能低的处理器功耗和尽可能小的芯片面积实现高效能、低成本。

2、特点

ARC 处理器具有独特的可配置和可扩展特性, 给工程设计人员提供了极大的设计弹性。设计人员可以根据应用需求, 选择相应的 ARC 处理器产品系列, 配置处理器总线接口类型、数据位宽、寻址位宽、指令类型等属性。处理器内部的各功能模块也支持可配置, 例如配置乘法器采用不同算法实现, 配置高速缓存 Cache 的容量和结构, 配置中断处理单元所支持的中断数目和中断级数等。此外, ARC 处理器支持嵌入式系统设计师通过处理器的 APEX 扩展接口添加自己的定制指令、寄存器、硬件模块甚至是协处理器, 为特定应用提供硬件加速。这种根据应用“量身裁剪”的设计方式使得工程师可以在性能、面积、功耗之间进行权衡, 以实现最佳的内核 PPA (Performance/Power/Area, 性能/功耗/效率)。

ARC 处理器采用了高效的 16/32 位混合指令集体系结构。其中, 16 位指令包含最常用的指令操作类型, 有助于提高代码密度。ARC 处理器的存储系统支持配置片上存储器 CCM (Closely Coupled Memory, 紧耦合存储器), 便于以固定延迟 (1~2 个时钟周期) 访问应用中性能关键的代码和数据, 不仅有利于缓解片外总线访存压力, 降低系统访存延迟, 提高处理性能, 还有助于提高系统集成度, 降低系统成本。

ARC 处理器具有强大的中断/异常处理能力, 支持快速中断响应和中断处

理优先级动态编程，可以精确定位异常原因和类型。同时，ARC 处理器提供了丰富的调试接口和调试指令，便于程序员实时监测处理器内部的运行状态和调试应用程序，使得 ARC 处理器可以很好地适用于可靠性要求较高的应用场合。

ARC 处理器的研发经历了 ARCV1 和 ARCV2 两种指令集体系结构，得到了充分的市场验证及系统应用。目前，全球已有超过 200 家厂商获得了 ARC 处理器的生产授权，基于 ARC 处理器的芯片年出货量超过 17 亿片。

相比 ARCV1，ARCV2 体系结构在以下方面进一步提高了处理器的性能和实时处理能力：

- 1) 支持 64 位访存指令。
- 2) 支持非对齐的存储器访存操作。
- 3) 支持硬件整数除法。
- 4) 增加了 64 位乘法、乘累加、向量加法和减法等指令操作。
- 5) 支持影子寄存器以进行异常处理中的现场保护，减少异常上下文的切换时间。
- 6) 扩展了中断处理功能，支持多达 240 个外部中断和 16 个可编程中断优先级，可自动保存上下文和返回现场。
- 7) 优化的指令集结构使得代码密度可以获得 18% 的提升。

3、处理器产品

为了满足嵌入式领域不同应用的需求，ARC 处理器已经开发了丰富的产品系列。

(1) HS 产品系列 (HS34、HS36、HS38)

HS 产品系列 (HS34、HS36、HS38) 是目前性能最高的 ARC 处理器内核，采用了十级流水线技术，支持指令乱序执行和 L2 Cache，可配置成双核或四核 SMP (Symmetric Multi-Processor, 对称多处理器) 系统，并支持运行 Linux 操作系统。可提供高达 1.6GHz 的主频和 1.9DMIPS/MHz 的性能，内核功耗为 60mW，面积约 0.15mm²。HS 产品系列主要面向高端的嵌入式应用，如固态硬盘、联网设备、汽车控制器、媒体播放器、数字电视、机顶盒和家庭联网产品等。

(2) EM 系列产品 (EM4、EM6、EM SEP、EM5D、EM7D)

EM 系列产品 (EM4、EM6、EM SEP、EM5D、EM7D) 是功耗最低、面积最精简的 ARC 处理器内核，采用三级流水线技术。可提供约 900MHz 的主频和 1.77DMIPS/MHz 的性能，能耗效率可达 3W/MHz，内核面积仅为 0.01mm²。主要面向深嵌入式超低功耗应用领域以及数字信号处理领域，如 IoT (Internet of Things, 物联网)、工业微控制器、机顶盒、汽车电子等。

ARC EM 处理器产品系列自 2012 年推向市场以来，已经在传感器、IoT、微控制器、数字信号处理以及汽车电子等对设备功耗、体积和安全性要求高的深嵌入式应用领域得到了广泛应用。

ARC EM 处理器采用了三级流水线技术，包含基本的取指部件、ALU (算术逻辑单元) 和寄存器组。在此基础之上，通过添加不同的功能模块 (如高速缓存 Cache、紧耦合存储器 CCM) 或扩展指令集 (如向量处理 DSP 指令) 实现不同的产品。

目前，ARC EM 处理器产品系列主要包括以下几种：

①ARC EM 处理器

ARC EM4 结构图如图 1-3 所示。

内核规模非常小，等效门数小于 10K。

高达 1.77 DMIPS/MHz 和 3.41 Core-Marks/MHz 的性能。

支持多达 16 个中断优先级别，240 个中断。

可配置指令 CCM (ICCM) 容量为 512B~2MB。

可配置数据 CCM (DCCM) 容量为 512B~2MB。

ARM、AMBA、AHB、AHB-lite 和 BVIC 总线接口。

可选 32×32 或 (和) 16×16 乘法器。

支持自定义用户扩展。

主要应用包括：嵌入式和深嵌入式应用，如智能微系统（智能 MEMS 系统）、记忆卡、SSD 控制器、8 位和 16 位微控制器替代产品和电池供电的产品。

②ARC EM6 处理器

ARC EM6 内核支持高达 32K 的指令和数据高速缓存，并专门进行了优化，以用于功耗和成本敏感型的嵌入式及深嵌入式应用。

多达 32KB 指令高速缓存 (ICache)。

多达 32KB 数据高速缓存 (DCache)。

高达 1.77 DMIPS/MHz 和 3.41 Core-Marks/MHz 的性能。

支持多达 16 个中断优先级别，240 个中断。

可配置指令 CCM (ICCM) 容量为 512B~2MB。

可配置数据 CCM (DCCM) 容量为 512B~2MB。

ARM、AMBA、AHB、AHB-lite 和 BVIC 总线接口。

可选 32×32 和 (或) 16×16 乘法器。

支持自定义用户扩展。

主要应用包括：记忆卡、SSD 控制器、功耗管理产品、便携式媒体播放器和其他移动设备。

③ARC EM SEP 处理器

ARC EM SEP 将实现汽车安全完整性等级 ASIL D 的硬件安全特性与高效小型处理器相集成。

集成满足 ASIL D 级要求的硬件功能，包括纠错码 (Error-Correcting Code, ECC)，支持校验位，用户可编程的看门狗定时器和双核心的同步接口。

应用目标包括需要 ISO 26262 安全许可的嵌入式汽车应用，如运动与加速传感器、电动助力转向系统和先进的驾驶辅助系统 (Advanced Driver Assistance System, ADAS)。

④ARC EM DSP 处理器

物联网 (IoT) 市场中可穿戴式设备及器件需要其 DSP 高性能和低功耗，以实现最佳性能和延长系统待机时间，ARC EM DSP 系列 (包括 EM5D 和 EM7D 处理器) 正是针对低功耗嵌入式应用进行了优化。

ARCV2DSP ISA 增加了超过 100 条 DSP 指令。

主要应用包括：处理声音、音频和传感器数据的超低功耗、实时在线的 IoT 设备。

(3) 700 系列产品 (710D、725D、770D)

700 系列产品 (710D、725D、770D) 采用了七级流水线技术，支持动态分

支预测，可提供高达 1.1GHz 的主频。主要面向中、高端的嵌入式应用领域，如固态硬盘、图像处理、信号处理、联网设备等。

(4) 600 系列产品 (601、605、610D、625D)

600 系列产品 (601、605、610D、625D) 采用了五级流水线技术，可提供约 900MHz 的主频。主要面向通用嵌入式领域，如工业控制、带宽调制解调、VoIP、音频处理等。此外，600 系列处理器具备特有的 XY 存储器结构，特别针对数字信号处理进行优化，可以很好地应用于嵌入式 DSP (Digital Signal Processing) 领域。

(5) AS200 系列产品 (AS211SFX、AS221BD)

AS200 系列产品 (AS211SFX、AS221BD) 是专门用于数字电视、数码相机、音频播放和视频播放等音频处理应用领域。

4、应用环境 (操作系统、编译器等)

DesignWare ARChitect 软件是 Synopsys 公司针对 ARC 处理器特有的可配置性和可扩展性开发的一款配置软件，帮助设计工程师根据应用需求快速完成处理器结构配置以及 RTL 代码、测试激励和后端参考流程脚本 (如 ASIC 或 FPGA 的综合、布局布线、时序约束文件等) 的生成。

ARChitect 基于 IP 库生成特定的设计。所有的系统组成，包括处理器内核、系统总线、外设、外部存储器等，均以模块化的方式封装到各自的 IP 库中，由用户在 ARChitect 图形界面中以拖曳的方式选择设计所需的各个功能部件，并配置其具体属性。

ARChitect 图形界面提供了 ARC 处理器系列产品典型应用模板 (Template)，用于帮助用户快速完成设计和系统搭建。

此外，支持用户自定义的 APEX 向导 (APEX Wizard) 也集成在 ARChitect 中，用户可以根据向导提示一步步完成自定义组件的添加和集成。

十九、 ARM

1、历史

ARM (Advanced RISC Machines)，既可以认为是一个公司的名字，也可以认为是对一类微处理器的通称，还可以认为是一种技术的名字。1991 年 ARM 公司成立于英国剑桥，主要出售芯片设计技术的授权。目前，采用 ARM 技术知识产权 (IP) 核的微处理器，即我们通常所说的 ARM 微处理器，已遍及工业控制、消费类电子产品、通信系统、网络系统、无线系统等各类产品市场，基于 ARM 技术的微处理器应用约占据了 32 位 RISC 微处理器 75% 以上的市场份额，ARM 技术正在逐步渗入到我们生活的各个方面。ARM 公司是专门从事基于 RISC 技术芯片设计开发的公司，作为知识产权供应商，本身不直接从事芯片生产，靠转让设计许可由合作公司生产各具特色的芯片，世界各大半导体生产商从 ARM 公司购买其设计的 ARM 微处理器核，根据各自不同的应用领域，加入适当的外围电路，从而形成自己的 ARM 微处理器芯片进入市场。目前，全世界有几十家大的半导体公司都使用 ARM 公司的授权，因此既使得 ARM 技术获得更多的第三方工具、制造、软件的支持，又使整个系统成本降低，使产品更容易进入市场被消费者所接受，更具有竞争力。

2、特点

采用 RISC 架构的 ARM 微处理器一般具有如下特点：体积小、低功耗、低成本、高性能；支持 Thumb（16 位）/ARM（32 位）双指令集，能很好的兼容 8 位/16 位器件；大量使用寄存器，指令执行速度更快；大多数数据操作都在寄存器中完成；寻址方式灵活简单，执行效率高；指令长度固定。

（1）RISC 体系结构

传统的 CISC（Complex Instruction Set Computer，复杂指令集计算机）结构有其固有的缺点，即

ARM 应用系统开发详解——基于 S3C4510B 的系统设计 9 随着计算机技术的发展而不断引入新的复杂的指令集，为支持这些新增的指令，计算机的体系结构会越来越复杂，然而，在 CISC 指令集的各种指令中，其使用频率却相差悬殊，大约有 20% 的指令会被反复使用，占整个程序代码的 80%。而余下的 80% 的指令却不经常使用，在程序设计中只占 20%，显然，这种结构是不太合理的。基于以上的不合理性，1979 年美国加州大学伯克利分校提出了 RISC（Reduced Instruction Set Computer，精简指令集计算机）的概念，RISC 并非只是简单地减少指令，而是把着眼点放在了如何使计算机的结构更加简单合理地提高运算速度上。RISC 结构优先选取使用频高的简单指令，避免复杂指令；将指令长度固定，指令格式和寻址方式种类减少；以控制逻辑为主，不用或少用微码控制等措施来达到上述目的。到目前为止，RISC 体系结构也还没有严格的定义，一般认为，RISC 体系结构应具有如下特点：

— 采用固定长度的指令格式，指令归整、简单、基本寻址方式有 2~3 种。 — 使用单周期指令，便于流水线操作执行。 — 大量使用寄存器，数据处理指令只对寄存器进行操作，只有加载/存储指令可以访问存储器，以提高指令的执行效率。除此以外，ARM 体系结构还采用了一些特别的技术，在保证高性能的前提下尽量缩小芯片的面积，并降低功耗： — 所有的指令都可根据前面的执行结果决定是否被执行，从而提高指令的执行效率。 — 可用加载/存储指令批量传输数据，以提高数据的传输效率。 — 可在一条数据处理指令中同时完成逻辑处理和移位处理。 — 在循环处理中使用地址的自动增减来提高运行效率。当然，和 CISC 架构相比较，尽管 RISC 架构有上述的优点，但决不能认为 RISC 架构就可以取代 CISC 架构，事实上，RISC 和 CISC 各有优势，而且界限并不那么明显。现代的 CPU 往往采用 CISC 的外围，内部加入了 RISC 的特性，如超长指令集 CPU 就是融合了 RISC 和 CISC 的优势，成为未来的 CPU 发展方向之一。

（2）寄存器结构

ARM 处理器共有 37 个寄存器，被分为若干个组（BANK），这些寄存器包括： — 31 个通用寄存器，包括程序计数器（PC 指针），均为 32 位的寄存器。 — 6 个状态寄存器，用以标识 CPU 的工作状态及程序的运行状态，均为 32 位，目前只使用了其中的一部分。同时，ARM 处理器又有 7 种不同的处理器模式，在每一种处理器模式下均有一组相应的寄存器与之对应。即在任意一种处理器模式下，可访问的寄存器包括 15 个通用寄存器（R0~R14）、一至二个状态寄存器和程序计数器。在所有的寄存器中，有些是在 7 种处理器模式下共用的同一个物理寄存器，而有些寄存器则是在不同的处理器模式下有不同的物理寄存器。

(3) 指令结构

ARM 微处理器的在较新的体系结构中支持两种指令集：ARM 指令集和 Thumb 指令集。其中，ARM 指令为 32 位的长度，Thumb 指令为 16 位长度。Thumb 指令集为 ARM 指令集的功能子集，但与等价的 ARM 代码相比较，可节省 30%~40% 以上的存储空间，同时具备 32 位代码的所有优点。

(4)：多级指令流水线

为增加处理器指令流的速度，ARM 使用多级流水线，允许多个操作同时处理，而非顺序执行。

3、处理器产品

ARM 微处理器目前包括下面几个系列，以及其它厂商基于 ARM 体系结构的处理器，除了具有 ARM 体系结构的共同特点以外，每一个系列的 ARM 微处理器都有各自的特点和应用领域。— ARM7 系列 — ARM9 系列 — ARM9E 系列 — ARM10E 系列 — SecurCore 系列 — Inter 的 Xscale — Inter 的 StrongARM 其中，ARM7、ARM9、ARM9E 和 ARM10 为 4 个通用处理器系列，每一个系列提供一套相对独特的性能来满足不同应用领域的需求。SecurCore 系列专门为安全要求较高的应用而设计。以下我们来详细了解一下各种处理器的特点及应用领域。

(1) ARM7 微处理器系列

低功耗的 32 位 RISC 处理器，冯·诺依曼结构。极低的功耗，适合便携式产品。具有嵌入式 ICE-RT 逻辑，调试开发方便。3 级流水线结构。能够提供 0.9MIPS 的三级流水线结构代码密度高，兼容 16 位的 Thumb 指令集。对操作系统的支持广泛，包括 Windows CE、Linux、Palm OS 等。指令系统与 ARM9 系列、ARM9E 系列和 ARM10E 系列兼容，便于用户的产品升级换代。主频最高可达 130MIPS。主要应用领域：工业控制、Internet 设备、网络和调制解调器设备、移动电话等多种多媒体和嵌入式应用。

(2) ARM7TDMI 微处理器

4 种类型：

ARM7TDMI、ARM7TDMI-S、ARM720T、ARM7EJ。ARM7TMDI 是目前使用最广泛的 32 位嵌入式 RISC 处理器，属低端 ARM 处理器核。

注：“ARM 核”并不是芯片，ARM 核与其它部件如 RAM、ROM、片内外设组合在一起才能构成现实的芯片。

(3) ARM9 微处理器系列

ARM9 系列微处理器在高性能和低功耗特性方面提供最佳的性能。5 级整数流水线，哈佛体系结构。支持 32 位 ARM 指令集和 16 位 Thumb 指令集。全性能的 MMU，支持 Windows CE、Linux、Palm OS 等多种主流嵌入式操作系统。支持数据 Cache 和指令 Cache，具有更高的指令和数据处理能力。

主要应用：无线设备、仪器仪表、安全系统、机顶盒、高端打印机、数码照相机和数码摄像机。

3 种类型：ARM920T、ARM922T 和 ARM940T。

(4) ARM9E 微处理器系列

单一处理器内核提供微控制器、DSP、Java 应用系统的解决方案。支持 DSP 指令集。5 级整数流水线，指令执行效率更高。支持 32 位 ARM 指令集和 16 位 Thumb 指令集。支持 VFP9 浮点处理协处理器。全性能的 MMU，支持 Windows

CE、Linux、Palm OS 等多种主流嵌入式操作系统。MPU 支持实时操作系统。支持数据 Cache 和指令 Cache，主频最高可达 300MIPS。

主要应用：下一代无线设备、数字消费品、成像设备、工业控制、存储设备和网络设备等领域。

3 种类型：ARM926EJ-S、ARM946E-S 和 ARM966E-S。

(5) ARM10E 微处理器系列

与同等的 ARM9 比较，在同样的时钟频率下，性能提高了近 50%，功耗极低。支持 DSP 指令集。6 级整数流水线，指令执行效率更高。支持 32 位 ARM 指令集和 16 位 Thumb 指令集。支持 VFP10 浮点处理协处理器。全性能的 MMU，支持 Windows CE、Linux、Palm OS 等多种主流嵌入式操作系统。支持数据 Cache 和指令 Cache。主频最高可达 400MIPS。内嵌并行读/写操作部件。

主要应用：下一代无线设备、数字消费品、成像设备、工业控制、通信和信息系统等领域。

3 种类型：ARM1020E、ARM1022E 和 ARM1026EJ-S。

(6) SecurCore 微处理器系列

专为安全需要而设计，提供了完善的 32 位 RISC 技术的安全解决方案。灵活的保护单元，以确保操作系统和应用数据的安全。采用软内核技术，防止外部对其进行扫描探测。可集成用户自己的安全特性和其他协处理器。

主要应用：对安全性要求较高的应用产品及应用系统，如电子商务、电子政务、电子银行业务、网络和认证系统等领域。

4 种类型：SecurCore SC100、SecurCore SC110、SecurCore SC200 和 SecurCore SC210。

(7) StrongARM 微处理器系列

Inter StrongARM SA-1100 处理器是采用 ARM 体系结构高度集成的 32 位 RISC 微处理器。它融合了 Inter 公司的设计和处理技术以及 ARM 体系结构的电源效率，采用在软件上兼容 ARMv4 体系结构、同时采用具有 Intel 技术优点的体系结构。Intel StrongARM 处理器是便携式通讯产品和消费类电子产品的理想选择，已成功应用于多家公司的掌上电脑系列产品。

(8) Xscale 处理器

基于 ARMv5TE 体系结构的解决方案，是一款全性能、高性价比、低功耗的处理器。支持 16 位的 Thumb 指令和 DSP 指令集。已使用在数字移动电话、个人数字助理和网络产品等场合。

Xscale 处理器是 Intel 目前主要推广的一款 ARM 微处理器。

4、应用环境（操作系统、编译器等）

ARM ADS 全称为 ARM Developer Suite。是 ARM 公司推出的新一代 ARM 集成开发工具。现在 ADS 的新版本是 1.2，它取代了早期的 ADS1.1 和 ADS1.0。它除了可以安装在 Windows NT4，Windows 2000，Windows 98 和 Windows 95 操作系统下，还支持 Windows XP 和 Windows Me 操作系统。ADS 由命令行开发工具，ARM 时实库，GUI 开发环境(Code Warrior 和 AXD)，实用程序和支持软件组成。

其中 CodeWarrior 集成开发环境 CodeWarrior for ARM 是一套完整的集成开发工具，充分发挥了 ARM RISC 的优势，使产品开发人员能够很好的应

用尖端的片上系统技术。该工具是专为基于 ARM RISC 的处理器而设计的, 它可加速并简化嵌入式开发过程中的每一个环节, 使得开发人员只需通过一个集成软件开发环境就能研制出 ARM 产品, 在整个开发周期中, 开发人员无需离开 CodeWarrior 开发环境, 因此节省了在操做工具上花的时间, 使得开发人员有更多的精力投入到代码编写上来, CodeWarrior 集成开发环境 (IDE) 为管理和开发项目提供了简单多样化的图形用户界面。用户可以使用 ADS 的 CodeWarrior IDE 为 ARM 和 Thumb 处理器开发用 C, C++, 或 ARM 汇编语言的程序代码。

同时 ADS 为用户提供 ARMulator 软件, 使用户可以在软件仿真的环境下或者在基于 ARM 的硬件环境调试用户应用程序。ARMulator 是一个 ARM 指令集仿真器, 集成在 ARM 的调试器 AXD 中, 它提供对 ARM 处理器的指令集的仿真, 为 ARM 和 Thumb 提供精确的模拟。用户可以在硬件尚未做好的情况下, 开发程序代码。