

תרגיל בית מספר 4

תאריך הגשה: יום ג' ה-08.06.21, עד חצות לתיבה במאמא

הכנה והגשה בבודדים בלבד.

שאלה 1:

נתונים 16 רכיבי זיכרון בגודל $8G \times 8$ כל אחד. יש לממש מערכת זיכרון מכל הרכיבים הנ"ל כך שהדברים הבאים יתקיימו:
מספר קווי הכתובת (address bus) הוא 35, מספר קווי הנתונים (data bus) הוא 32, כל הזיכרון בכל הרכיבים בשימוש.
בכל רכיב יש CS1 ו $\overline{CS2}$.

שאלה 2 (מהספר):

A four-way set-associative cache memory has four words in each set. A replacement procedure based on the least recently used (LRU) algorithm is implemented by means of 2-bit counters associated with each word in the set. A value in the range 0 to 3 is thus recorded for each word.

When a hit occurs, the counter associated with the referenced word is set to 0, those counters with values originally lower than the referenced one are incremented by 1, and all others remain unchanged. If a miss occurs, the word with counter value 3 is removed, the new word is put in its place, and its counter is set to 0. The other three counters are incremented by 1.

Show that this procedure works for the following sequence of word reference: A, B, C, D, B, E, D, A, C, E, C, E. (Start with A, B, C, D as the initial four words, with word A being the least recently used.)

שאלה 3:

מערכת הזיכרון הראשי של מחשב היא בגודל $32K \times 12 \text{ bit}$.

למערכת זו יש זיכרון מטמון (cache) המאורגן בשיטה הדו-קבוצתית אסוציאטיבית. מבנה כל קבוצה הוא (כרגיל, משמאל

לימין): שדה valid, שדה tag, שדה ערך. (שדה valid הוא השמאלי)

רוחב כל שורה במטמון הוא 50 סיביות, ותוכן המטמון בהקסה נתון כאן:

2B32F51BF303E
3B9607999330F
2B327F5BF36FF
3B96F4B99301D
2B32071BF346F
3B96079993683
2B331D787F024
3B97F8399200D

חלק I:

בסעיפים הללו כל המספרים הם בהקסה .

1. בכל סעיף יש לענות האם לכתובת הנתונה יש העתק במטמון. אם התשובה היא חיובית, יש לכתוב את הערך המאוחסן במטמון לאותה כתובת:

- א. לכתובת 6E5F
- ב. לכתובת 2CCD
- ג. לכתובת 2CCA
- ד. לכתובת 2CCC
- ה. לכתובת 4C97

2. המעבד פנה לכתובת בזיכרון והערך שחזר אליו היה 683 , האם ניתן לדעת לאיזו כתובת פנה המעבד, ואם כן, מהי?

חלק II

יש לבנות את הזיכרון הראשי הנתון בתחילת השאלה. להזכירכם גודלו $32K \times 12 \text{ bit}$.

כל כתובת מתייחסת למילה (של 12 ביטים).

לרשותכם 8 יחידות בשם A של $16K \times 1 \text{ bit}$, וכן 8 יחידות בשם B של $4K \times 1 \text{ byte}$, בכל רכיב יש CS1 ו $\overline{CS2}$.

3. לכמה יחידות מסוג A ולכמה יחידות מסוג B, בבת אחת, תפנה פנייה לשורה (כתובת) 0 בזיכרון הראשי ?

4. מוסיפים שני decoders, האחד מחובר ל-chip selects של יחידות A והשני ל-chip selects של יחידות B וגודלם

מינימלי. לכל קבוצת יחידות התאימו את ה decoder המינימלי שיתאים ע"פ הדרישות בסעיף הקודם.

א. מה גודל ה decoder המינימלי אותו יש לחבר ל chip selects של יחידות A ?

ב. מה גודל ה decoder המינימלי אותו יש לחבר ל chip selects של יחידות B ?

שאלה 4:

נתונה משימה לחבר ל CPU במעבדה, זיכרון RAM בגודל $8G \times 48$ (ז.א. רוחב שורה/מילת זיכרון יהיה 48 סיביות), ולכל מילת זיכרון בת 48 סיביות יש כתובת.

במעבדה מצויים רכיבי ה RAM הבאים

- a. רכיב אחד שגודלו $8G \times 16$
- b. רכיב אחד שגודלו $4G \times 32$
- c. 28 רכיבים קטנים שגודלם $1G \times 8$

מחליטים לחסוך ומבצעים את הדברים הבאים:

- משתמשים ברכיבים a ו-b, ובמינימום מרכיבי c.
- מחברים את רכיב b לכתובות הנמוכות יותר.
- בונים decoder (שמוציא '1' במוצא הנבחר) בגודל מינימלי, ומספר מינימלי של שערים בכדי לחבר את רכיבי c.

סימונים:

האקדמית ת"א יפו ביה"ס למדעי המחשב ארכיטקטורת מחשבים ד"ר כרמי מרימוביץ' וד"ר אסתי שטיין אביב תשפ"א

- נתייחס לחוטי ה Address Bus כאל A_i כאשר i מסמן את מספר החוט.
- נתייחס לחוטי ה Data Bus כאל D_i כאשר i מסמן את מספר החוט.
- נתייחס לחוטים ביציאה מה decoder כאל d_i כאשר i מסמן את מספר החוט.
- לכל רכיב יש 2 כניסות CS: $\overline{CS2}$, $CS1$

השאלות הבאות נובעות מהחלטת החיסכון:

- א. מה המספר המינימלי של רכיבי c הנדרשים כדי לעמוד במשימה?
- ב. מה יהיה מחובר לכניסה CS1 של רכיב a?
- ג. מה יהיה מחובר לכניסה CS1 של רכיב b?
- ד. אלו מספרי חוטי כתובת A_i יחוברו לכניסה ל decoder?
- ה. מה יהיה מחובר לכניסות CS1 ו $\overline{CS2}$ (על פי הסדר הזה), לרכיב c המחובר לכתובות הגבוהות ביותר?

מחליטים לחבר ל RAM זיכרון מטמון (cache). הזיכרון מנוהל בשיטה ה-דו קבוצתית אסוציאטיבית, עם 4K שורות.
ו. מה יהיה רוחב שורה אחת בזיכרון המטמון?

- נתון שרוחב שורה ב Memory Page Table (טבלת תרגום מכתובת וירטואלית לפיזית) הוא 21 סיביות כולל valid/presence bit. מגלים שברגע השיא (כשכל הזיכרון הפיסי מוקצה), תפוסת טבלת התרגום היא 1/64.
- ז. מה הוא האורך (מספר השורות/מילות זיכרון) של הזיכרון הווירטואלי המוגדר במחשב זה?
 - ח. מה יהיה גודל דף פיסי/ווירטואלי? (גדלי הדף הפיסי והווירטואלי זהים)

בהצלחה!