



Rechnerarchitektur: Übungssatz 12

Aufgabe 12.1

Zählen Sie die Grundkomponenten eines Steuerwerks auf und benennen kurz deren Funktion!

Aufgabe 12.2

Welche drei wesentlichen Phasen durchläuft die Abarbeitung eines Befehls?

Aufgabe 12.3

Unter welchen Umständen wird von der sequentiellen Abarbeitung eines Programmes abgewichen?

Aufgabe 12.4

Die Ablaufsteuerung eines Steuerwerks ist im Kern ein sequentieller Zustandsautomat.

- (a) Für welche Klasse von Befehlssätzen ist die direkte Implementierung in einem festverdrahteten Automaten eher ungeeignet?
- (b) Wie können diese nun implementiert werden? Beschreiben Sie kurz die Grundzüge der resultierenden Befehlsabarbeitung!
- (c) Welche Vor- und Nachteile bietet eine solche Implementierung des Steuerwerks?

Aufgabe 12.5

Gegeben sei das folgende Maschinenprogramm mit Sprüngen (JMP), Unterprogrammaufrufen (CALL), Rücksprüngen (RETURN) und abstrahierten Verarbeitungsbefehlen (VBx):

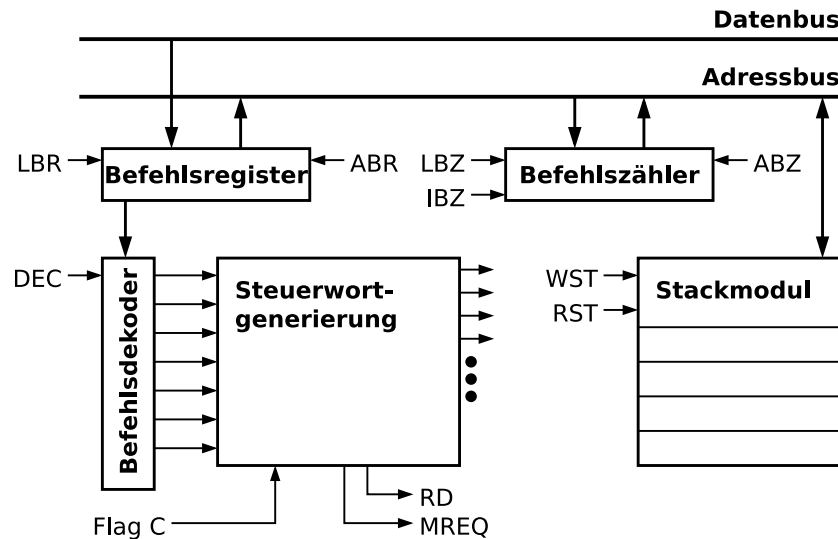
Adresse	Befehl
0x200	VB1
	VB2
	CALL @1
	VB3
	JMP @3
@1: VB4	
	CALL @4
@2: VB5	
	RETURN
@3: VB6	
	JMP @5
@4: VB7	
	JMP @2
@5: VB8	

Das Programm liegt im Speicher ab der Adresse 0x200. Sprünge und Unterprogrammaufrufe belegen zwei Speicherzellen, alle anderen Befehle eine. Unterprogrammaufrufe hinterlegen die Rücksprungadresse auf einem Stack, von dem diese bei einem Rücksprung wieder in den Befehlszähler geladen wird.

- (a) Ordnen Sie jedem Befehl seine Adresse im Speicher zu!
- (b) Protokollieren Sie einen Programmdurchlauf! Geben Sie dazu jeweils den Inhalt des Befehlszählers *vor* der Befehlsausführung, die Befehlsmnemonik des ausgeführten Befehls und den Stackinhalt *nach* dessen Ausführung an!

Aufgabe 12.6

Gegeben sei ein Steuerwerk mit folgender Grundstruktur:



Der Stapelspeicher zur Verwaltung des Aufrufstacks ist in Hardware direkt im Steuerwerk realisiert.

Folgende Steuersignale sind relevant:

LBR	Befehlsregister vom Datenbus laden
ABR	Adressteil des Befehlsregisters auf Adressbus legen
LBZ	Befehlszähler vom Adressbus laden
ABZ	Befehlszähler auf Adressbus ausgeben
IBZ	Befehlszähler inkrementieren
WST	Datum vom Adressbus auf den Stack legen
RST	Oberstes Stackelement vom Stack nehmen und auf Adressbus ausgeben
DEC	Befehl aus dem Befehlsregister dekodieren
MREQ	Hauptspeicher anfordern
RD	Hauptspeicher lesen

Der Lesezyklus des Hauptspeichers benötigt drei Takte:

1. Adresse anlegen, MREQ und RD aktivieren.
2. Wartetakt.
3. Daten auf Datenbus.

Entwerfen Sie eine Schaltung zur Ablaufsteuerung der folgenden Befehle:

- unbedingter Sprungbefehl (JMP),
- bedingter Sprungbefehl (JC für ein einziges Bedingungsflag C),
- unbedingter Unterprogrammaufruf (CALL), und
- Unterprogrammrückkehr (RET)!

Der Dekoder identifiziert diese Befehle mit Hilfe eines 1-aus-n-Codes. Der Dekoderausgang wird bei der Aktivierung des Steuersignals DEC gepuffert.

- (a) Stellen Sie eine Tabelle auf, die für jeden Befehl eine mögliche Taktzuordnung der erforderlichen Steuersignalfolge angibt!
- (b) Implementieren Sie den Steuerautomaten mit Hilfe eines Schieberegisters mit einer aktiven 1 zur Kodierung des Automatenzustandes!