

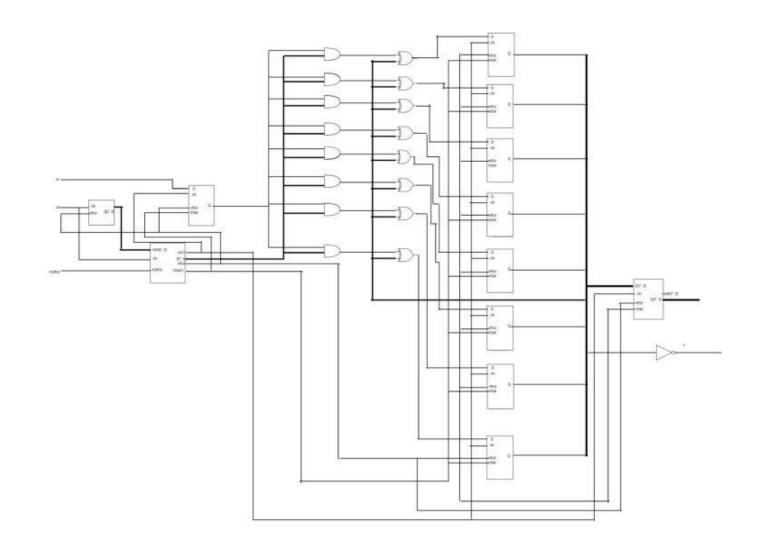
Arquiteturas de Alto Desempenho

João Castanheira, Nuno Fahla

## Bit Serial Encoder

- Especificação:
  - Este componente é composto por:
    - 8 gates and;
    - 8 gates xor;
    - 1 gate not;
    - 9 Flip Flops D Positive Edge Triggered;
    - 1 unidade de controlo com uma Rom.
    - 1 counter Binário de 3 bits,
    - 1 Registo de 8 bits.

Os últimos 4 componentes foram inspiradas nos ficheiros VHDL fornecidos pelo professor.

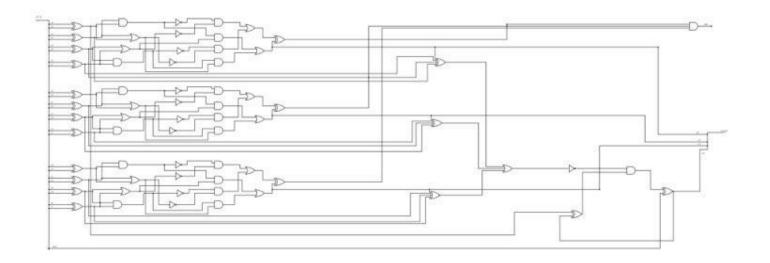


## Funcionamento do Encoder

Posição da memória	Valores obtidos através das equações de cálculo dos y usando expressões regulares
0	0000000101
1	01010101111
2	00110011111
3	000011111111
4	11111111111
5	00000000010
6	00000000011
7	00000000111

• O componente central do nosso encoder é a unidade de controlo, com uma Rom que contém na sua memória os valores apresentados na tabela ao lado . Esta, atuando com o contador binário que irá iterar sobre as posições da memória, fazendo uso da propriedade ( $0 \times x = 0$ x), para implementar o algoritmo apresentado na aula com as gates xor e and apresentadas no circuito. Estes cálculos vão ser executados pelo datapath ao longo do tempo, sendo que a unidade de controlo irá indicar quando os cálculos acabaram, sendo possível ler o valor da mensagem codificada, armazenada no registo de 8 bits.

## Parallel Hadamard Decoder



- Especificação:
  - Este componente é composto por:
    - 29 gates xor;
    - 20 gates and;
    - 7 gates or;
    - 1 gate not;

## Funcionamento do Decoder

• Por sua vez, o decoder atua em paralelo, o que significa que os bits da mensagem codificada vão ser todos processados ao mesmo tempo. Fazendo uso da propriedade de descodificação local dos códigos de Hadamard, os 3 bits mais significativos da mensagem vão ser calculados através das equações obtidas pelo mapa de Karnaugh, sendo verificado . O último bit é descodificado usando como base a equação y0 = m3, fornecida nos acetatos. Este decoder permite descodificar mensagens com 1 bit errado e detetar 2 erros.