

实验九 组合逻辑电路设计

CastleStar14654

实验日期: 2020 年 12 月 14 日 提交日期: 2020 年 12 月 21 日

1 实验目的

- 以插接方式用与非门搭建半加器与全加器;
- 测试搭建的逻辑电路。

2 仪器设备

SS1792F 可跟踪直流稳定电源; KEITHLEY 2110 五位半双显示数字万用表; AFG3051C 任意波形发生器; TDS1012C 数字存储示波器; 面包板。

74LS00 四与非门 2 只; 74LS161 二进制计数器 1 只。

3 实验原理

半加器可以完成两个一位二进制数 (A_n, B_n) 的加法运算, 输出和数 (S_n) 及进位数 (C_n), 真值表见表 1。可得

$$C_n = A_n B_n = \overline{\overline{A_n B_n}}; \quad (1)$$

$$S_n = A_n \overline{B_n} + \overline{A_n} B_n = \overline{\overline{A_n B_n} \cdot \overline{\overline{A_n B_n}}} \quad (2)$$

注意到,

$$\overline{\overline{A_n B_n}} = \overline{A_n} + B_n = \overline{A_n} + B_n (A_n + \overline{A_n}) = \overline{A_n} + A_n B_n, \quad (3)$$

故可写为

$$S_n = \overline{\overline{A_n B_n}} \cdot \overline{\overline{A_n B_n}} \quad (4)$$

以复用信号。

4 方法步骤

1. 根据推导出的逻辑函数设计用二输入与非门组成的半加器并插接电路。电路图见图 1。
2. 用 74LS161 组成四位二进制计数器, 由信号发生器提供计数输入脉冲信号 C_p ($f \approx 5 \text{ kHz}$), 信号幅度为标准 TTL 电平 5 V。检查电路无误后, 接 5 V 电源。
3. 用示波器观测计数器的输出信号 Q_A-Q_D 。

表 1: 半加器的真值表

A_n	B_n	S_n	C_n
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

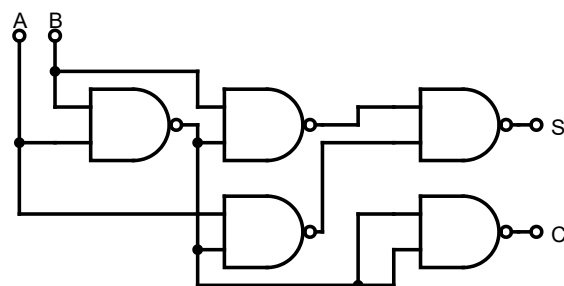


图 1: 半加器电路图

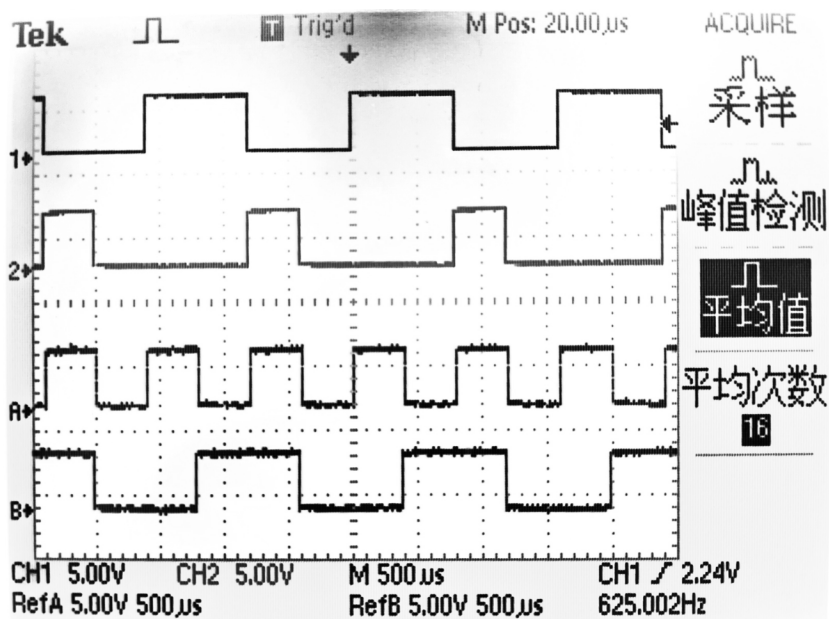


图 2: 时序波形图。详情参见正文

4. 用 A_n 和 B_n 的时序关系，从 Q_A-Q_D 中确定两个信号作为 A_n 和 B_n 信号接至相应的输入端。
5. 用示波器双通道观测 A_n, B_n, S_n, C_n 波形，画出时序关系图，并与真值表表 1 的逻辑关系相比较，验证设计方案。

5 数据分析

选取了 Q_B, Q_C 为输入半加器的信号，其频率分别为 1.25 kHz, 625 Hz，为图 2 底部的参考信号 RefA, RefB。

输出的半加和信号为 CH1 信号，进位信号为 CH2 信号。参考信号储存时使用 CH2 测量，CH1 始终接于 S 上作为触发信号。因此，图 2 的相位信息是正确的。

与真值表表 1 对比，可以发现，电路产生了正确的结果。

6 思考题

记四个输入为 A_1, A_2, A_3, A_4 ，分别表征四个投票者的意见；输出记为 B 。“四中取三”表决器在大于等于三个投票者赞成时输出赞成。真值表见表 2。

表 2: “四中取三” 表决器真值表

A_1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
A_2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
A_3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
A_4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
B	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	1

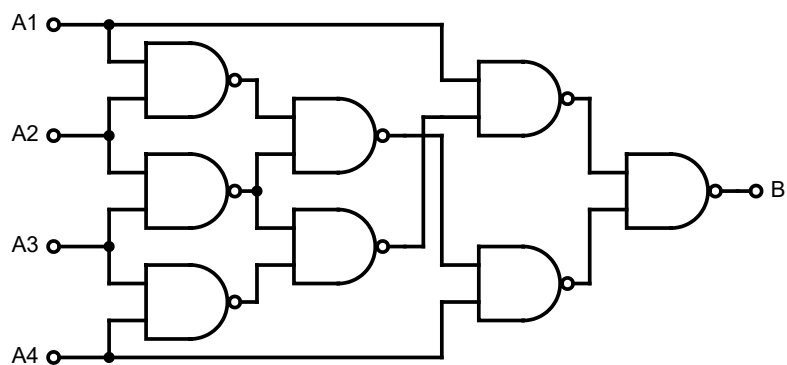


图 3: “四中取三” 表决器逻辑图

最小项表达式可写出并化简

$$\begin{aligned}
 B &= A_1 A_2 A_3 + A_2 A_3 A_4 + A_3 A_4 A_1 + A_4 A_1 A_2 \\
 &= A_1(A_2 A_3 + A_3 A_4) + A_4(A_1 A_2 + A_2 A_3) \\
 &= \overline{\overline{A_1} \cdot \overline{A_2 A_3} \cdot \overline{A_3 A_4} \cdot A_4 \cdot \overline{A_1 A_2} \cdot \overline{A_2 A_3}}. \quad (5)
 \end{aligned}$$

用到了 8 个与非门（表达式 $\overline{A_2 A_3}$ 复用）。电路图见图 3。