

FIFO:

Proceso	Ciclo de Llegada	Ciclos totales de CPU	Prioridad	Ciclo Inicial	Ciclo Final
A	0	3	0	1	3
B	1	5	1	4	8
C	2	2	0	9	10
D	3	6	2	11	16
-	A	B	C	D	
0	I				
1	X	I			
2	X	E	I		
3	X	E	E	I	
4		X	E	E	
5		X	E	E	
6		X	E	E	
7		X	E	E	
8		X	E	E	
9			X	E	
10			X	E	
11				X	
12				X	
13				X	
14				X	
15				X	
16				X	

STR:

Proceso	Ciclo de Llegada	Ciclos totales de CPU	Prioridad	Ciclo Inicial	Ciclo Final
A	0	3	0	1	3
B	1	5	1	6	10
C	2	2	0	4	5
D	3	6	2	11	16
-	A	B	C	D	
0	I				
1	X	I			
2	X	E	I		
3	X	E	E	L	
4		E	X	E	
5		E	X	E	
6		X		E	
7		X		E	
8		X		E	
9		X		E	
10		X		E	
11				X	
12				X	
13				X	
14				X	
15				X	
16				X	
Daniel	Castro	Cruz	1º	DAMBA	

R-R

Proceso	Ciclo de Llegada	Ciclos totales de CPU	Prioridad	Ciclo Inicial	Ciclo Final
A	0	3	0	1	9
B	1	5	1	2	14
C	2	2	0	3	7
D	3	6	2	4	16
-	A	B	C	D	
0	L				
1	X	L			
2	E	X	L		
3	E	E	X	L	
4	E	E	E	X	
5	X	E	E	E	
6	E	X	E	E	
7	E	E	X	E	
8	E	E		X	
9	X	E		E	
10		X		E	
11		E		X	
12		X		E	
13		E		X	
14		X		E	
15				X	
16				X	

Prioridad:

Proceso	Ciclo de Llegada	Ciclos totales de CPU	Prioridad	Ciclo Inicial	Ciclo Final
A	0	3	0	1	3
B	1	5	1	6	10
C	2	2	0	4	5
D	3	6	2	11	16
-	A	B	C	D	
0	L				
1	X	L			
2	X	E	L		
3	X	E	E	L	
4		E	X	E	
5		E	X	E	
6		X		E	
7		X		E	
8		X		E	
9		X		E	
10		X		E	
11				X	
12				X	
13				X	
14				X	
15				X	
16				X	
Daniel	Castro	Cruz	1º	DAMBA	