

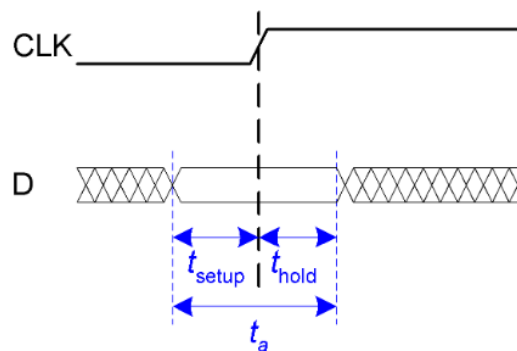
Timing

Anche i flip-flop come le porte logiche impiegano del tempo per svolgere il loro lavoro. C'è un istante di tempo in cui il segnale D non è stabile. Per far sì che funzioni, il segnale D deve essere stabile sul fronte del CLOCK. Se questo vincolo non viene rispettato, può causarsi uno stato di metastabilità. La finestra di apertura è centrata sul fronte del CLOCK.

Identifichiamo 3 tempi :

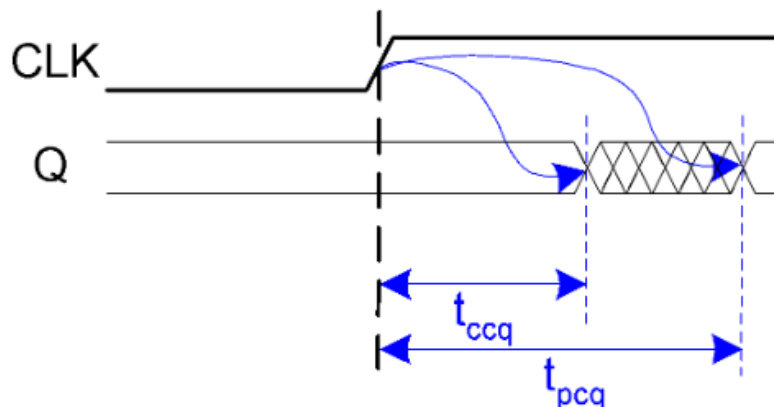
- **Setup time** (T_{setup}): tempo prima del fronte di salita, dove il valore è stabile
- **Hold time** (T_{hold}): tempo dopo il fronte di salita, dove il valore è stabile
- **Aperture time** (T_a): tempo intorno il fronte di apertura

$$T_a = T_{hold} + T_{setup}$$

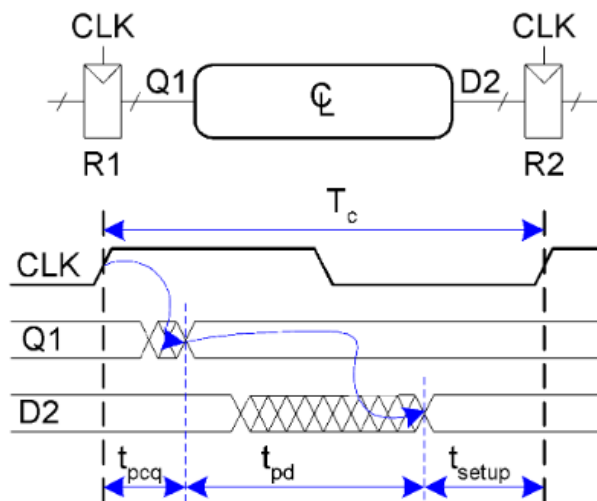


Propagation delay (T_{pcq}) : Tempo dopo il fronte di salita dove l'output Q è stabile

Contamination delay (T_{ccq}) : Tempo dopo il fronte di salita dove l'output Q è instabile



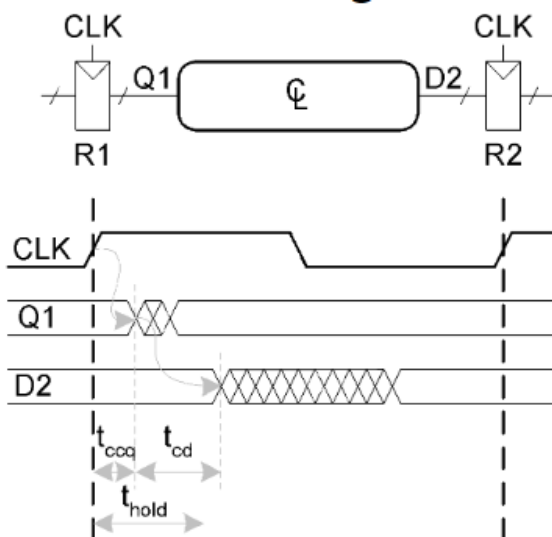
Fra i delay delle registrazioni c'è un minimo ed un massimo, dipende dai delay di ogni elemento del circuito.



Costrizioni del tempo di setup : dipende dal delay massimo dal registro R1 alla logica combinatoria di R2. L'input al registro R2 deve essere stabile almeno prima del fronte di salita.

$$T_c \geq t_{pcq} + t_{pd} + t_{setup}$$

$$t_{pd} \leq T_c - (t_{pcq} + t_{setup})$$

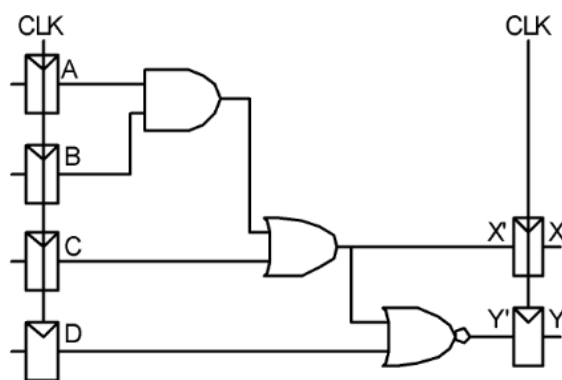


Costrizioni del tempo di hold : Dipende dal delay minimo dal registro R1 alla logica combinatoria di R2. L'input al registro R2 deve essere stabile almeno prima del fronte di salita.

$$t_{hold} < t_{ccq} + t_{cd}$$

$$t_{cd} > t_{hold} - t_{ccq}$$

Analisi del tempo



Timing Characteristics

$$\begin{aligned} t_{ccq} &= 30 \text{ ps} \\ t_{pcq} &= 50 \text{ ps} \\ t_{\text{setup}} &= 60 \text{ ps} \\ t_{\text{hold}} &= 70 \text{ ps} \end{aligned}$$

$$\begin{aligned} t_{\text{gate}} &= 35 \text{ ps} \\ t_{\text{gate}} &= 25 \text{ ps} \end{aligned}$$

$$t_{pd} = 3 \times 35 \text{ ps} = 105 \text{ ps}$$

$$t_{cd} = 25 \text{ ps}$$

Setup time constraint:

$$T_c \geq (50 + 105 + 60) \text{ ps} = 215 \text{ ps}$$

$$f_c = 1/T_c = 4.65 \text{ GHz}$$

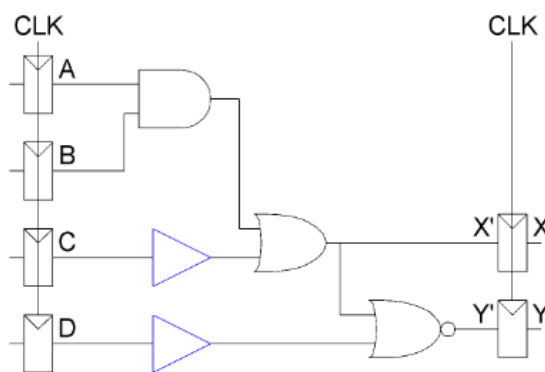
Hold time constraint:

$$t_{ccq} + t_{cd} > t_{\text{hold}} ?$$

$$(30 + 25) \text{ ps} > 70 \text{ ps} ? \text{ No!}$$

Come vediamo il circuito non soddisfa il vincolo del tempo di hold. Per questo dobbiamo fare in modo che la somma del Contamination delay e del T_{cd} siano maggiori del tempo di hold.

Aggiungiamo quindi al nostro circuito due buffer nei percorsi che partono da C e D :



$$\begin{aligned} t_{ccq} &= 30 \text{ ps} \\ t_{pcq} &= 50 \text{ ps} \\ t_{\text{setup}} &= 60 \text{ ps} \\ t_{\text{hold}} &= 70 \text{ ps} \end{aligned}$$

$$\begin{aligned} t_{\text{gate}} &= 35 \text{ ps} \\ t_{\text{gate}} &= 25 \text{ ps} \end{aligned}$$

$$t_{pd} = 3 \times 35 \text{ ps} = 105 \text{ ps}$$

$$t_{cd} = 2 \times 25 \text{ ps} = 50 \text{ ps}$$

Setup time constraint:

$$T_c \geq (50 + 105 + 60) \text{ ps} = 215 \text{ ps}$$

$$f_c = 1/T_c = 4.65 \text{ GHz}$$

Hold time constraint:

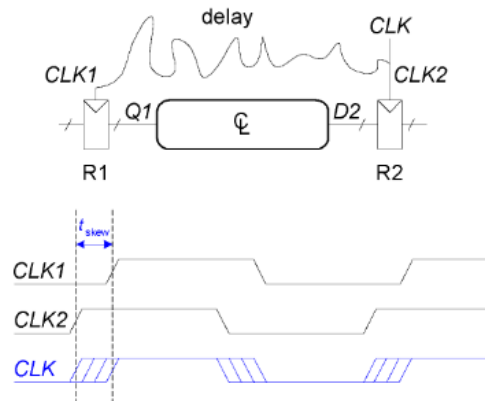
$$t_{ccq} + t_{cd} > t_{\text{hold}} ?$$

$$(30 + 50) \text{ ps} > 70 \text{ ps} ? \text{ Yes!}$$

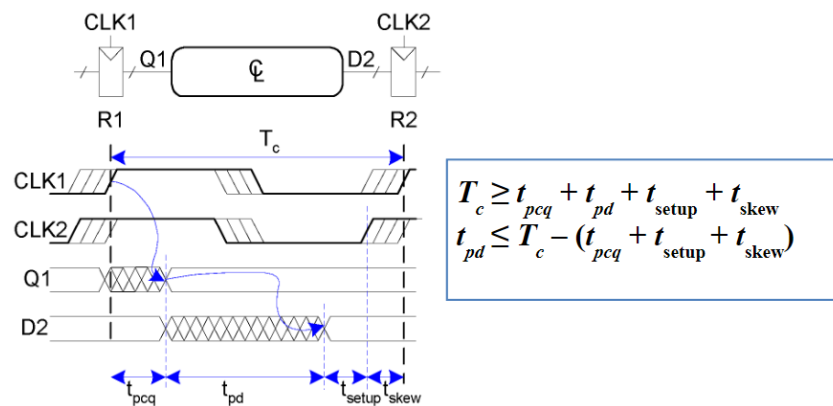
Facendo così il tempo è aumentato, adesso il vincolo è soddisfatto.

Clock Skew

Il CLOCK non raggiunge tutte le registrazioni nello stesso momento, con la parola *Skew* si intende la differenza tra due fronti del CLOCK. Dobbiamo considerare il caso nella quale il clock arriva in istanti diversi:

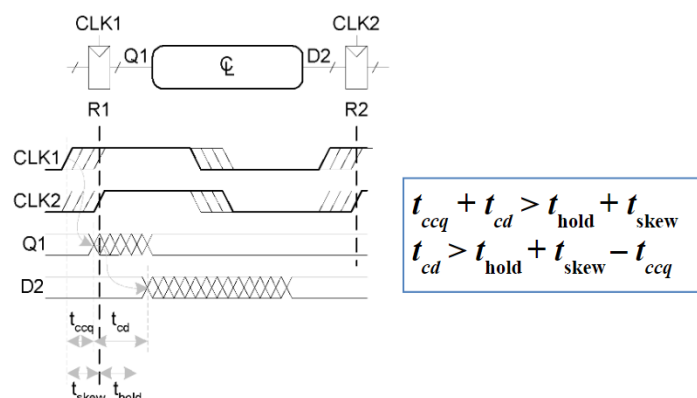


Parlando di tempo di setup, consideriamo il peggior caso in cui CLK2 arrivi prima di CLK1:



Vediamo la stessa cosa per il tempo di Hold :

- In the worst case, CLK2 is later than CLK1



Parallelismo

Ci sono due tipi di parallelismo, quello spaziale (più hardware eseguono gli stessi compiti una volta) e quello temporale (i compiti sono suddivisi in più sotto-compiti, anche chiamato pipeling)

Definizioni:

- Token : Gruppo di input usati per processare gli output
- Latency : Il tempo di un token per passare dall'inizio alla fine
- Troughput : numeri di token prodotti per ogni unità di tempo

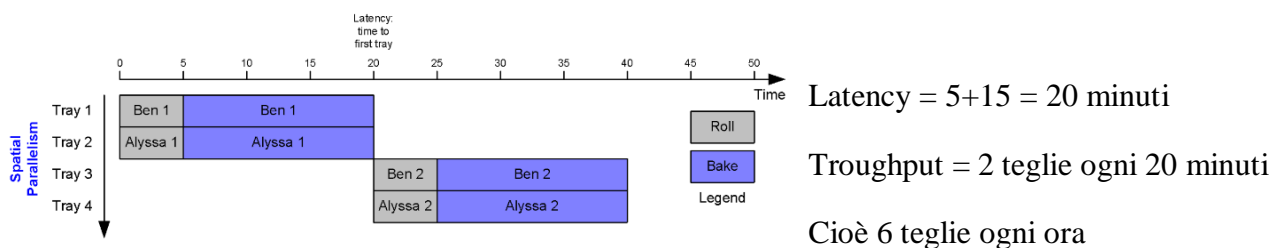
Esempio di parallelismo :

Ben prepara dei biscotti, ci vogliono 5 minuti per preparare l'impasto e 15 minuti per cuocerli, senza parallelismo, la Latency sarà uguale a 20 minuti (5+15), cioè 1/3 di ora. Il Troughput sarà di una teglia di biscotti ogni terzo di ora, quindi 3 teglie all'ora.

Utilizziamo adesso il parallelismo, supponiamo che Ben chieda ad Alyssa una mano, facendo sì che 2 persone cucinino insieme i biscotti.

Caso 1 : Parallelismo spaziale

Ben e Alyssa preparano e cuocinano i biscotti nello stesso momento, ognuno prepara una teglia.



Caso 2 : Parallelismo temporale

Si divide il compito in : “*preparare i biscotti*” e “*cucinare i biscotti*” e si usano due teglie, mentre il primo cucina i biscotti, il secondo prepara la seconda teglia.

