

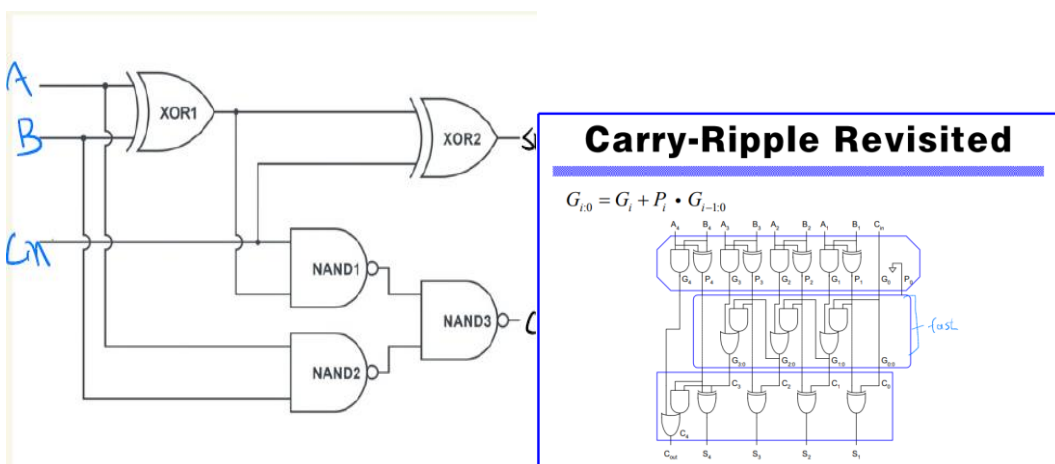
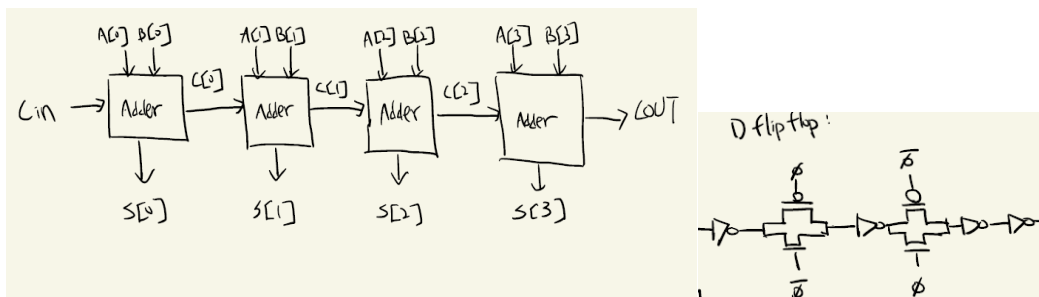
VLSI Midterm Report

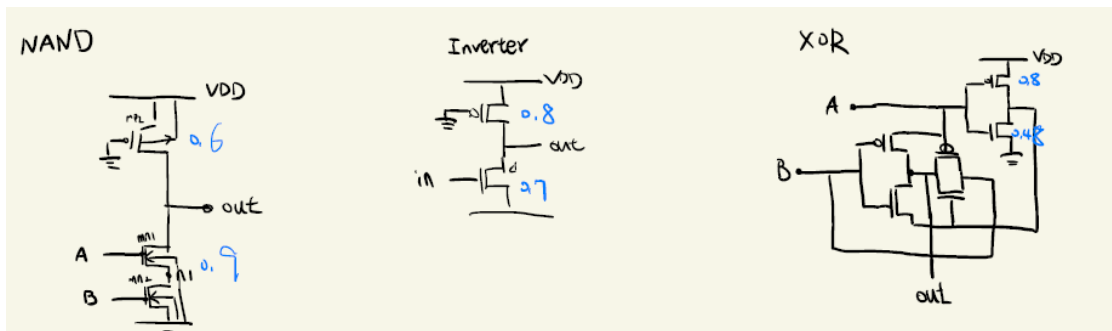
0810917 劉峻瑋

1. Summary of structure:

我的 4bit adder 的架構是由 4 個 1 bit adder 串接而成，我使用課本教的 Carry-Ripple 來實作 fast adder，我發現此方式跟上次 1 bit adder 所使用的 2 個 XOR、3 個 NAND 是一樣的邏輯架構。

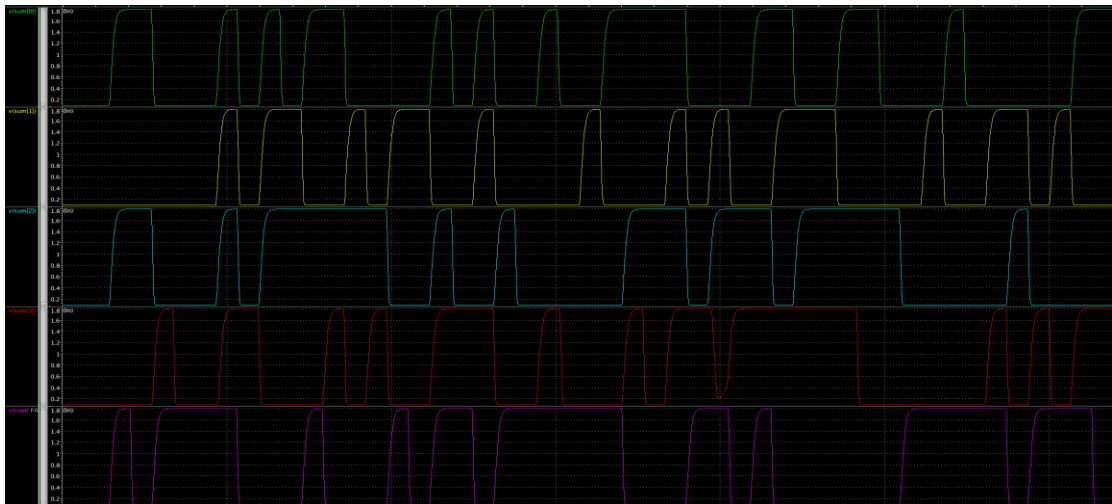
在 sub circuit 方面，我的 NAND 和 INV 使用的是 pseudo nmos，好處是可以減小 propagation delay，而在 XOR 則使用原架構，因為我的 XOR 是 compound 的結構，好處是可以降低面積和供耗。



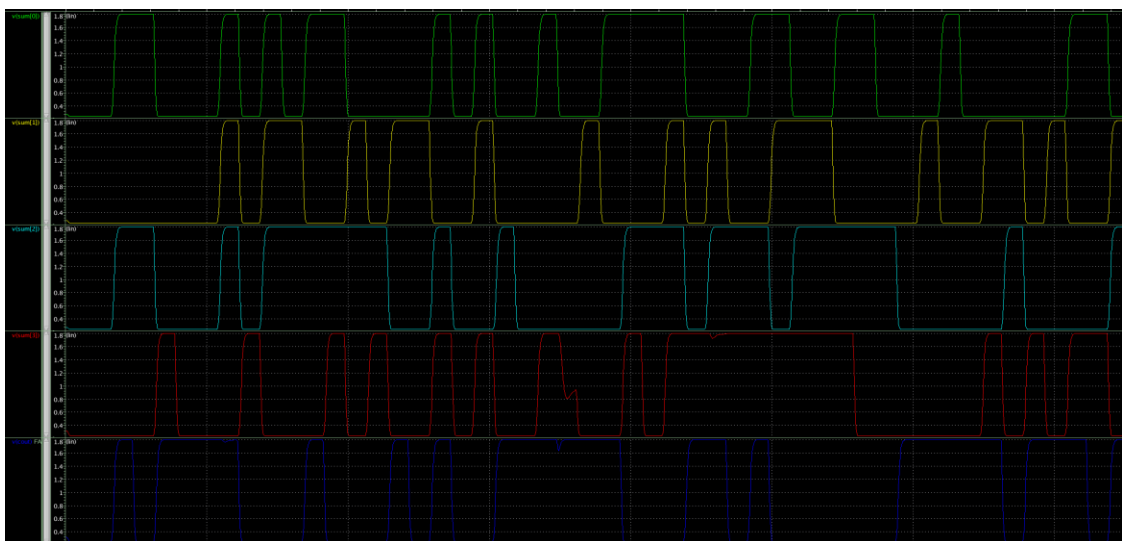


2.OUTPUT Waveform

Pre-sim:

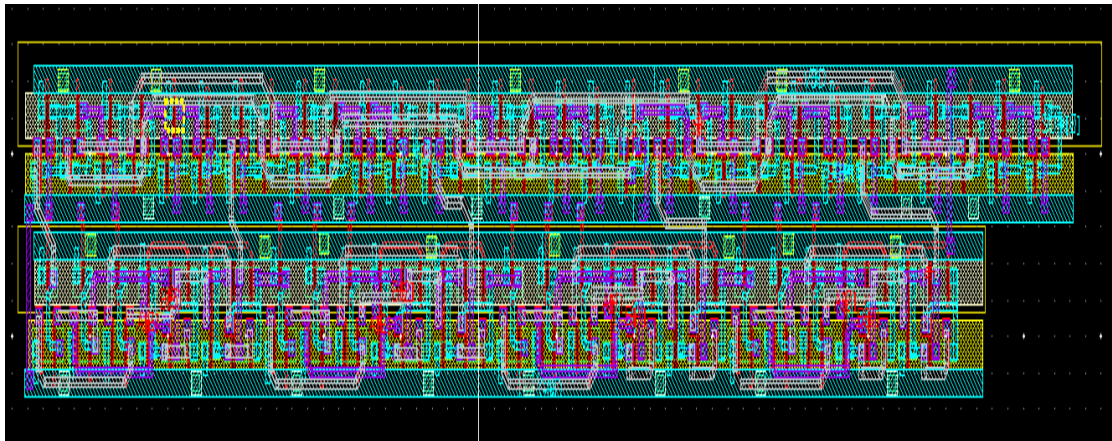


Post-sim:



3.Layout

因為方便連線和顧及 layout 長寬比，我一開始將 layout 分成四列，這樣能使長寬比接近 1:1，但是有一條 critical path 的線會拉太長，delay 會上升太多，因此最後我將我的 layout 分成上下兩列，並將轉角處的拉線改成轉兩次 45 度角，避免導線在轉角處變寬 1.4 倍和反射。



4.Performance

Maximum Operation Frequency	Pre-sim: 1.64GHz
	Post-sim: 1.25GHz
Average Power	Pre-sim: 5.59m
	Post-sim: 5.61m
Layout Area	66.04u*9.11u =601.62 μm^2
4-bit full adder structure	Carry-Ripple Adder
Glitch Control	no

5.Question

1.compare full custom to cell-based design

Full custom 是以全客製化的方式去設計電路，設計者要去調整每一個 cell 內部的長寬，需要很高的精密度，cell-based design 則是

使用 standard cell，以 cell 為基本單位，將多個 cell 接起而成，而現在積體電路設計大多以此方式為主。

	Pros	Cons
Full costoms	縮小面積，提升速度，降低供耗	耗費人力和時間成本，很難重複利用
Cell based	設計簡單，可重複利用	面積較大，供耗高，速度較慢

2. How to elimination performance variation

Post-sim 的電路和 Pre-sim 的電路架構是一致的，但 Post-sim 的電路會加上許多附加的電容與電阻，包括導線內的寄生、線與線之間的 cross talk 等等。因此盡量拉近元件間的距離，讓導線盡可能縮短，讓導線不在彼此正下方跑線，也避免使用高阻值的 poly 來連接；並且打開 LPE 的合成檔案查看是否有電容值過於異常的 net。

3. Discuss what has influence on speed while pipeline regs are placed at different locations

Pipeline 是利用 flipflop 將一個程序分成好幾級，在一個 cycle 中每一級都要把任務做好，才能進入下一個 cycle，所以每一級都要等最慢的一級做完，分配不均會浪費時間；因此平均的分擔每一級要處理的工作，可以降低所等待的時間，加快整體的架構。

另外注意 propagation overhead，因此要選擇適當數量的 flipflop。