

Roadmap – Semaforizare Inteligenta Zybo

Scop General

Proiectarea si implementarea unui sistem de semaforizare inteligenta pe placa Zybo, folosind butoane pentru pietoni, potentiometru pentru reglarea traficului si senzor PMOD ALS pentru detectarea luminii ambientale. Sistemul combina module VHDL, FSM, PWM, comunicatie I2C si integrare prin AXI in Vivado si Vitis.

Obiective Principale

- Implementarea unui modul I2C Master pentru PMOD ALS.
- Implementarea unui modul PWM dependent de lumina.
- Dezvoltarea unei FSM complete pentru controlul semaforului.
- Integrarea modulelor hardware prin AXI cu Zynq PS.
- Implementarea unei aplicatii software in Vitis pentru control si monitorizare.
- Validarea sistemului pe hardware real si realizarea documentatiei.

Platforma si Tehnologii Folosite

- Placa Zybo Z7.
- Senzor PMOD ALS (I2C).
- Potentiometru conectat la XADC.
- Butoane pentru pietoni.
- LED-uri pentru simularea semaforului.
- Vivado (block design, sintetizare, implementare).
- VHDL pentru module hardware.
- Vitis pentru dezvoltarea aplicatiei software.
- UART pentru debug si monitorizare.

Saptamana 1 — Studiarea interfetelor si modulelor hardware

Obiectiv: Intelegerea protocolului PMOD ALS si realizarea modulelor I2C si PWM. Sarcini concrete:

- Studiarea protocolului PMOD ALS (I2C).
- Analiza pinilor PMOD si conexiunea cu Zybo.
- Implementarea modulului I2C Master in VHDL.
- Testbench pentru secvente START, ACK, citire.
- Implementarea modulului PWM bazat pe valoare ALS.

Rezultate masurabile:

- Modul I2C functional in simulare.

Saptamana 2 — Implementarea FSM si integrarea intrarilor

Obiectiv: Proiectarea FSM-ului complet pentru semafor si integrarea butoanelor, potentiometrului si senzorului ALS. Sarcini concrete:

- Crearea diagramei FSM si definirea tranzitiilor.
- Integrarea butonului pietoni cu debounce.
- Implementarea modulului zi/noapte pe baza ALS.
- Reglarea timpului verde prin potentiometru (ADC).
- Testbench pentru FSM in diverse scenarii.

Rezultate masurabile:

- FSM functionala in simulare.
- Reactie corecta la pietoni.
- Timp verde variabil.
- Diagrama FSM finalizata.

Saptamana 3 — Integrare Vivado + Vitis si testare pe hardware

Obiectiv: Integrarea modulelor hardware intr-un block design complet si dezvoltarea aplicatiei software in Vitis. Sarcini concrete:

- Crearea block design: Zynq PS, XADC, AXI GPIO, modul custom.
- Generare bitstream + export hardware.
- Aplicatie Vitis pentru citire ALS si potentiometru.
- Transmiterea valorilor catre FSM prin AXI.
- Testarea pe hardware real.

Rezultate masurabile:

- Block design functional.
- Aplicatie Vitis afisand valori corecte.
- Semafor complet functional pe

placa.

Saptamana 4 — Validare, optimizare si documentatie

Obiectiv: Finalizarea si validarea sistemului, plus crearea documentatiei complete. Sarcini concrete:

- Optimizarea temporizarii FSM.
- Curatarea codului VHDL.
- Realizarea videoclipului demonstrativ.
- Documentare completa: arhitectura, teste, capturi.
- Pregatirea materialelor de prezentare.

Rezultate masurabile: • Proiect final stabil. • Documentatie finalizata. • Video demonstrativ. • Sistem calibrat si testat.