# 可编程逻辑器件结构介绍

李峰

fli@sdu.edu.cn

https://funglee.github.io

## 电子设计自动化技术(EDA)和可编程逻辑器件(PLD)简介

• 在现代数字系统设计中,可编程逻辑器件(PLD)的使用越来越广,掌握PLD与 EDA技术是从事电子系统设计、计算机硬件开发和研究人员的必备技能,也是 电子技术、计算机类专业学生学习的重要内容

## EDA技术及其发展过程

- EDA (Electronic Design Automation) 是电子设计自动化的英文缩写。它是指以计算机为工具,在EDA软件平台上,根据设计者描述的源文件(可以是原理图文件、语言文件或波形图文件),自动完成系统的设计,包括编译、仿真、综合、优化、布局布线以及对特定器件的适配。设计者的任务仅限于利用软件的方式来完成对系统硬件功能的描述。
- 典型的EDA工具应包括二大部分:综合器和适配器。
  - 综合器的功能就是将设计者在EDA平台上完成的某系统的设计文件转换成该系统的门级电路描述(硬件电路)。显然,综合器是软件描述和硬件实现的一座桥梁
  - 适配器的功能是将综合器产生的网表文件安排在指定的器件中,产生最终的下载文件。

- EDA技术的发展大致可分为三个阶段:
  - 第一代:大约在20世纪70年代,EDA工具的供应商只有几家,产品主要面向PCB布线设计,如Tango软件等。该时期的EDA一般称为CAD(计算机辅助设计)。
  - 第二代:大约在20世纪80年代,当时,Mentor公司、Daisy System公司及Logic System公司进入EDA市场,开始提供带有电路图编辑工具和逻辑模拟工具的EDA软件,主要用于电路设计没有完成之前的功能检验问题,一般是以数字电路的分析和测试工具为代表。该时期的EDA一般称为CAE(计算机辅助工程)。
  - 第三代: 20世纪90年代以后,这时的EDA工具以逻辑综合、硬件行为仿真、参数分析和测试为重点。设计工具门类齐全,能够提供系统设计需要的全部工具,如描述设计输入意图的设计输入工具(电路图、语言和波形图输入)、具有逻辑综合和设计优化能力的设计工具及验证、评估性能的仿真工具等。
- EDA技术的应用主要依赖两个方面,一是最终电路的实现,即实现设计所用的器件;二是设计的输入方式

## HDL简介

- HDL(Hardware Description Language)是硬件描述语言的英文缩写,是用于设计硬件电子系统的计算机语言。它描述系统的逻辑功能、电路结构和连接方式,是EDA技术应用中最主要的设计输入方法之一
- 现在常用的HDL主要有三种: ABEL- HDL、VHDL和Verilog-HDL。
  - ABEL- HDL的特点是格式简洁、易学、易用,编译要求宽松,比较适合初学者使用。
  - VHDL和Verilog-HDL主要用于描述数字系统的结构、行为、功能和接口,与ABEL- HDL相比,具有更强的行为描述能力,一般用于大的和复杂的数字系统的描述。

### 可编程逻辑器件的发展过程

• 可编程逻辑器件简称PLD (Programable Logic Device),它是EDA技术应用的另一个重要支持点,PLD的发展推动了EDA工具的发展, 也改变了电子系统的设计方法

#### • PLD的分类

- 按集成度分类
  - 低密度可编程逻辑器件(LPLD或SPLD):主要包括PROM、PLA、PAL、GAL 等几种类型,它们的主要特点是规模小、功能弱、价格低
  - 高密度可编程逻辑器件(HPLD):主要包括复杂可编程逻辑器件(CPLD)和现场可编程门阵列(FPGA)。CPLD采用的是与或阵列型的结构,其特点是具有丰富的组合逻辑资源、时延固定的集中布线方式、工作速度高。而FPGA采用的是单元型的结构,其特点是含有较多的触发器、快速的局部互连和很高的集成度

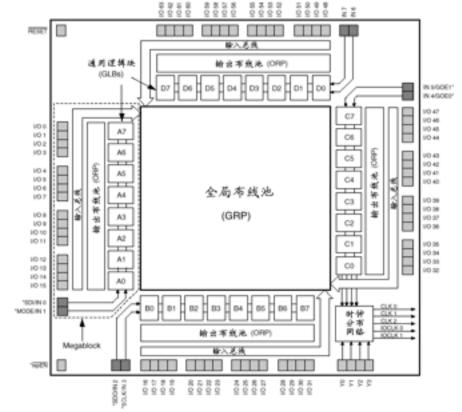
#### • 按变成模式分类

- 掩膜编程:用户提供编程逻辑,由厂家进行编程,编程后不可改写。
- 一次性编程(PROM):用户可编程但仅可以编程一次,一旦编程出错,芯片将报废。
- 电写光擦除(EPROM):用紫外线擦除后,用户可重复编程。
- 电写电擦除(EEPROM): 电擦除,可以省去紫外线擦除器,使用方便,用户不仅可重复编程而且编程速度高。

## ispLSI1032E结构简介

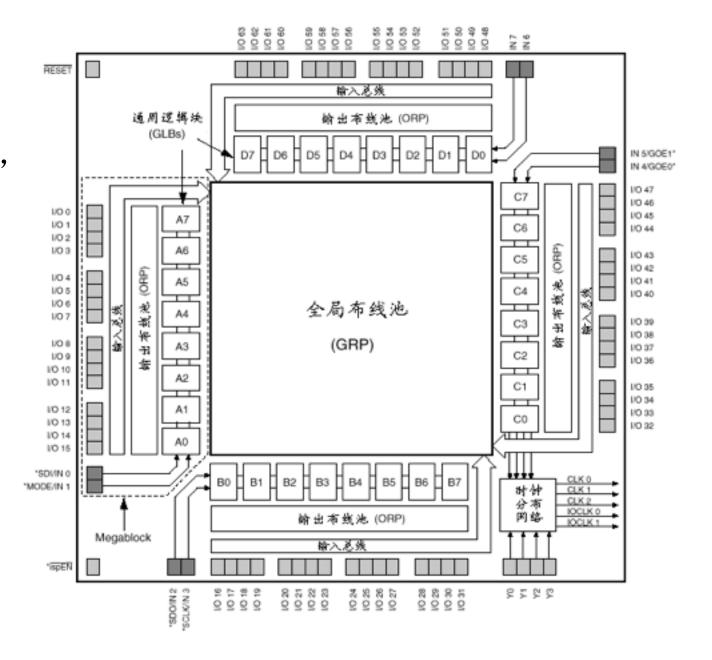
ispLSI1032E是电可擦CMOS (Complementary Metal-Oxide-Semiconductor Transistor, 互补金属氧化物半导体)器件,其芯片为84引脚的PLCC封装,其中72个为I/O引脚,集成密度为6000门,每片含192个D触发器,引脚到引脚的延时低于10ns。

- 全局布线池(GRP)
- 通用逻辑块(GLB)
- 输入输出单元(IOC)
- 输出布线区(ORP)
- 时钟分配网络(CDN)
- 巨块结构 (Megablock)
- 输出使能控制(OE)



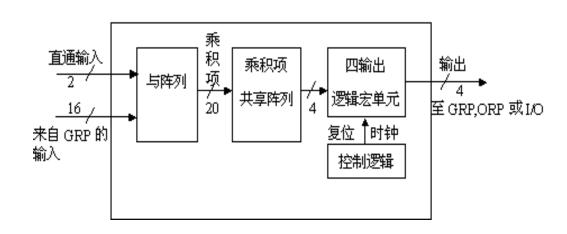
### 1、全局布线池GRP

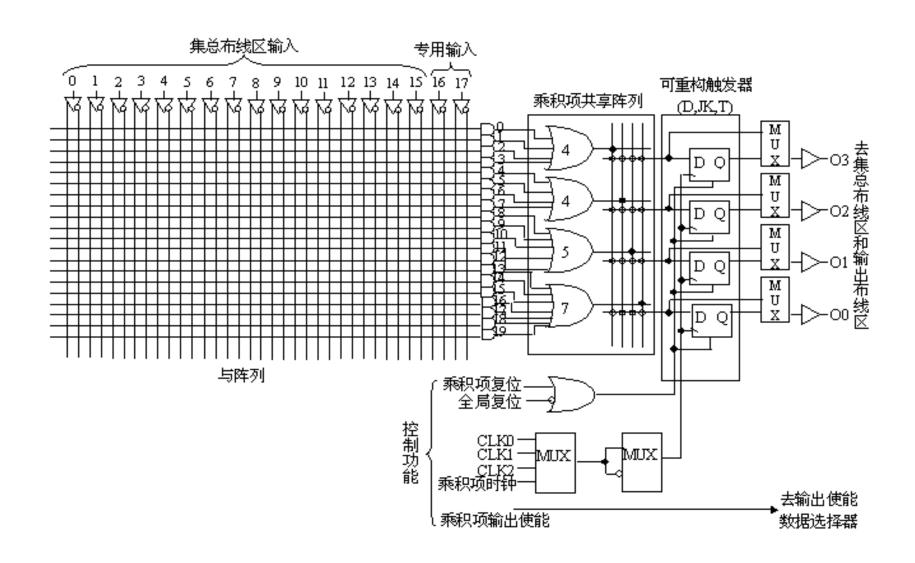
该区位于芯片的中央, 其任务是将所有片内 逻辑联系在一起,供 设计者使用



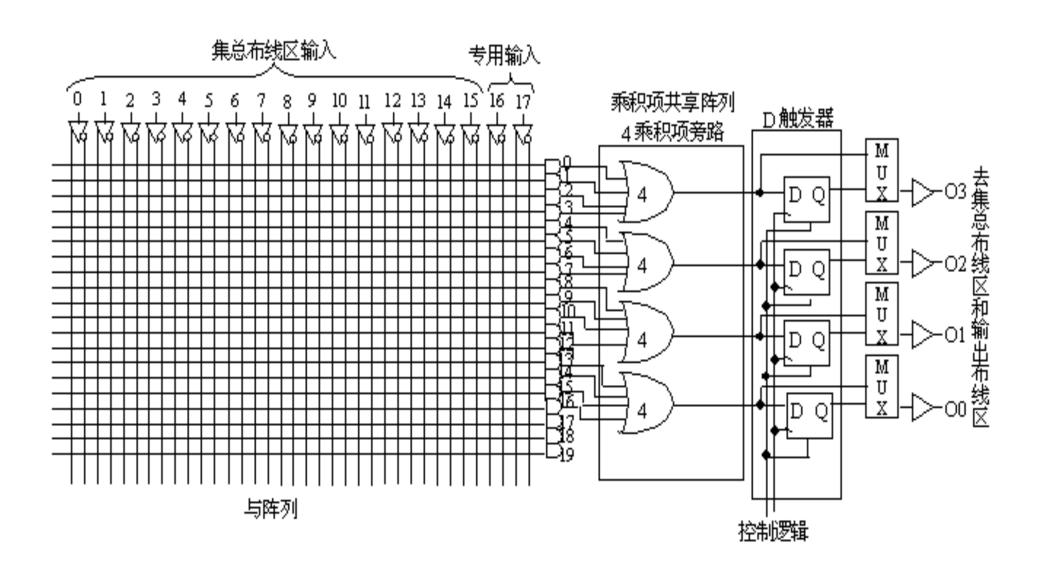
#### 2、通用逻辑块GLB

- GLB是ispL SI系列的基本逻辑单元,它是功能图中GRP四边的小方块,每边8块,共32块,标号依次为A0、A1、.....、A7、B0、B1、.....、D7。每个GLB有18个输入端、可编程的<u>与/或/异或</u>阵列以及4个输出端,可以被配置成为组合或时序逻辑。GLB的输入来自于集总布线区(GRP)和专用输入引脚。所有的GLB输出被送回到GRP,因此它们可以连接到器件中任何其它的GLB的输入端
- 下图是GLB的结构图,它由与阵列、乘积项共享阵列、4输出逻辑宏单元和控制逻辑组成。4输出宏单元有4个触发器,它可被组态为组合输出或寄存器输出,组合电路可有"与一或"或"异或"两种方式,触发器也可组态为D、T或JK等形式

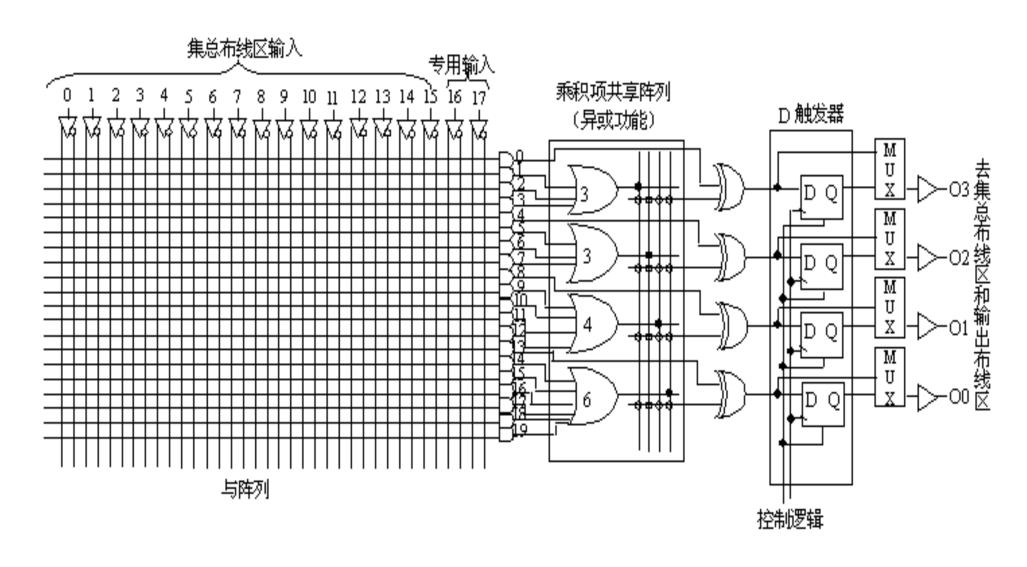




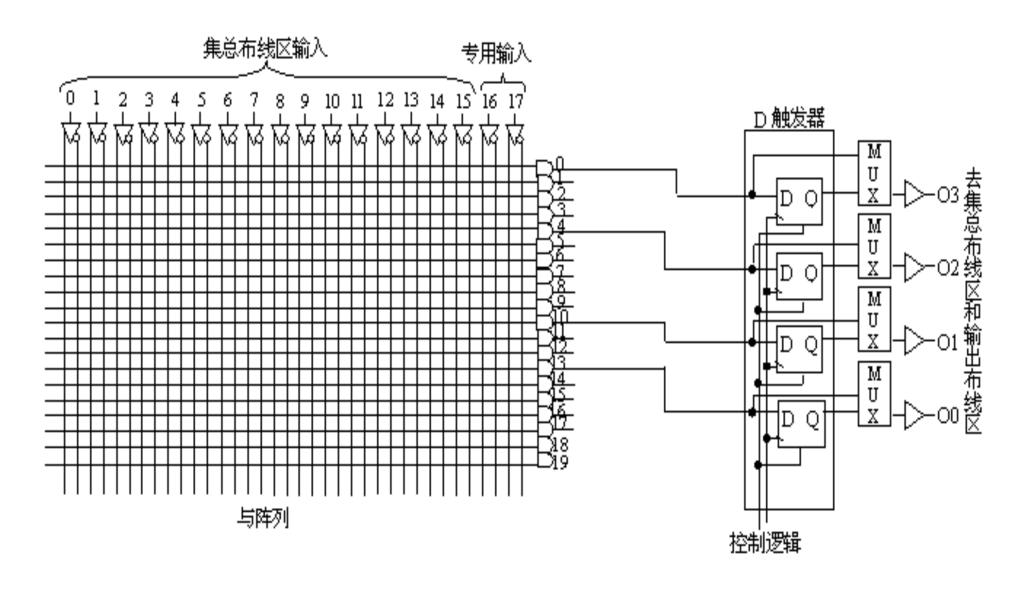
标准组态



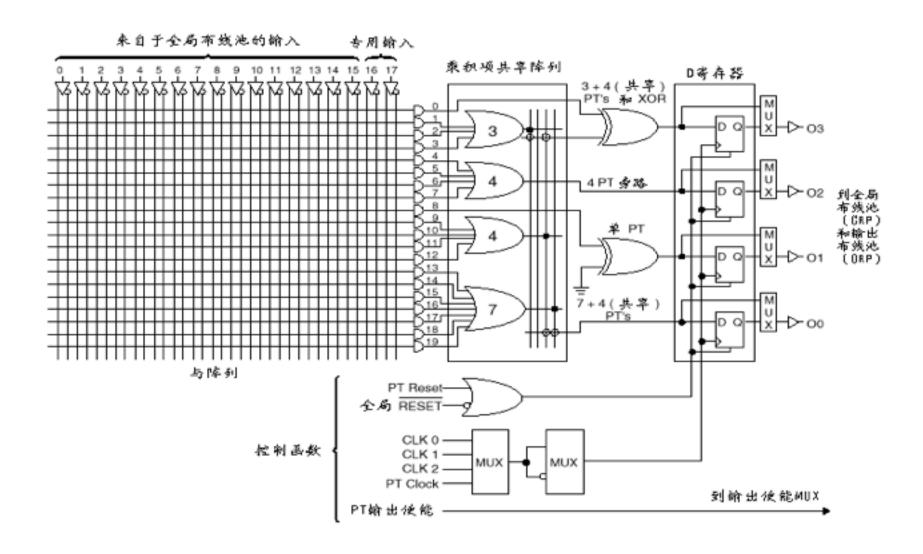
高速直通组态



异或逻辑组态



单乘积项组态



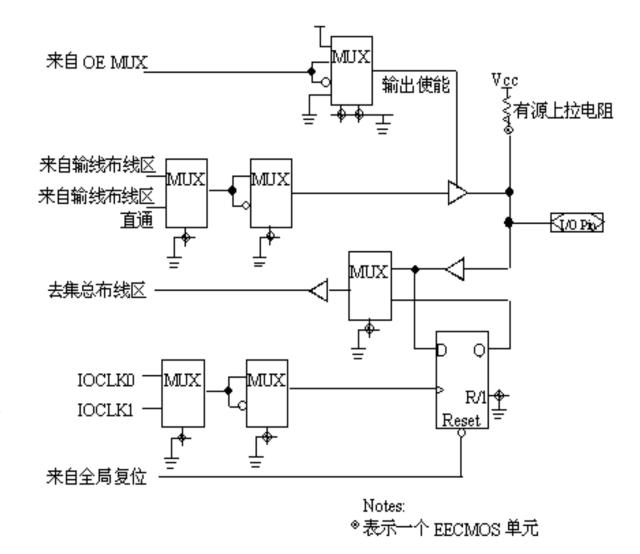
多组态

## GLB的强大功能主要有以下几个方面:

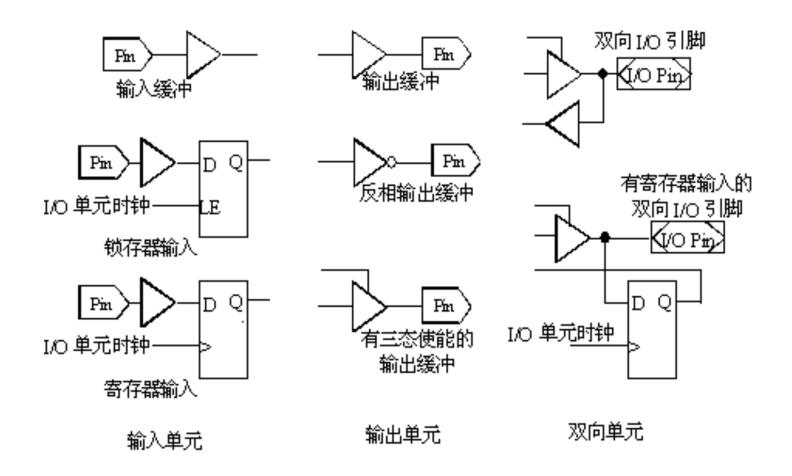
- 首先体现在乘积项共享阵列上。乘积项共享阵列的输入来自4个或门,而其4个输出则用来 控制该单元中的4个触发器。至于哪一个或门送给哪一个触发器不是固定的,而靠编程决定, 一个或门输出可以送给几个触发器,一个触发器也可以同时接受几个或门的输出信息,甚 至还可以跨过PTSA直接将或门输出送至某个触发器。
- 4个逻辑输出宏单元中4个D触发器的始终是连在一起的,同一个GLB中的触发器必须同步工作,但所使用的时钟信号却有多种选择,可以是全局时钟,也可以是片内生成的乘积项时钟。不同GLB中触发器可以使用不同的时钟
- 复位信号可以是全局复位信号或GLB中乘积项产生的复位信号,两者始终是或的关系,这样在GLB内4个触发器同时复位,而各GLB之间则可以不同时复位。综上所述,GLB是pLSI/ispLSI芯片中最关键的部件,它提供了系统设计的全部逻辑资源。

#### 3、输入输出单元(IOC)

• 输入输出单元是最外层着色的64个小方块, 代表着64个I/O单元,其结构如下图所示。每 个单元有输入、输出和双向I/O三类组态,通 过第一行的四选一数据选择器(MUX)来控 制输出三态缓冲电路的使能端。图中第二行 两个MUX用来选择输出极性和选择信号输出 途径。第三行的MUX则用来选择组合输入、 寄存器输入和锁存输入三种组态中的一种。 IOC中的触发器是特殊的触发器,它可以工 作于两种工作方式: 锁存输出方式和寄存器 输出方式这两种输出靠对触发器的R/L端编程 确定。触发器的时钟也由时钟分配网络提供, 并可通过第四行的第一个MUX选择IOCLK0或 IOCLK1和第二个MUX选择时钟的极性。触发 器的复位则由芯片全局复位信号RESET实现

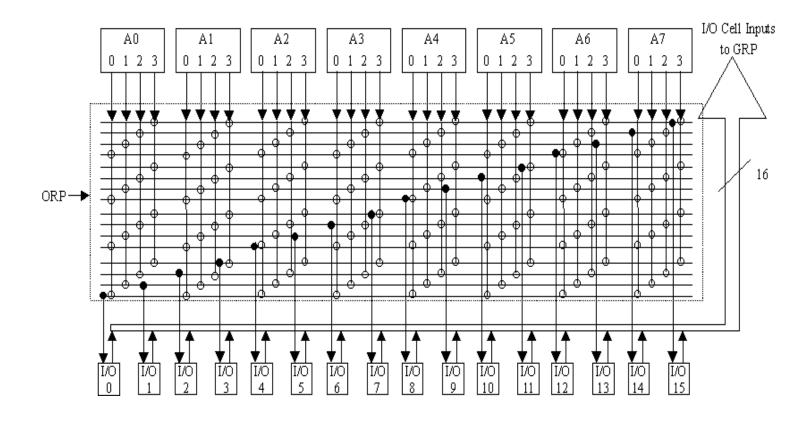


## • I/O单元配置实例



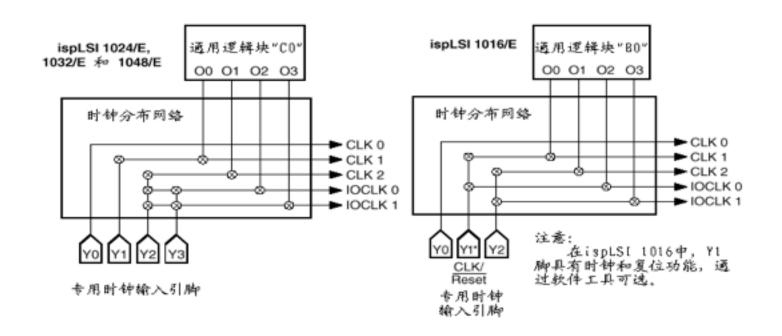
### 4、输出布线区ORP

下图是ORP的逻辑图,它是介于GLB和IOC之间的可编程互连阵列,阵列的输入是8个GLB的32个输出端;阵列的16个输出端,分别与该侧的16个IOC相连。通过对ORP的编程,可以将任一个GLB输出灵活的送到16个I/O端中的任意一个



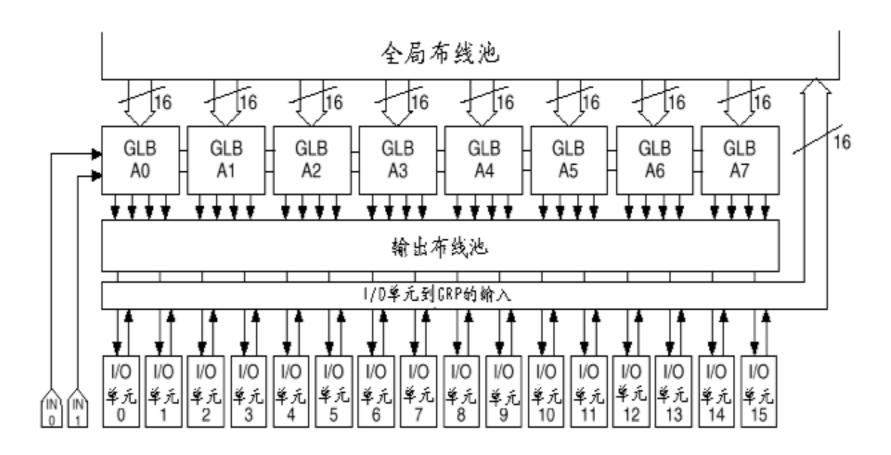
### 5、时钟分配网络CDN

下图是CDN的逻辑图(右图是ispLSI1016E的时钟网络),器件中的时钟通过时钟分布网络来选择。专用输入引脚(Y0、Y1、Y2和Y3)进入时钟分布网络,提供了5个输出(CLK0、CLK1、CLK2、IOCLK0和IOCLK1)以传送时钟信号到GLB和I/O单元。此外器件内部有一个专用GLB(ispLSI器件内的C0),它的4个输出送入CDN,已建立用户定义的内部时钟电路



### 6、巨块(Megablock)结构

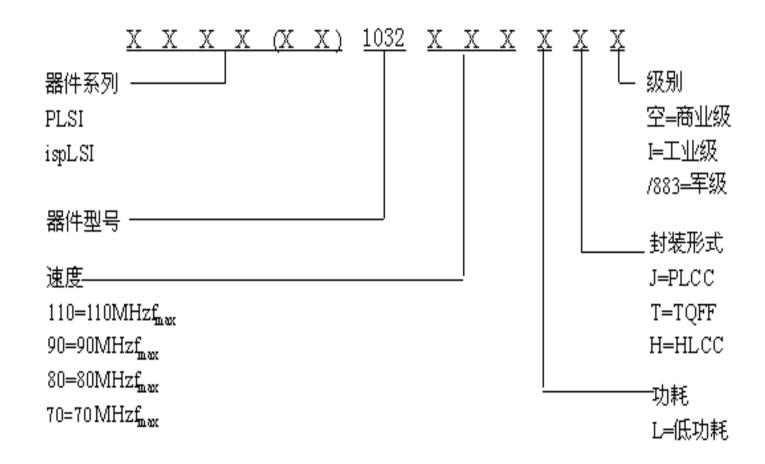
• 在pLSI/ispLSI1000、3000系列中采用了一种分块结构,每8个GLB或4个孪生GLB,连同对应的一个ORP、16个IOC和一个乘积项OE信号构成一个大块,每个pLSI/ispLSI器件都由若干巨块构成(ispLSI 1032E包含4个巨块)



## 7、输出使能控制

• 输出使能控制(OE)信号是由GLB内部的OE乘积项(PT19)生成的。一个巨块(Megablock)的8个OE信号中的一个OE信号被连接到本Megablock的所有I/O单元。因此,该OE信号可以控制本Megablock中的所有这16个以三态模式工作的I/O单元。个别的I/O单元也具有独立控制永久地使能或禁止使能输出缓冲器的能力。每个Megablock中只允许有一个OE信号进行三态操作

### pLSI/ispLSI1016的主要性能指标与使用环境



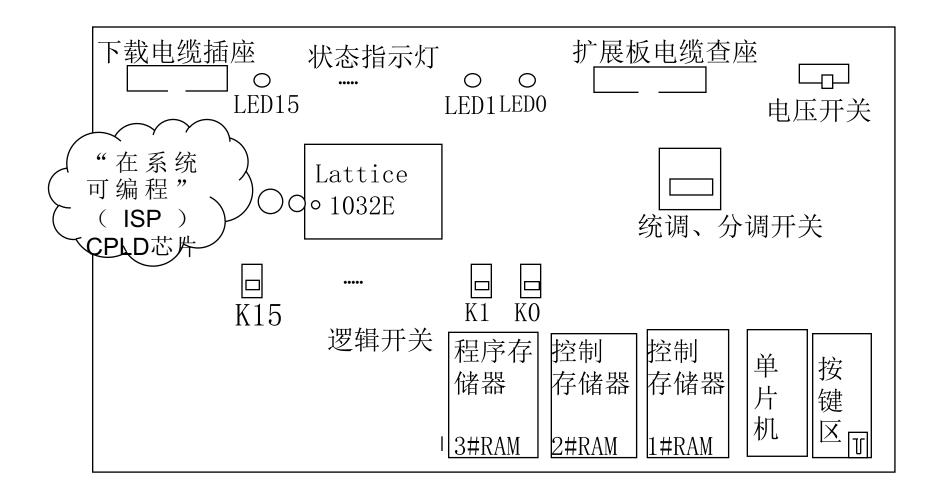
## 在系统可编程(In-System programmability, ISP)

- 用户自己设计的目标系统中或线路板上为重构逻辑而对逻辑器件进行编程或者反复编程。
- 计算机组成原理课程设计平台就是以此为指导思想,以ispLSI为核心器件开发了一套课程设计平台系统。
- 课程设计平台主要由在系统可编程大规模集成电路ispLSI 1032E系统与单片机系统构成。
- 1032E是课程设计中使用的核心器件,其逻辑功能主要由1032E之外的开关及显示器来体现

# JYS—3实验箱

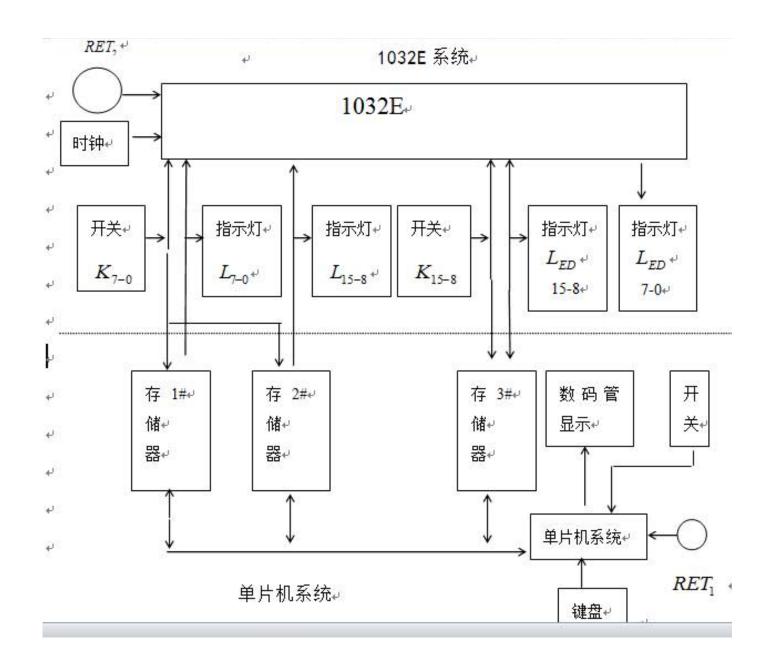
- JYS-3实验箱以一块大规模可编程逻辑器件Lattice 1032E为核心
- 16个状态指示灯LED0 ~ LED15
- 16个逻辑开关KO ~ K15
- 单片机系统,存储器
- •可以使用先进的EDA手段设计和构建数字逻辑电路

## JYS—3实验箱



# 可编程1032E系统

- 在系统可编程技术允许学生通过课程设计平台上的可编程插头连接的计算机对1032E进行编程、修改逻辑电路。
- •下载后的逻辑电路就固化在1032E中,逻辑电路的功能正确与否需要进行验证,这就需要向1032E提供必要的输入信息(由开关提供)和逻辑电路功能的体现(由发光二极管表示)。



## (1) 输入设置

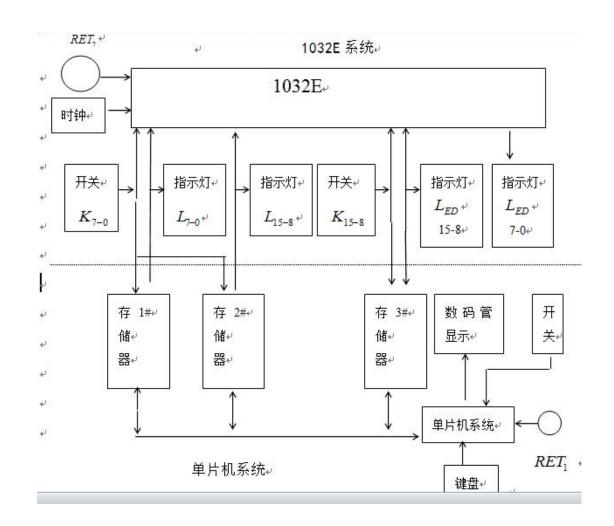
- 向1032E提供信息的电路主要有开关、时钟信号、复位信号及下载电路等
- 开关K15-8和K7-0:分别接在1032E的33-26脚和60-53脚,开关拨到上边输入为"1"信号,拨到下边输入为"0"信号。
- 开关是输入设置,因此要使用某个开关,就必须将与开关相连的1032的相应引脚定义为输入。
- 时钟信号: 在课程设计平台上分别设有一个多频率连续时钟发生器和一个单脉冲信号发生器。
- 连续时钟发生器经跨接插座J2后连接在1032E的20脚,调节跨接插座J2上的短路块从多种频率中选择一种送入1032E,该脉冲的占空 比为1:1。
- 单脉冲信号发生器接在1032E的73脚,在任何状态下,只要按一下键盘中的脉冲键,便产生一个宽度为20ms的负脉冲。
- 复位键RET2: 该键接在1032E的全局复位端(24脚)上,任何时候,只要按此键即可对1032E内部的所有电路进行复位,使用该复位信号时,不需要对其编程。
- 下载部分:下载部分主要由下载电路、下载插座J1、下载指示灯L16和下载线组成。当正在下载时,下载指示灯L16闪烁。

## (2) 输出装置

- 状态指示灯;状态指示灯由L15-0,LED15-0共32支发光二极管构成,它们分别连接到1032E的41-34、52-45和10-3、83-76管脚,通过对1032E的编程,可选择部分或全部连接到1032E。
- •发光二极管是输出装置,当输出状态为"1"时则亮,状态为"0"时则灭。
- 在对相应二极管编程时,必须将相关引脚定义为输出状态,
- 需要注意的是: 在分调模式时, L15-0不能使用。

# 单片机系统

- 单片机系统主要由单片机、存储器、显示及键盘等部分构成。
- 单片机系统的设置针对性特别强,它是专门用于计算机组成原理课程设计的,该系统中的存储器在工作模式为统调时可方便地连接于1032E系统,这样与1032E系统一起为课程设计提供了一个设计灵活,使用方便的环境。



## (1) 输入设置

- 单片机中的键盘主要用于对系统中3个存储器的读、写和检查而设置的。
- 数字键: 0~FH共十六个,键入代码为十六进制。
- ↓键:下一个单元,即在目前单元地址做减1操作,同时显示地址减1单元的内容。
- 个键:上一个单元,即在目前单元地址做加1操作,同时显示地址加1单元的内容。
- ②键:选体,单片机系统中设有三个独立的存储器,要对某个存储器进行操作时,就按动选体键,当显示的体号与要求的体号相一致时,就可以进行存储器操作了。
- 单脉冲键,在任何工作模式下,只要按一次该键,便产生一个20ms负脉冲。

## (2) 存储器

• 单片机系统中选用的单片机是89C51,其基本字长为8位,因此所设置的存储器单元位数亦为8位,这主要是为了便于操作。在课程设计中所需要的存储器单元数较少,因此三个存储器的容量均为256×8。

#### • 程序存储器

- 程序存储器位于课程设计平台的左下方,标明为3# RAM。工作模式为分调时,可通过键盘写入、读出数据。
- 工作模式为统调时,该存储器连入1032E系统。工作模式开关拨动时,其内容不会改变。课程设计时常用做主存。

#### • 控制存储器

- 控制存储器由两个存储器构成,位于课程设计平台的中间和左下方,标明为2# ROM和1 #ROM。
- 工作模式为分调时,2 #ROM和1 #ROM是两个独立的随机存储器,可通过键盘分别对两个存储器进行读、写操作。
- 当工作模式置于统调时,2 #ROM和1# ROM作为一个只读存储器连入1032E中,在课程设计中作为微程序控制存储器使用,其中2 #ROM存放微指令的高8位,1 #ROM存放微指令的低8位。当工作开关拨动时,其存放的内容不变。

## (3) 数字显示

- 单片机系统中设有五位数字显示键, 其显示的内容如下:
- 最高位显示体号。
- 中间两位显示某存储器的单元地址,用十六进制表示,即00~FFH。
- 低两位显示由地址确定的单元内容,该单元内容可随时通过数字键进行修改。 某位数字显示出现闪烁表示正在等待输入或修改单元内容。

### (4) 复位键RETI1

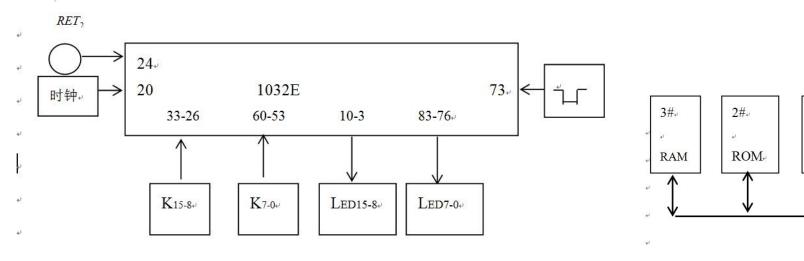
• 单片机系统若需要复位时,按此键。

# 两种工作模式

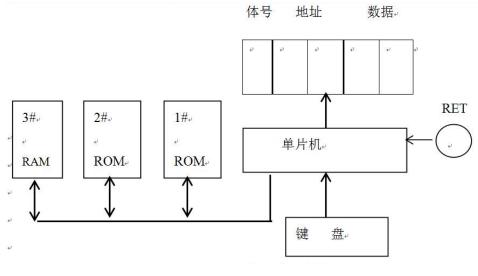
- 为了便于调试,在课程设计平台上设有一开关,确定课程设计平台的两种工作模式。
- 当开关置于上方时,课程设计平台处于统调状态;当开关置于下方时,课程设计平台处于分调状态。
- 当课程设计平台上的开关置于下方时,它将课程设计平台分成独立的两部分,即可编程1032E系统和单片机系统,这两部分在数据通路上完全被阻断,可独立进行操作。

## 1、分调工作模式

- 它具有以下功能:
  - 通过下载线接收计算机的下载信息,并固化在1032E中。
  - 利用外围电路调试或验证1032E中的逻辑功能。
  - 可反复下载反复调试,直至满意效果。



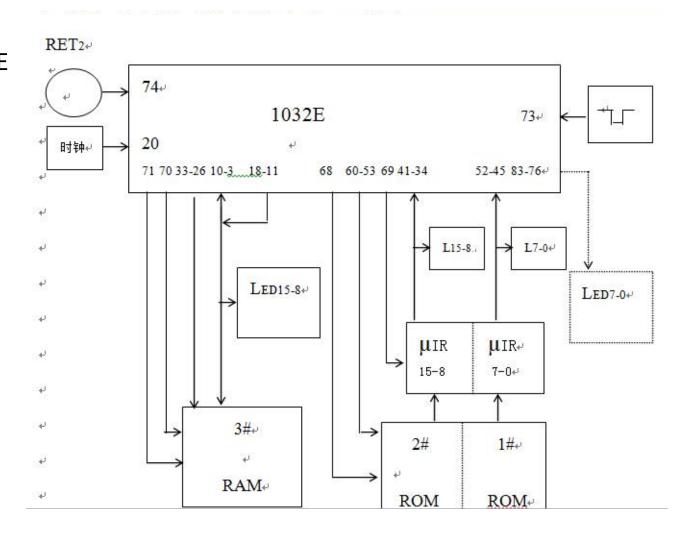
可编程1032E系统



单片机系统

## 2、统调模式

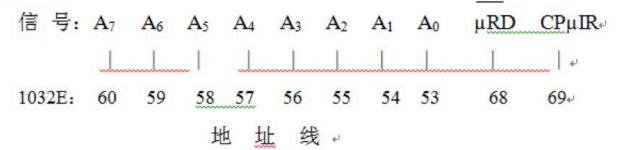
- 当模式开关置于上方时,可编程1032E
  系统和单片机系统通过数据通路有机
  的连接为一个整体,供较复杂的课程
  设计使用。
- 在统调模式中,有些资源不可随意编程,这些资源称为专用资源;
- 有些资源可随意编程使用,这些资源 称为通用资源。
- 另外,还有些资源不能使用。



(1) 3#RAM: ₽ 输出引脚↩ 信号: A7 A6 A5 A4 A3 A2 A1 A0 + 1032E: 33 32 31 30 29 28 27 26 ₽ 址 线 地 DO<sub>5</sub> DO<sub>4</sub> DO<sub>3</sub> DO<sub>2</sub> DO<sub>1</sub> DO<sub>0</sub> RD WR.  $DO_7$  $DO_6$ 18 17 15 14 70 71₽ 16 13 12 11 数据输出线 读写命令 输入引脚↔ 信号: DI7  $DI_6$  $DI_5$  $DI_4$  $DI_3$  $DI_2$  $DI_1$  $DI_{0}$ 1032E: 10 8 5 4 6 3+ 数据输入线 +

#### (2) 2#RAM \ 1#RAM

输出引脚↔



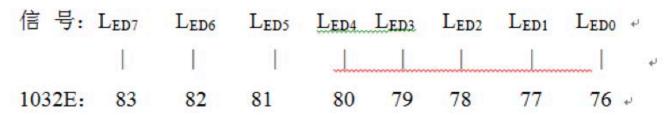
输入引脚: ↓



(3) 其它引脚索引: +

ų.

输出引脚(该组引脚任意编程): ₽



4

输入引脚: ₽

信号: 单脉冲 时钟

I

1032E: 73 20

微指令代码指示: +

L<sub>15</sub>-L<sub>0</sub>用于 16 位微指令代码指示,当某位为 1 时指示灯亮,当代码为 0 时指示灯则灭,课程设计平台上已连接好,无需做任何处理。↓