

Trabajo Práctico Integrador – Electrónica Digital 2020

Bartezaghi Catriel

Facultad de Ingeniería y Ciencias Hídricas, catriel.b@outlook.com

Resumen—El siguiente informe propone exponer y detallar el trabajo realizado correspondiente al Trabajo Práctico Integrador de la materia, el cual consiste en el diseño e implementación de un sistema digital, cuya función es automatizar la operación de un lavarropas. La solución propuesta fue codificada mediante el lenguaje de programación VHDL.

Palabras clave—Lavadora, Diseño, Automatización, VHDL

I. INTRODUCCIÓN

El ciclo operativo de un lavarropas automático puede constar de hasta tres tareas: Lavado, Enjuague y Centrifugado. El usuario tiene libertad de elegir cuales ejecutar, pero respetando el orden en que fueron listadas. Este sistema de control puede ser implementado mediante el modelo de maquinas de estados finitas de Mealy. Este modelo tiene la particularidad de que la salida de cada estado depende tanto del estado actual como de las señales de entrada. El proceso de ejecución interno fue diseñado mediante una maquina de estados algorítmica con los siguientes estados: Un estado de inicio, tres estados correspondientes al lavado (Carga1, Lavado, Vacio1), tres estados correspondientes al enjuague (Carga2, Enjuague, Vacio2) y un estado correspondiente al Centrifugado, por lo que en total son 8 los estados.

II. PROCESO DE LAVADO

El proceso de lavado se lleva a cabo mediante una serie de ciclos en función de las variables de entrada y de la secuencia de los ciclos de trabajo, a partir de esto tendremos distintas salidas. A continuación se listan las señales de entradas y de salida:

A. Señales de entrada

- S0 = En bajo indica que el tambor vacio.
- S1 = Alto indica que el agua se encuentra en el primer nivel del tambor.
- S2 = Alto indica que el agua de encuentra a mitad de la capacidad del tambor.
- S3 = En alto indica tambor lleno.
- S4 = En alto nos indica que el tambor rebasa.
- Bin = En alto comienza con el programa de lavado seleccionado.
- Señales de Programa = Los nivel de alto correspondiente a cada tarea indica que la misma se debe realizar.
- Clk = Reloj del sistema.

B. Señales de salida:

- VS = En alto abre la válvula de depósito de suavizante.
- VJ = En alto abre la válvula de depósito de jabón.
- VL = En alto abre válvula de llenado.
- CVM = Velocidad de tambor de lavado. Apagado (00), Velocidad Baja (01), Velocidad Alta (10).
- CB = En alto activa la bomba de vaciado.
- VV = En alto abre la válvula de vaciado.
- TT = En alto traba la tapa de lavarropas.
- LT = Led de tapa trabada.
- LL = Led de lavado.
- LE = Led de enjuague.
- LC = Led de centrifugado.

C. Tareas:

- Inicio: Estado inicial de la maquina, a la espera de que se inicie un programa de lavado.
- Lavado: En este ciclo se llena el tambor de agua y se hace girar el motor durante un tiempo determinado a baja velocidad. Luego se vacía el tambor.
- Enjuague: Se llena el tambor de agua, se hace girar el motor a velocidad baja durante unos minutos y luego se desagota.
- Centrifugado: Se hace girar el motor a alta velocidad unos minutos y se desagota.

III. DISEÑO DEL SISTEMA DE CONTROL

El diseño del sistema está basado en una maquina de estados de Mealy. Dado que el proceso se compone de 8 estados, utilizaremos 3 Flip Flop tipo D, los cuales servirán para hacer las transiciones entre los estados. Se listan los estados con el valor binario asignado.

TABLA II
LISTA DE ESTADOS CON SU CADENA DE BITS

	Estado	Código
A	Inicio	000
B	Carga1	001
C	Lavado	010
D	Vacio1	011
E	Carga2	100
F	Enjuague	101
G	Vacio2	110
H	Centrifugado	111

A. Diagrama ASM:

En primer lugar implementaremos un diagrama de maquinas de estados algorítmicas. Este diagrama nos permite describir las operaciones del sistema digital a implementar de forma ordenada y fácil comprensión.

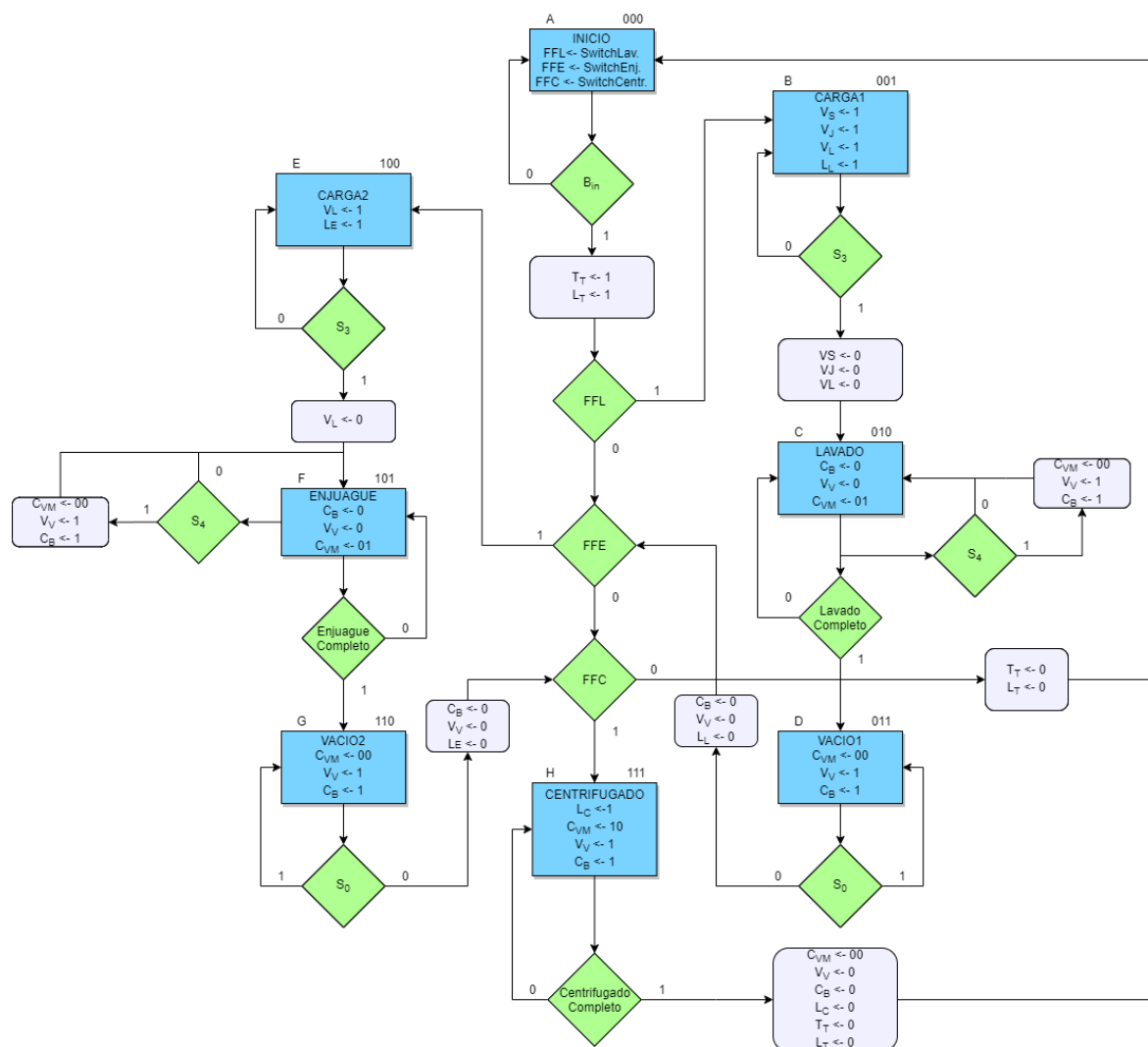


Figura 1. Diagrama de Flujo

En donde FFL, FFE y FFC, son Flip Flop asíncronos, los cuales almacenan las tareas seleccionadas por el usuario (lavado, enjuague y centrifugado respectivamente). El análisis y explicación del diagrama se puede ver en un video provisto junto con la entrega del presente trabajo.

B. Tabla de estado siguiente:

A partir del diagrama ASM calculamos la tabla de estado siguiente en base a las entradas del circuito (TABLA I). Esta tabla muestra las transiciones entre estados de acuerdo al estado actual y a las entradas.

TABLA I

N	Q1	Q2	Q3	Q1'	Q2'	Q3'	FFL	FFE	FFC	Bin	S0	S3	T
1	0	0	0	0	0	0	X	X	X	0	X	X	X
2	0	0	0	0	0	0	0	0	0	1	X	X	X
3	0	0	0	0	0	1	1	X	X	1	X	X	X
4	0	0	0	1	0	0	0	1	X	1	X	X	X
5	0	0	0	1	1	1	0	0	1	1	X	X	X
6	0	0	1	0	0	1	X	X	X	X	X	0	X
7	0	0	1	0	1	0	X	X	X	X	X	1	X
8	0	1	0	0	1	0	X	X	X	X	X	X	0
9	0	1	0	0	1	1	X	X	X	X	X	X	1
10	0	1	1	0	1	1	X	X	X	X	1	X	X
11	0	1	1	1	0	0	X	1	X	X	0	X	X
12	0	1	1	1	1	1	X	0	1	X	0	X	X
13	0	1	1	0	0	0	X	0	0	X	0	X	X
14	1	0	0	1	0	0	X	X	X	X	X	0	X
15	1	0	0	1	0	1	X	X	X	X	X	1	X
16	1	0	1	1	0	1	X	X	X	X	X	X	0
17	1	0	1	1	1	0	X	X	X	X	X	X	1
18	1	1	0	1	1	0	X	X	X	X	1	X	X
19	1	1	0	1	1	1	X	X	1	X	0	X	X
20	1	1	0	0	0	0	X	X	0	X	0	X	X
21	1	1	1	1	1	1	X	X	X	X	X	X	0
22	1	1	1	0	0	0	X	X	X	X	X	X	1

Donde T es la señal que indica que se completó el tiempo de lavado, enjuague o centrifugado.

C. Tabla de transiciones del flip flop D:

El funcionamiento del Flip Flop D, consiste en dejar pasar el valor de la entrada a la salida en cada pulso de reloj. Se lista su tabla de estado (TABLA II).

TABLA II

Transiciones de salida		Entradas del flip flop D	
$Q_n Q_{n+1}$			
0	→ 0	0	
0	→ 1	1	
1	→ 0	0	
1	→ 1	1	

D.Tabla de transición de estados:

A partir de la tabla de transiciones del Flip Flop D, obtenemos los valores de entrada del mismo, para la transición entre estados. (TABLA III).

TABLA III

Q1	Q2	Q3	Q1'	Q2'	Q3'	FF1	FF2	FF3
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	0	1
0	0	0	1	0	0	1	0	0
0	0	0	1	1	1	1	1	1
0	0	1	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
0	1	1	1	1	1	1	1	1
0	1	1	0	0	0	0	0	0
1	0	0	1	0	0	1	0	0
1	0	0	1	0	1	1	0	1
1	0	1	1	0	1	1	0	1
1	0	1	1	1	0	1	1	0
1	1	0	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1
1	1	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0

Como se puede observar, para generar cada transición, el flip flop D toma el mismo valor que el del estado siguiente. Entonces a partir de la tabla de verdad (TABLA I) podemos obtener las ecuaciones de la lógica digital que deben alimentar a cada Flip Flop D, ya que por ejemplo, la función correspondiente al FF1 será la suma de los productos de las entradas cuando $Q1' = 1$. De esta forma se obtuvo la ecuación de entrada de cada Flip Flop. Se listan minimizadas.

FF1: Correspondiente con Q1

$$\text{Bin FFC } \overline{FFL} \overline{Q2} \overline{Q3} + \text{Bin FFE } \overline{FFL} \overline{Q2} \overline{Q3} + \text{FFC } Q1 \overline{Q3} + \text{FFC } \overline{Q1} Q2 Q3 \overline{50} + \text{FFE } \overline{Q1} Q2 Q3 \overline{50} + Q1 Q3 \overline{1} + Q1 \overline{Q2} + Q1 \overline{Q3} \overline{50}$$

FF2: Correspondiente con Q2

$$\text{Bin FFC } \overline{FFE} \overline{FFL} \overline{Q1} \overline{Q3} + \text{FFC } Q2 \overline{Q3} + \text{FFC } \overline{FFE} \overline{Q1} Q2 + Q1 Q2 Q3 \overline{1} + Q1 \overline{Q2} Q3 \overline{1} + Q2 \overline{Q3} \overline{50} + \overline{Q1} Q2 \overline{50} + \overline{Q1} Q2 \overline{Q3} + \overline{Q1} \overline{Q2} Q3 \overline{53}$$

FF3: Correspondiente con Q3

$$\text{Bin FFC } \overline{FFE} \overline{Q1} \overline{Q2} \overline{Q3} + \text{Bin FFL } \overline{Q1} \overline{Q2} \overline{Q3} + \text{FFC } Q1 Q2 \overline{Q3} \overline{50} + \text{FFC } \overline{FFE} \overline{Q1} Q2 Q3 + Q1 Q3 \overline{1} + Q1 \overline{Q2} \overline{Q3} \overline{53} + \overline{Q1} Q2 Q3 \overline{50} + \overline{Q1} Q2 \overline{Q3} \overline{1} + \overline{Q1} \overline{Q2} Q3 \overline{53}$$

IV. IMPLEMENTACION EN VHDL

Los lenguajes de descripción de hardware son herramientas de gran utilidad porque facilitan enormemente el trabajo de diseño del circuito digital. En este caso utilizaremos el lenguaje de programación VHDL.

Para la implementación en VHDL se optó por utilizar un template de máquina de estados de Mealy, aunque a la hora de diseñar la máquina en VHDL, si es de Moore o Mealy no es relevante, ya que se describen de la misma forma.

El código es sencillo de entender, y se puede resumir de la siguiente manera:

A. Declaraciones:

En primer lugar se declaran todas las entradas y salidas del circuito, como también los estados que tendrá nuestra máquina.

B. Proceso 1

Este proceso se encarga de actualizar el registro del estado actual con el valor de estado siguiente que hemos calculado. Esto ocurre cada vez que hay un flanco de subida del reloj. También vuelve al estado inicial cuando se activa la entrada de Reset.

C. Proceso 2

La función de este proceso es la de calcular las salidas correspondientes a cada estado en función de su estado actual y el de sus entradas.

D. Simulación

Para probar el comportamiento del circuito se utilizaron Test Bench, los cuales consisten en proporcionarle entradas al sistema para evaluar sus salidas. Junto con la entrega de este TP se proporcionan 3 simulaciones, correspondientes a los programas de Lavado y Enjuague, Enjuague y Centrifugado, y Lavado y Centrifugado.

V. CONCLUSIONES

Este trabajo fue de gran utilidad para poder aplicar y poner a prueba los conocimientos adquiridos durante el cursado, y la importancia que tienen las diferentes tablas y diagramas para facilitar y guiar la construcción del sistema digital.

También pude observar que a la hora de desarrollar un sistema digital se pueden tener dos enfoques diferentes. El primero requiere de un análisis más en profundidad para deducir todas las ecuaciones combinacionales y secuenciales y el comportamiento total del circuito. En cuanto al segundo enfoque, consiste en utilizar un lenguaje de descripción de hardware, en este caso VHDL, el cual facilita el diseño porque no requiere que el usuario tenga total conocimiento del hardware involucrado. Este último enfoque es el más sencillo y eficiente y fue el que se adoptó para la implementación del sistema.