

Lista de Exercícios No. 01

- 1) Dado um multiplexador com entradas a, b, sel a saída deve se comportar conforme a Tabela 1:

00	0
01	a
10	b
11	Z

Tabela 1: Tabela verdade.

Complete o código VHDL a seguir, compile e simule a solução verificando se funciona conforme esperado.

```
LIBRARY ieee;

entity mux is
    port ();
end mux;

architecture mux_arch of mux is
begin
    process (a, b)
    begin
        if (sel="00") then
            c <= "00000000";
        end ;
    end;
end architecture;
```

- 2) Projetar e implementar em VHDL o circuito apresentado na Figura 1. Observe que o circuito é combinacional e, portanto, não há necessidade de um processo. Implemente o modelo VHDL considerando o menor número de portas e circuitos utilizados.

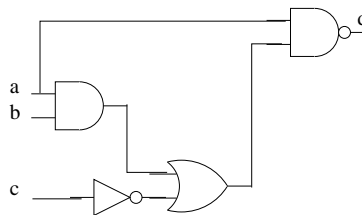


Figura 1: Circuito combinacional.

- 3) Os problemas a seguir são baseados nas seguintes definições de tipos e declarações de sinais

```
TYPE array1 is ARRAY (7 downto 0) of STD_LOGIC;
TYPE array2 is ARRAY (3 downto 0, 7 downto 0) of STD_LOGIC;
TYPE array3 is ARRAY (3 downto 0) of array1;
SIGNAL a: BIT;
SIGNAL b: STD_LOGIC;
SIGNAL x: array1;
SIGNAL y: array2;
SIGNAL w: array3;
SIGNAL z: STD_LOGIC_VECTOR (7 downto 0);
```

Baseando-se na Tabela 2 determine quais atribuições são válidas e quais são inválidas.

Atribuição	Válido/Inválido
$a \leq x(2);$	
$b \leq x(2);$	
$b \leq y(3,5);$	
$b \leq w(5)(3);$	
$y(1)(0) \leq z(7);$	
$x(0) \leq y(0,0);$	
$x \leq "1110000";$	
$a \leq "0000000";$	
$y(1) \leq x;$	
$w(2)(7 \text{ downto } 0) \leq x;$	
$w(0)(7 \text{ downto } 6) \leq z(5 \text{ downto } 4);$	
$x(3) \leq x(5 \text{ downto } 5);$	
$z(6) \leq x(5);$	
$z(6 \text{ downto } 4) \leq x(5 \text{ downto } 3);$	
$z(6 \text{ downto } 4) \leq y(5 \text{ downto } 3);$	
$y(6 \text{ downto } 4) \leq z(3 \text{ to } 5);$	

Tabela 2: Tabela de atribuições.