

# Diseño y Arquitectura de una Memoria SRAM

## Especificaciones

**Autor:** Armando Sebastián Ramírez Jiménez

**Fecha:** 23 de enero del 2026

# Índice

<b>1. Introducción</b>	<b>2</b>
<b>2. Especificaciones del diseño</b>	<b>2</b>
2.1. Parámetros principales . . . . .	2
<b>3. Arquitectura general</b>	<b>2</b>
3.1. Shift Register - Definicion de puertos . . . . .	3
3.2. Memory cell - Definicion de puertos . . . . .	3
3.3. Memory array - Definicion de puertos . . . . .	3
3.4. Decoder - Definicion de puertos . . . . .	3
3.5. Write driver - Definicion de puertos . . . . .	3
3.6. Sense amp - Definicion de puertos . . . . .	4
3.7. Bloques funcionales de la memoria SRAM . . . . .	4
3.8. Arquitectura de la memoria SRAM . . . . .	5
<b>4. Celda SRAM</b>	<b>5</b>
4.1. Celda 6T . . . . .	5
<b>5. Funcionamiento</b>	<b>6</b>
5.1. Operación de lectura . . . . .	6
5.2. Operación de escritura . . . . .	7

# 1. Introducción

La memoria **Static Random Access Memory (SRAM)** es un tipo de memoria volátil ampliamente utilizada en sistemas digitales de alta velocidad, tales como cachés, buffers y memorias embebidas en ASICs y FPGAs.

A diferencia de la DRAM, la SRAM no requiere refresco periódico, lo que permite menores latencias y mayor desempeño a costa de mayor área.

Este documento describe las especificaciones, arquitectura interna y funcionamiento esperado de un modelo de una memoria SRAM.

## 2. Especificaciones del diseño

### 2.1. Parámetros principales

Parámetro	Valor
Profundidad	256 palabras
Ancho de palabra	64 bits
VDD	1.5 V
VTH	0.8 V
VSS	0.0 V
Latencia	1 ciclo

## 3. Arquitectura general

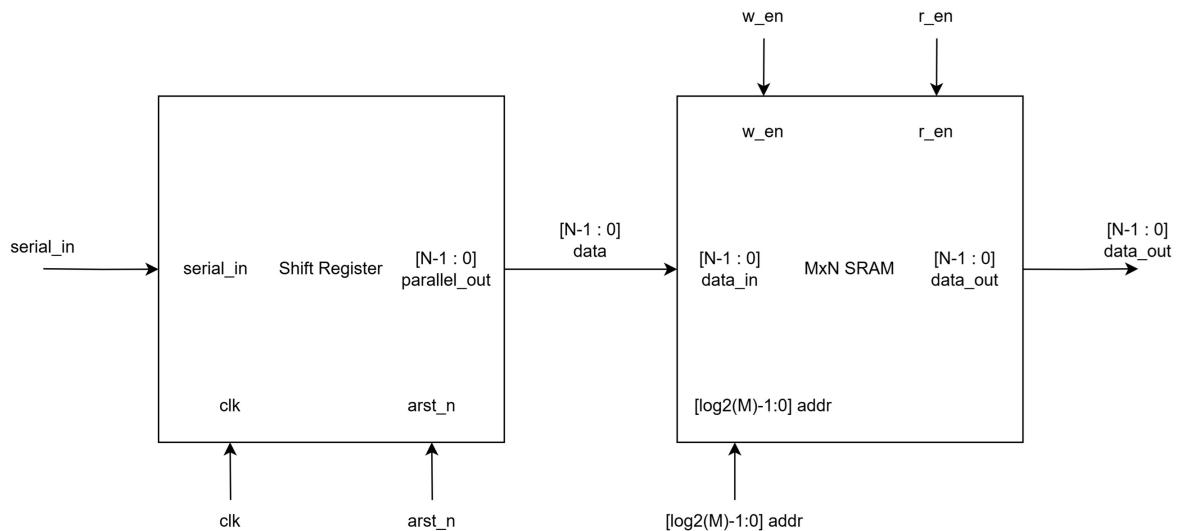


Figura 1: Arquitectura general

### 3.1. Shift Register - Definicion de puertos

Puerto	Bits Usados	Tipo	Descripción
clk	[1]	Input Logic	Señal de reloj.
rst_n	[1]	Input Logic	Señal de reset.
serial_in	[1]	Input Logic	Pin de entrada serial.
load	[1]	Input Logic	Cuando esta activa, la informacion capturada se muestra a la salida.
shift	[1]	Input Logic	Cuando esta activa, se captura un dato nuevo de la entrada serial.
parallel_out	[64]	Output Logic	Datos capturados en el shift register.

### 3.2. Memory cell - Definicion de puertos

Puerto	Dimensiones	Tipo	Descripción
row_wr	[0:0]	Input Real	Cuando esta activa, la informacion se escribe en la celda.
bl_wr	[0:0]	Input Real	Usada para escribir la linea de bit derecha.
lbl_wr	[0:0]	Input Real	Usada para escribir la linea de bit izquierda.
bl_rd	[0:0]	Input Real	Es el dato escrito en la linea de bit derecha.
lbl_rd	[0:0]	Input Real	Es el dato escrito en la linea de bit izquierda.

### 3.3. Memory array - Definicion de puertos

Puerto	Dimensiones	Tipo	Descripción
row_wr	[1:ROWS-1]	Input Real	Cuando esta activa, la palabra es escrita en la posicion seleccionada.
bl_wr	[0:0][0:COLS-1]	Input Real	Cada columna tiene una linea de bit derecha que es compartida con los otros renglones.
lbl_wr	[0:0][0:COLS-1]	Input Real	Cada columna tiene una linea de bit izquierda que es compartida con los otros renglones.
bl_rd	[0:ROWS-1][0:COLS-1]	Input Real	Cada bit debe tener una linea de bit derecha independiente de las demas.
lbl_rd	[0:ROWS-1][0:COLS-1]	Input Real	Cada bit debe tener una linea de bit izquierda independiente de las demas.

### 3.4. Decoder - Definicion de puertos

Puerto	Dimensiones	Tipo	Descripción
enable	[0:0]	Input Logic	Cuando esta activa, la salida muestra el renglon seleccionado en alto.
row_sel	[0:log2(ROWS)-1]	Input Real	Direccion del renglon.
row_out	[0:ROWS-1]	Output Real	Salida del onehot decoder.

### 3.5. Write driver - Definicion de puertos

Puerto	Dimensiones	Tipo	Descripción
data_in	[0:0] [0:COLS-1]	Input Real	Palabra a escribir.
bl_wr	[0:0] [0:COLS-1]	Output Real	Lineas de bit derecha.
lbl_wr	[0:0] [0:COLS-1]	Output Real	Lineas de bit izquierda.

### 3.6. Sense amp - Definicion de puertos

Puerto	Dimensiones	Tipo	Descripción
rwo_rd	[0:ROWS-1]	Input Real	Solo se activan los comparadores del renglon seleccionado.
b1_rd	[0:ROWS-1] [0:COLS-1]	Input Real	Lineas de bit derecha.
b1b_rd	[0:ROWS-1] [0:COLS-1]	Input Real	Lineas de bit izquierda.
preout	[0:0] [0:COLS-1]	Output Real	Muestra la informacion leida.

### 3.7. Bloques funcionales de la memoria SRAM

El modelo de memoria SRAM se compone de:

- Shift Register de tipo Serial input, Parallel output (SIPO)
- Matriz de celdas de memoria (Memory Array)
- Decodificador de filas (Row Decoder)
- Circuito de escritura (Write Driver)
- Amplificadores diferenciales (Sense amp)

### 3.8. Arquitectura de la memoria SRAM

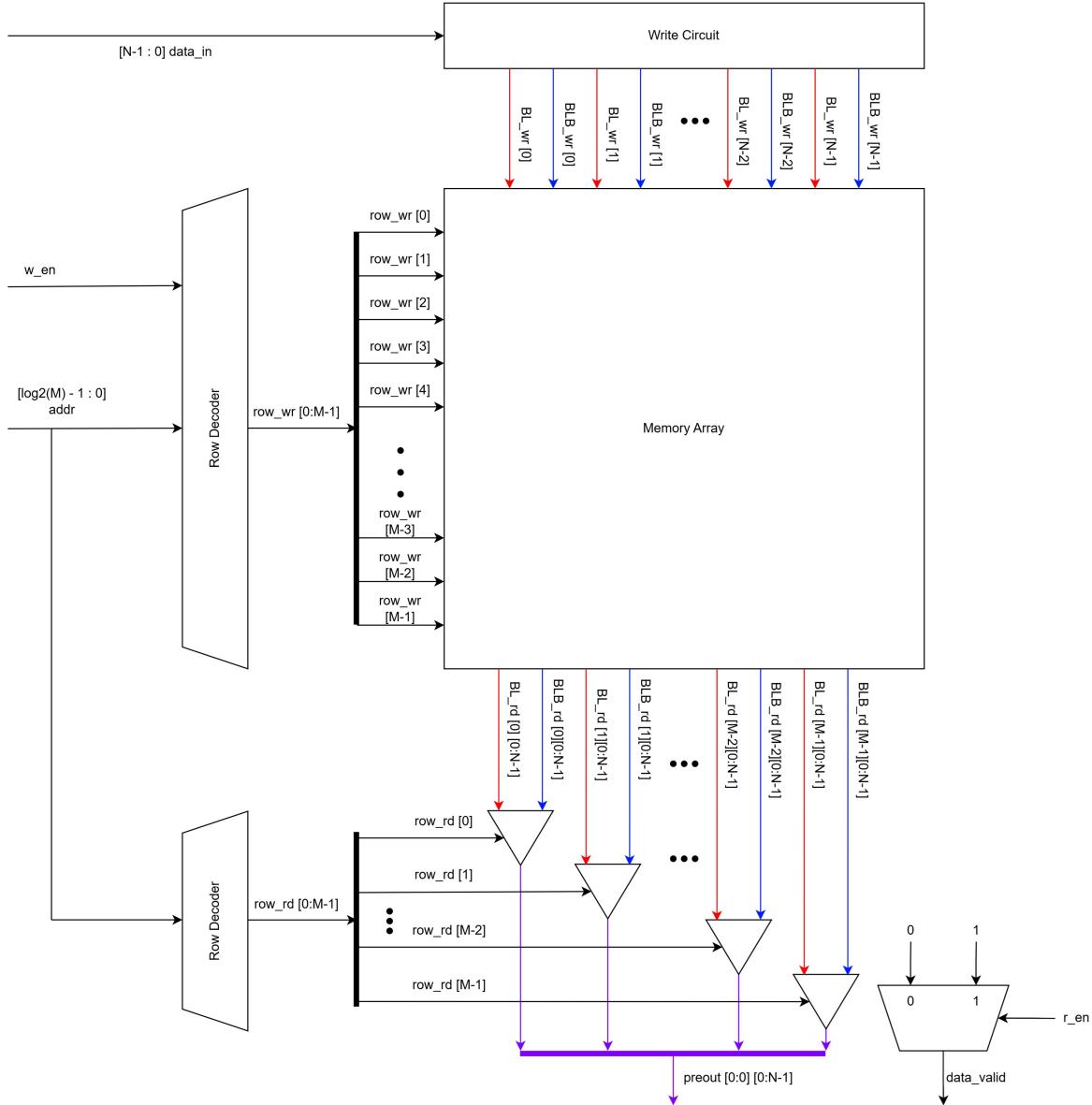


Figura 2: Arquitectura de la memoria SRAM

## 4. Celda SRAM

### 4.1. Celda 6T

La celda de almacenamiento de una memoria sram está formada por:

- 2 inversores cruzados (almacenamiento)
- 2 transistores de acceso
- 2 bitlines diferenciales para escritura (BL\_wr/BLB\_wr)
- 2 bitlines diferenciales para lectura (BL\_rd/BLB\_rd)

Mantiene el dato mientras existe alimentación.

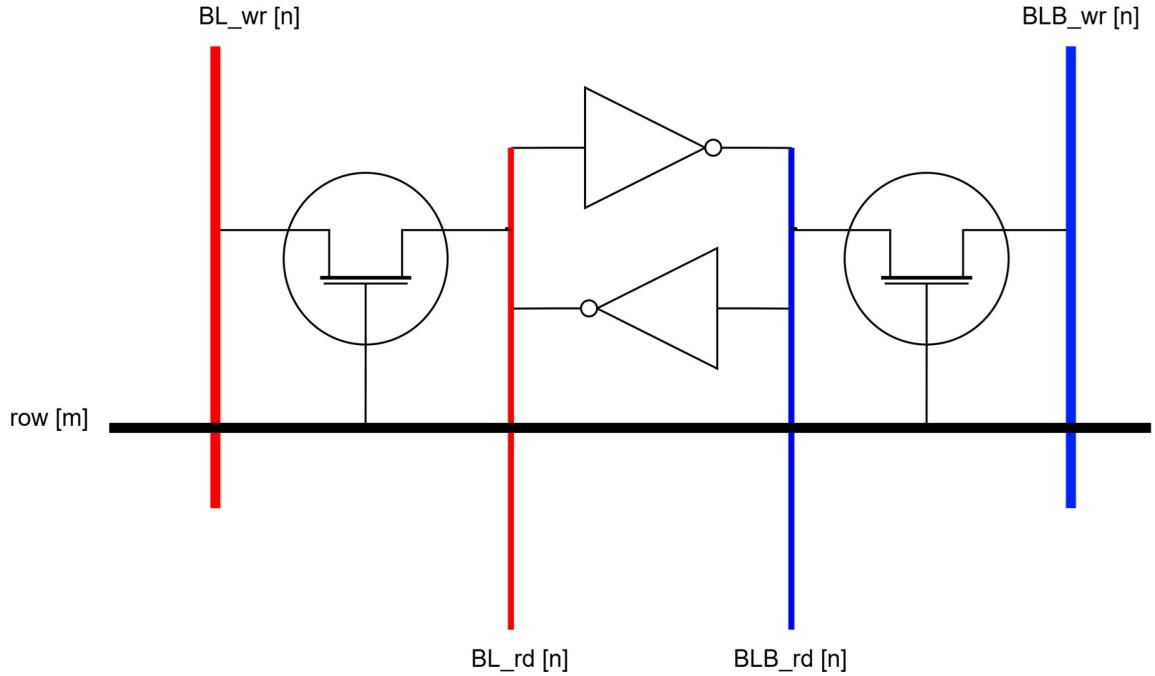


Figura 3: Arquitectura de celda de memoria SRAM

## 5. Funcionamiento

Los posibles estados estables de una celda de memoria SRAM son:

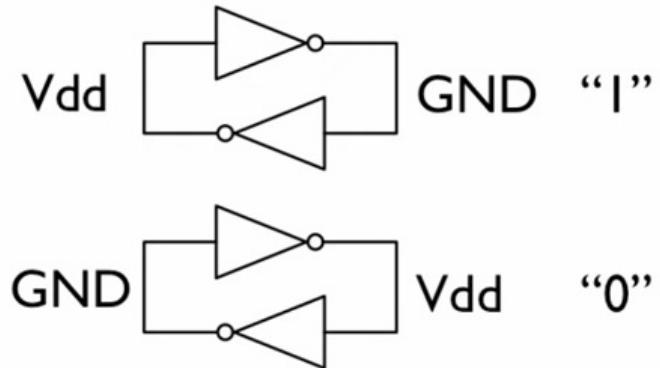


Figura 4: Estados estables de una celda de memoria SRAM

### 5.1. Operación de lectura

1. Selección de fila a través de  $\text{addr} (\text{row\_rd}[m])$  activa
2. Se habilita  $\text{r\_en}$ ,
3. El dato se propaga a la salida

## **5.2. Operación de escritura**

1. El circuito de escritura (Write Driver) establece los valores de cada linea de BL y BLB segun los bits de la palabra que se desea escribir
2. Se activa la fila donde se escribira la palabra a traves de addr (row\_wr [m] activa)
3. Se activa w\_en
4. Se desactiva w\_en