

# Diseño y Arquitectura de una Memoria SRAM

Especificaciones

**Autor:** Armando Sebastián Ramírez Jiménez

**Fecha:** 23 de enero del 2026

# Índice

<b>1. Introducción</b>	<b>2</b>
<b>2. Especificaciones del diseño</b>	<b>2</b>
2.1. Parámetros principales . . . . .	2
<b>3. Arquitectura general</b>	<b>2</b>
3.1. Shift Register - Definicion de puertos . . . . .	3
3.2. SRAM - Definicion de puertos . . . . .	3
3.3. Controller - Definicion de puertos . . . . .	3
3.4. Bloques funcionales de la memoria SRAM . . . . .	3
3.5. Arquitectura de la memoria SRAM . . . . .	4
<b>4. Celda SRAM</b>	<b>5</b>
4.1. Celda 6T . . . . .	5
<b>5. Funcionamiento</b>	<b>5</b>
5.1. Operación de lectura . . . . .	6
5.2. Operación de escritura . . . . .	6

# 1. Introducción

La memoria **Static Random Access Memory (SRAM)** es un tipo de memoria volátil ampliamente utilizada en sistemas digitales de alta velocidad, tales como cachés, buffers y memorias embebidas en ASICs y FPGAs.

A diferencia de la DRAM, la SRAM no requiere refresco periódico, lo que permite menores latencias y mayor desempeño a costa de mayor área.

Este documento describe las especificaciones, arquitectura interna y funcionamiento esperado de un modelo de una memoria SRAM.

## 2. Especificaciones del diseño

### 2.1. Parámetros principales

Parámetro	Valor
Profundidad	256 palabras
Ancho de palabra	8 bits
Tecnología	CMOS 6T
Voltaje	1.2 V
Frecuencia máxima	100 MHz
Latencia	1 ciclo

## 3. Arquitectura general

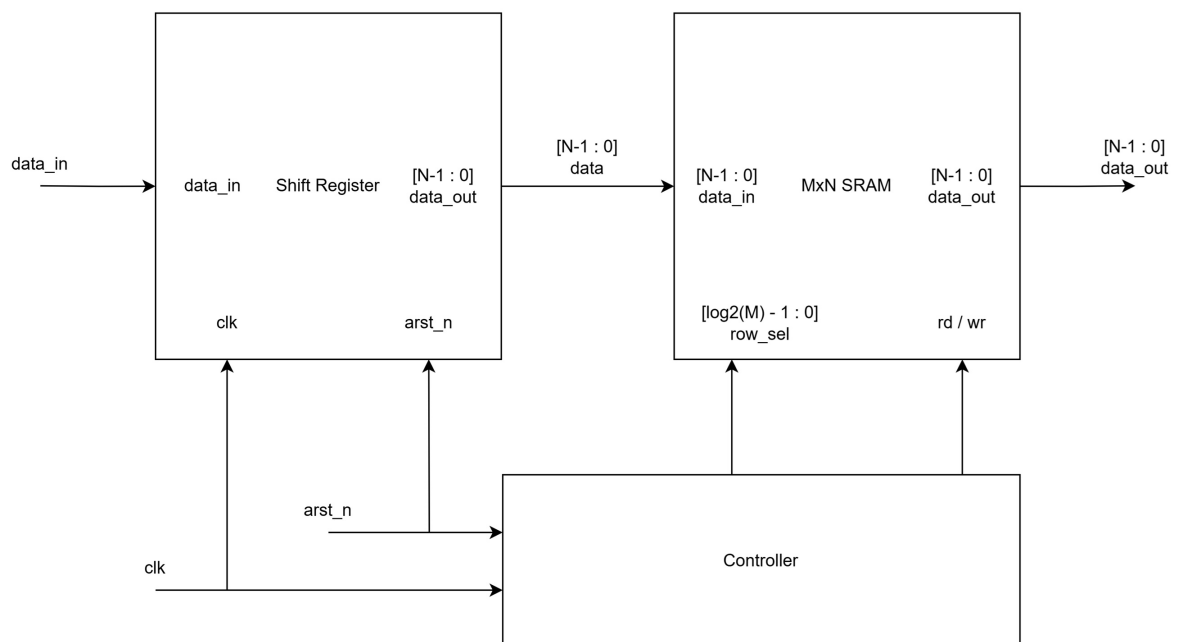


Figura 1: Arquitectura general

### 3.1. Shift Register - Definicion de puertos

Puerto	Bits Usados	Tipo	Descripción
data_in	[1]	Input	Información serial.
data_out	[7:0]	Output	Información en paralelo.
clk	[1]	Input	Señal de reloj.
arst_n	[1]	Input	Señal de reset.

### 3.2. SRAM - Definicion de puertos

Puerto	Bits Usados	Tipo	Descripción
data_in	[7:0]	Input	Información en paralelo a escribir.
data_out	[7:0]	Output	Información en paralelo a leer.
row_sel	[7:0]	Input	Selector de espacio de escritura de memoria.
rd_wr	[1]	Input	Indica si se escriben o se leen los datos.

### 3.3. Controller - Definicion de puertos

Puerto	Bits Usados	Tipo	Descripción
row_sel	[7:0]	Output	Selector de espacio de escritura de memoria.
rd_wr	[1]	Output	Indica si se escriben o se leen los datos.
clk	[1]	Input	Señal de reloj.
arst_n	[1]	Input	Señal de reset.

### 3.4. Bloques funcionales de la memoria SRAM

El modelo de memoria SRAM se compone de:

- Matriz de celdas de memoria (Memory Array)
- Decodificador de filas (Row Decoder)
- 2x1 Multiplexor para BL y BLB
- Precarga de bitlines (Pre-charge System)
- Circuito de escritura (Write Circuit)
- Amplificadores diferenciales
- 2x1 Multiplexor para la salida

### 3.5. Arquitectura de la memoria SRAM

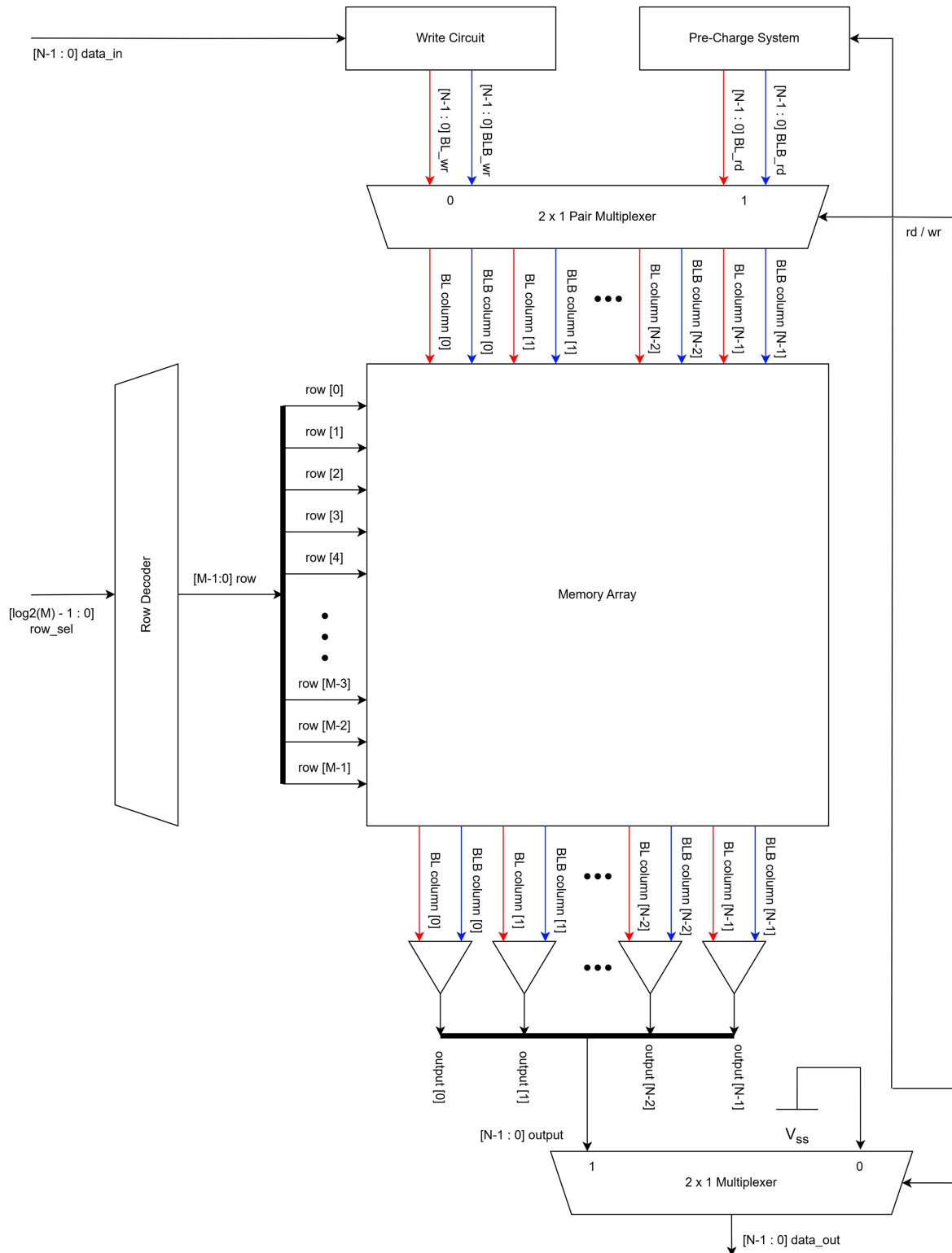


Figura 2: Arquitectura de la memoria SRAM

## 4. Celda SRAM

### 4.1. Celda 6T

La celda de almacenamiento de una memoria sram está formada por:

- 2 inversores cruzados (almacenamiento)
- 2 transistores de acceso
- 2 bitlines diferenciales (BL/BLB)

Mantiene el dato mientras exista alimentación.

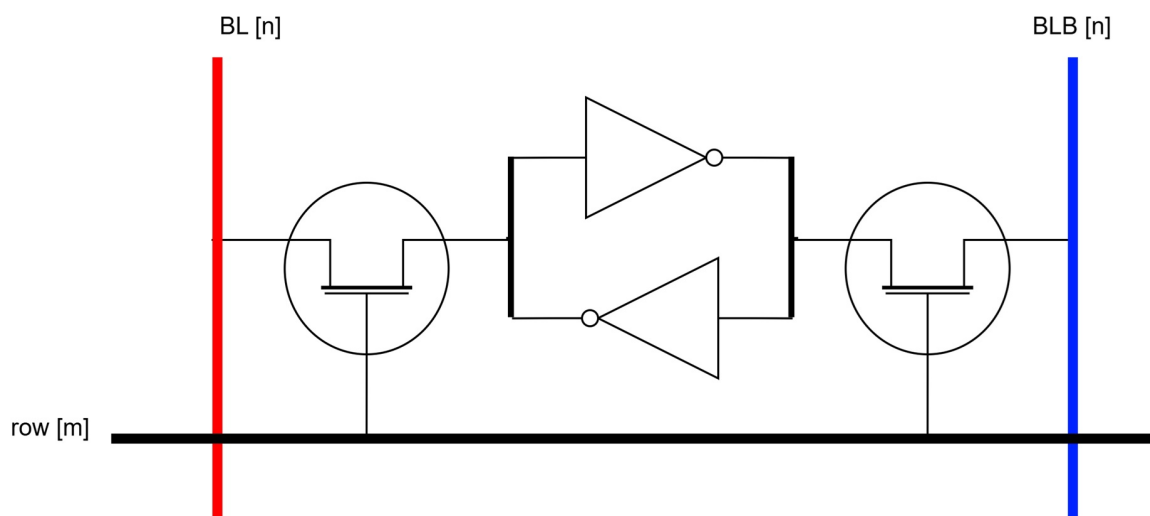


Figura 3: Arquitectura de celda de memoria SRAM

## 5. Funcionamiento

Los posibles estados estables de una celda de memoria SRAM son:

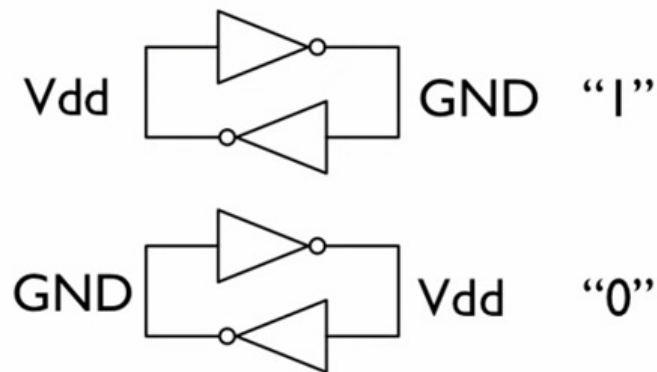


Figura 4: Estados estables de una celda de memoria SRAM

### **5.1. Operación de lectura**

1. Precarga de BL/BLB a VDD
2. Selección de fila (row [m] activa)
3. La celda produce una descarga de potencial a una de las bitlines, según el estado de la celda, el amplificador diferencial se satura a VDD o VSS
4. El dato se propaga a la salida

### **5.2. Operación de escritura**

1. El circuito de escritura (Write Circuit) establece los valores de cada línea de BL y BLB según los bits de la palabra que se desea escribir
2. Se activa la fila donde se escribirá la palabra (row [m] activa)
3. El nuevo valor se sobrescribe en la celda
4. Se desactiva la fila