

# Curso de Verilog - Dia 2

Caio Rodrigo, Jorge Reis

## Prática 3 - Testbenches

### Atividades

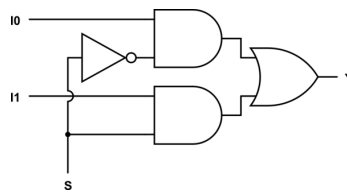
Crie um testbench para cada um dos dois módulos propostos na aula passada: Mux 2x1 e Full Adder. Verifique se os módulos estão funcionando corretamente.

## Prática 4 - Dataflow

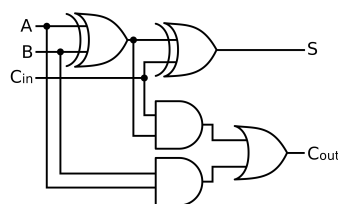
### Atividades

Utilize modelagem em nível de dataflow para resolver as questões abaixo. Você pode usar o testbench da prática anterior em cada módulo.

1. Construa os circuitos abaixo. **Restrição:** não utilize o operador ternário ":" para o multiplexador e o operador "+" para o somador.



Multiplexador 2x1



Full Adder

2. Construa um módulo **ALU** que receba como entrada dois valores (a e b) de 4 bits e uma entrada de seleção (s) de 2 bits. O módulo deverá possuir uma saída (c) de 8 bits e produzir o resultado de acordo com a operação escolhida pela entrada de seleção da seguinte forma:
  - $s = 2'b00$ ; add;
  - $s = 2'b01$ ; sub;
  - $s = 2'b10$ ; mul;
  - $s = 2'b11$ ; div;

Verifique a funcionalidade do módulo por meio de um testbench.