

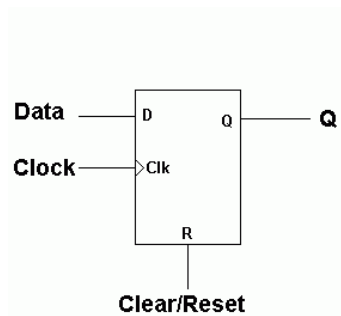
# Curso de Verilog - Dia 3

Caio Rodrigo, Jorge Reis, Manuel Adahil

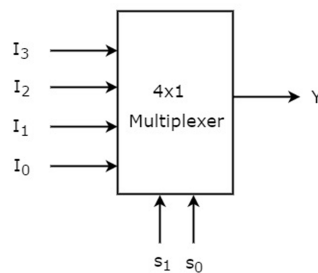
## Prática 5 - Behavioral Modelling

### Atividades

1. Crie um módulo que descreva um Flip-Flop do tipo D ativo em borda de subida e com reset assíncrono e outro com reset síncrono, bem como os seus testbenches.



- (a) O que acontece em cada um dos casos quando o sinal de Reset é levado ao nível alto e, em seguida, a um nível baixo antes de uma borda de subida do clock?
  - (b) O que foi mudado nos testbenches de cada módulo em relação ao teste do sinal de Reset?
2. Crie um módulo que descreva um multiplexador 4x1 em nível comportamental utilizando a estrutura do tipo **case**(somente o tipo normal).

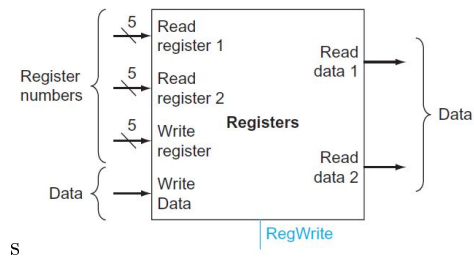


3. Desenvolva um multiplexador 8x1, utilizando dois multiplexadores 4x1 e um multiplexador 2X1, bem como seu testbench. Para isso, desenvolva os multiplexadores 4x1 e 2x1 utilizando **case**.

### Fatality

Register File é um componente fundamental de qualquer CPU atual pois nele são guardados os registradores (pequenas memórias) que são usadas na execução de instruções de uma CPU. Os registradores são como pequenas variáveis que guardam valores, por exemplo: na instrução **ADD R3, R1, R2**, os valores de **R1** e **R2** são somados e o resultado é escrito em **R3**.

A estrutura de um register file pode ser vista como no seguinte bloco:



Register File da arquitetura RISC-V.

Entradas:

- Read Registers [4:0]: endereço que determina os registradores a serem lidos;
- Write Register [4:0]: endereço do registrador a ser escrito;
- Write Data [31:0]: Valor a ser escrito no registrador;
- RegWrite: habilita o Register File a receber dados pela Write Data;
- Clock: sinal omitido na imagem.

Saídas:

- Read Data [31:0]: disponibiliza o valor contido no registrador determinado pelo endereço de Read Register.

Crie um Register File de acordo com a arquitetura RISC-V, para isso, leve em conta as seguintes considerações:

- O Register File é um circuito síncrono ativado em borda de subida para realizar operações de escrita e combinacional para realizar operações de leitura, ou seja, a cada borda de subida do clock, é possível fazer uma escrita caso o RegWrite esteja ativo. A leitura poder ser feita a qualquer momento apenas alterando o endereço em Read Register 1 ou 2;
- O Register File possui **32 registradores** de **32 bits**;
- A arquitetura RISC-V especifica que qualquer leitura ao endereço registrador zero (**R0**) deve retornar o valor **0**.