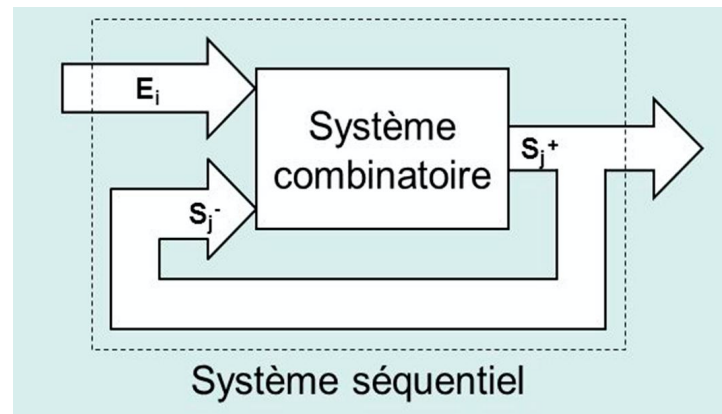




**Ecole Marocaine
Des Sciences de l'Ingénieur**

Logique séquentielle



Dr. Yassine CHAIBI - chaibi.yassine@gmail.com

Année universitaire 2019-2020

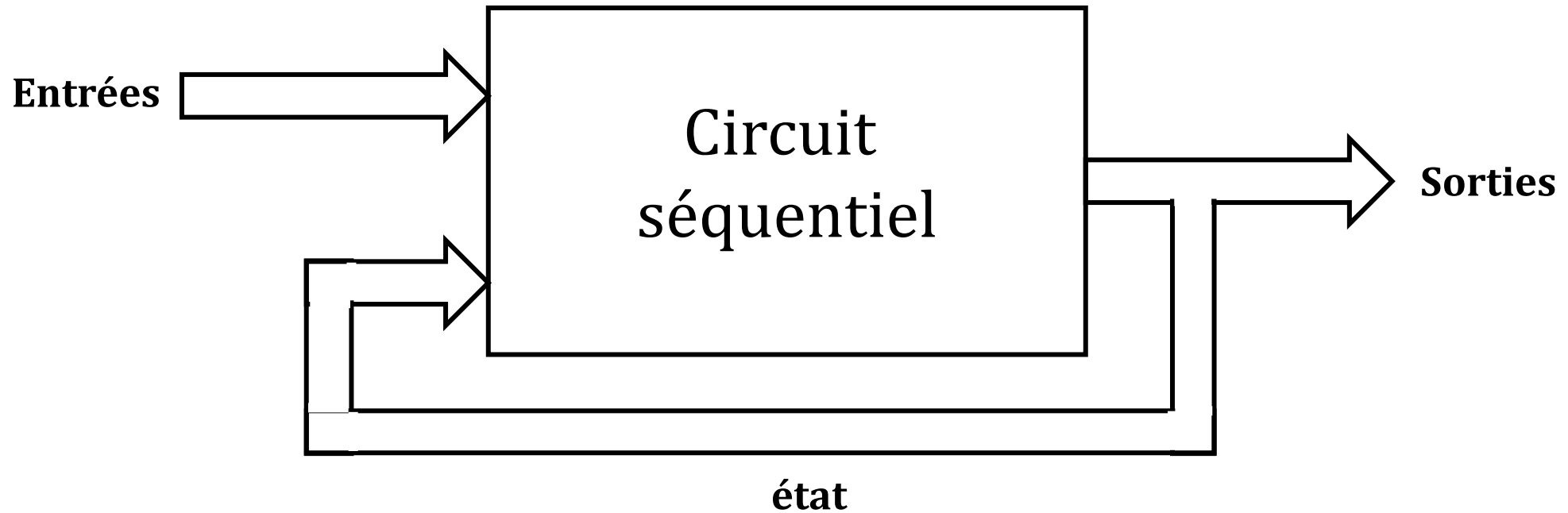
Chapitre 5 : La logique séquentielle

- ✓ Introduction
- ✓ Les bascules
- ✓ Les compteurs
- ✓ Les registres

Chapitre 5 : La logique séquentielle

I- Introduction

Circuit séquentiel : circuit dont l'état des sorties dépend non seulement des entrées mais également de **l'état antérieur** des sorties (propriétés de mémorisation).

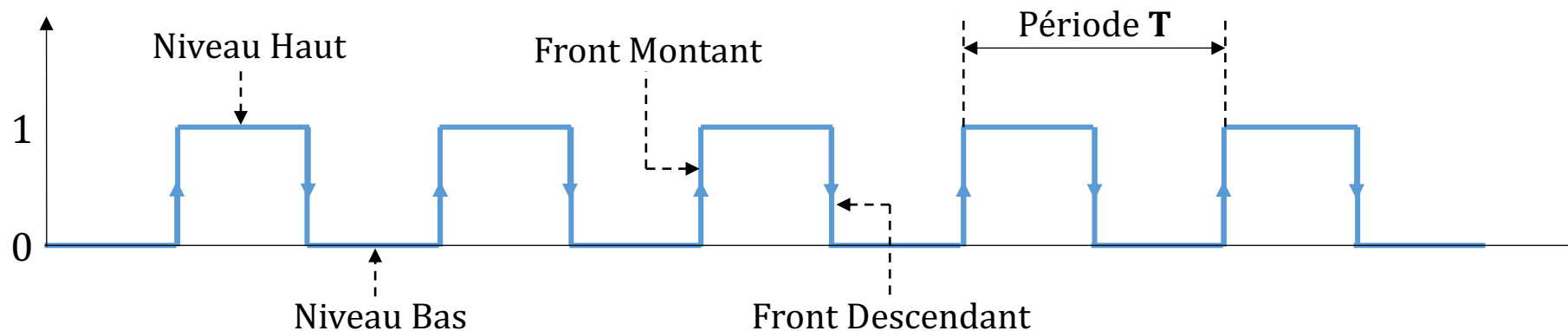


Chapitre 5 : La logique séquentielle

I- Introduction

Circuits asynchrones : un système séquentiel est asynchrone si à partir de l'instant où on applique un vecteur d'entrée, son évolution est incontrôlable de l'extérieur..

Circuits synchrones : un système séquentiel est synchrone si son évolution est contrôlable de l'extérieur par un **signal d'horloge** (train d'ondes carrées ou rectangulaires) afin d'éviter les multiples états transitoires notamment lorsque des entrées changent d'état simultanément



Chapitre 5 : La logique séquentielle

II- Les bascules

1. Définition

- La bascule constitue le système séquentiel de base et permet de mémoriser un élément d'information élémentaire appelé bit.
- La bascule peut être Synchrone ou Asynchrone.
- Elle possède un ou plusieurs entrées et deux sorties complémentaires Q et \bar{Q} .

Chapitre 5 : La logique séquentielle

II- Les bascules

2. Bascule RS asynchrone

Symbole :

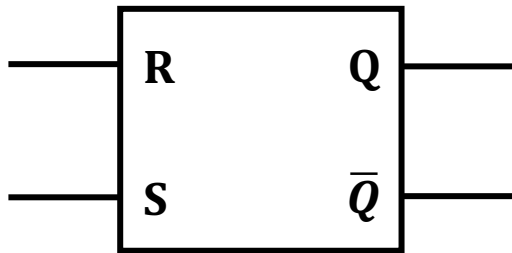
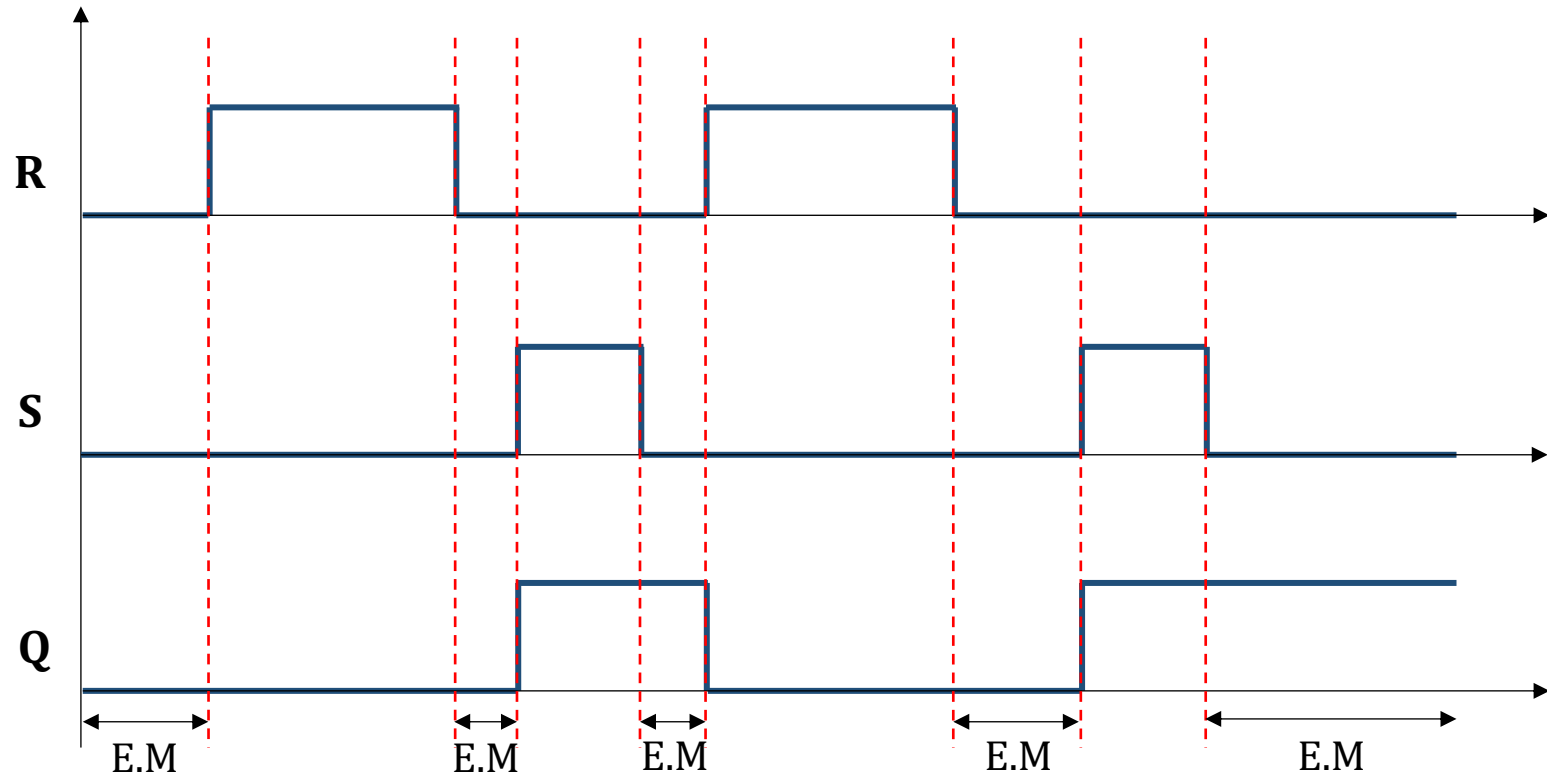


Table de fonctionnement

R	S	Q_n	
0	0	Q_{n-1}	Etat mémoire
0	1	1	Mise à 1 (Set)
1	0	0	Mise à 0 (Reset)
1	1	X	Etat interdit

Chronogramme :



Chapitre 5 : La logique séquentielle

II- Les bascules

2. Bascule RS asynchrone

R	S	Q_{n-1}	Q_n	$\overline{Q_n}$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	X	X
1	1	1	X	X

RS

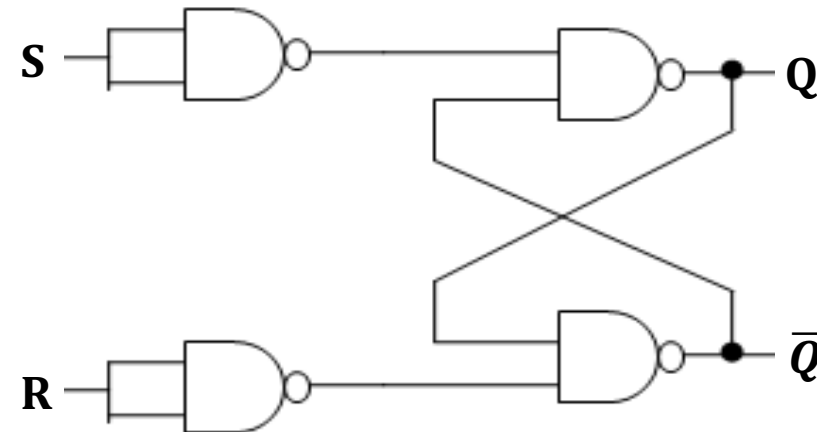
	00	01	11	10
0	0	1	X	0
1	1	1	X	0

RS

	00	01	11	10
0	1	0	X	1
1	0	0	X	1

$$Q_n = S + \overline{R} \cdot Q_{n-1}$$

$$\overline{Q_n} = R + \overline{S} \cdot \overline{Q_{n-1}}$$

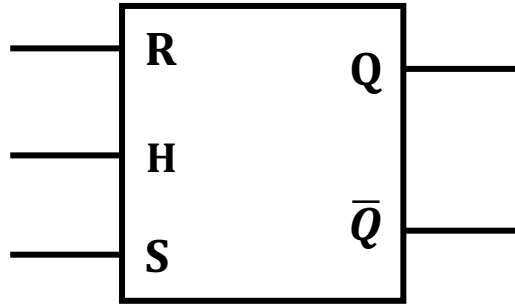


Chapitre 5 : La logique séquentielle

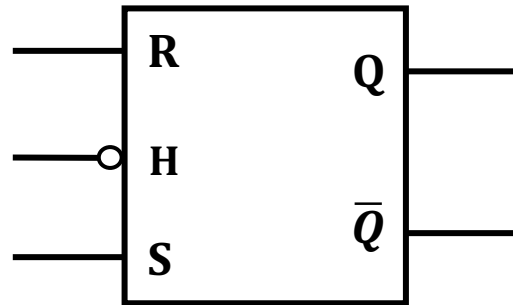
II- Les bascules

3. Bascule RSH (RS synchrone)

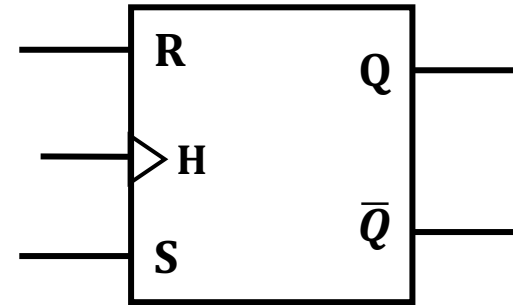
Le changement d'état de la sortie, qui correspond à une nouvelle combinaison des valeurs d'entrée, ne peut s'effectuer que lorsqu'un signal d'horloge prend lui-même une valeur donnée.



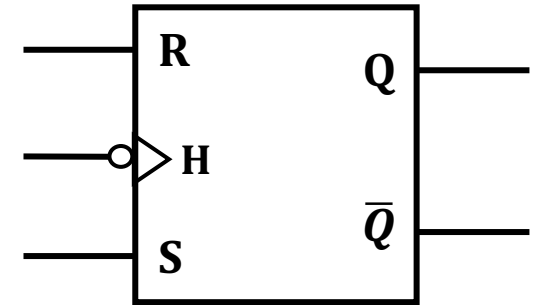
Bascule synchrone activée sur le niveau haut



Bascule synchrone activée sur le niveau bas



Bascule synchrone activée sur le front montant



Bascule synchrone activée sur le front descendant

Chapitre 5 : La logique séquentielle

II- Les bascules

3. Bascule RSH (RS synchrone) *sur le niveau haut*

Table de fonctionnement

H	R	S	Q_n	
0	X	X	Q_{n-1}	Mémorisation
1	0	0	Q_{n-1}	Bascule RS
	0	1	1	
	1	0	0	
	1	1	X	

Exercice : à partir de la table de vérité de cette bascule, déterminer l'équation de sa sortie et réaliser le logigramme avec des portes NAND uniquement.

H	Q_{n-1}	R	S	Q_n	$\overline{Q_n}$
0	0	0	0	0	1
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	1	X	X
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	1	X	X

RS

	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	1	1	X	0
10	0	1	X	0

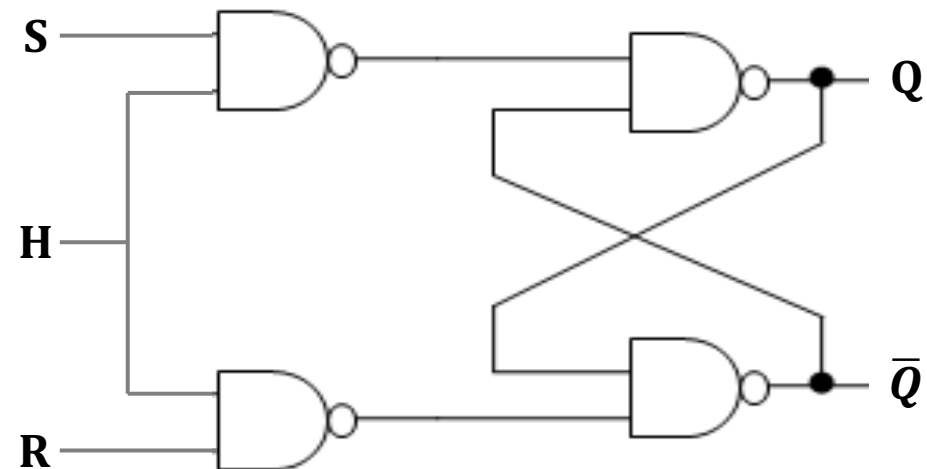
HQ_{n-1}

$$Q_n = Q_{n-1}\overline{R} + \overline{H}Q_{n-1} + HS$$

$$Q_n = Q_{n-1}(\overline{R} + \overline{H}) + HS$$

$$Q_n = \overline{\overline{Q_{n-1}(\overline{RH}) + HS}}$$

$$Q_n = \overline{\overline{Q_{n-1}(\overline{RH})} \cdot \overline{HS}}$$

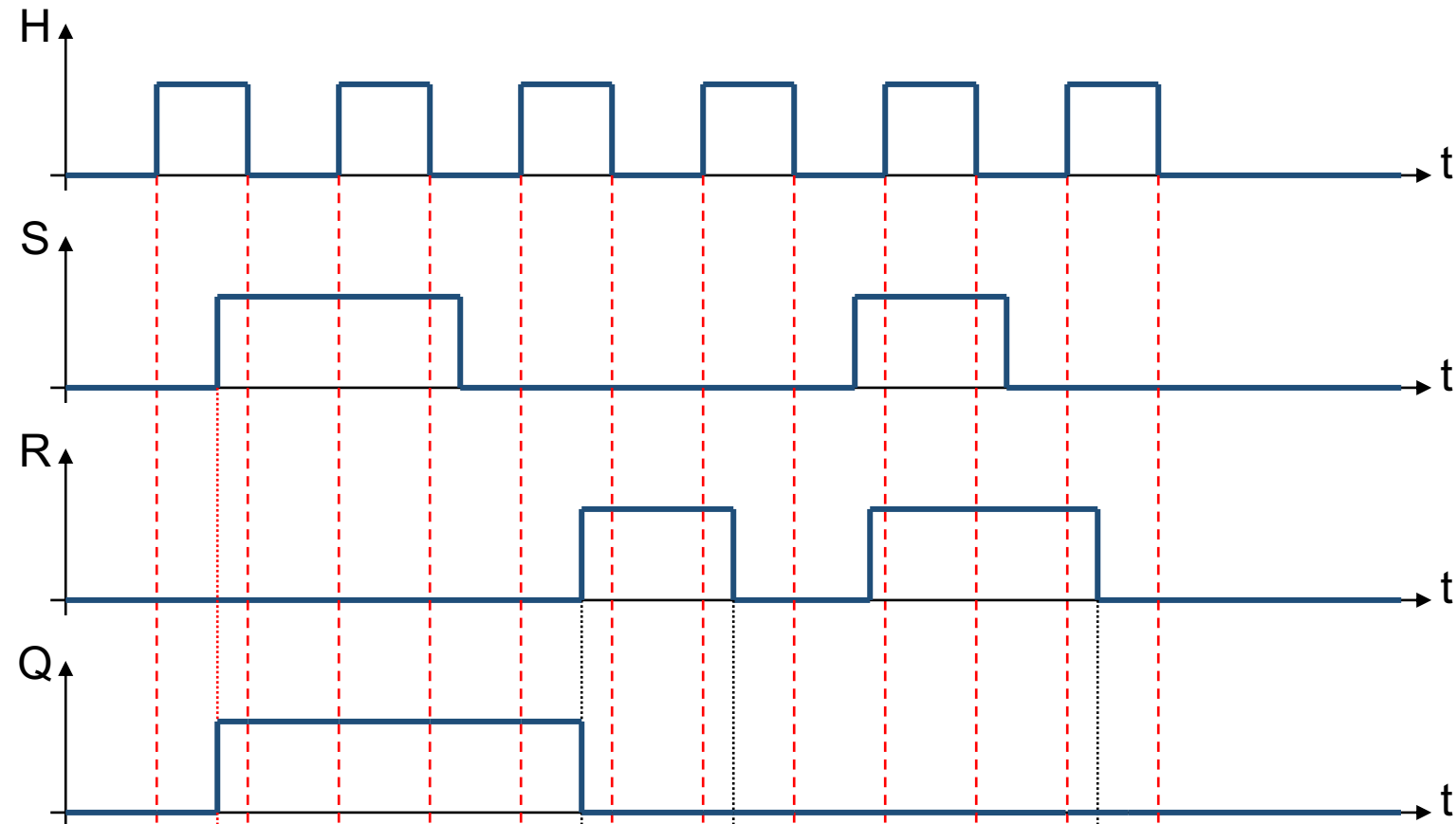


Chapitre 5 : La logique séquentielle

II- Les bascules

3. Bascule RSH (RS synchrone) *sur le niveau haut*

Chronogramme :




Chapitre 5 : La logique séquentielle

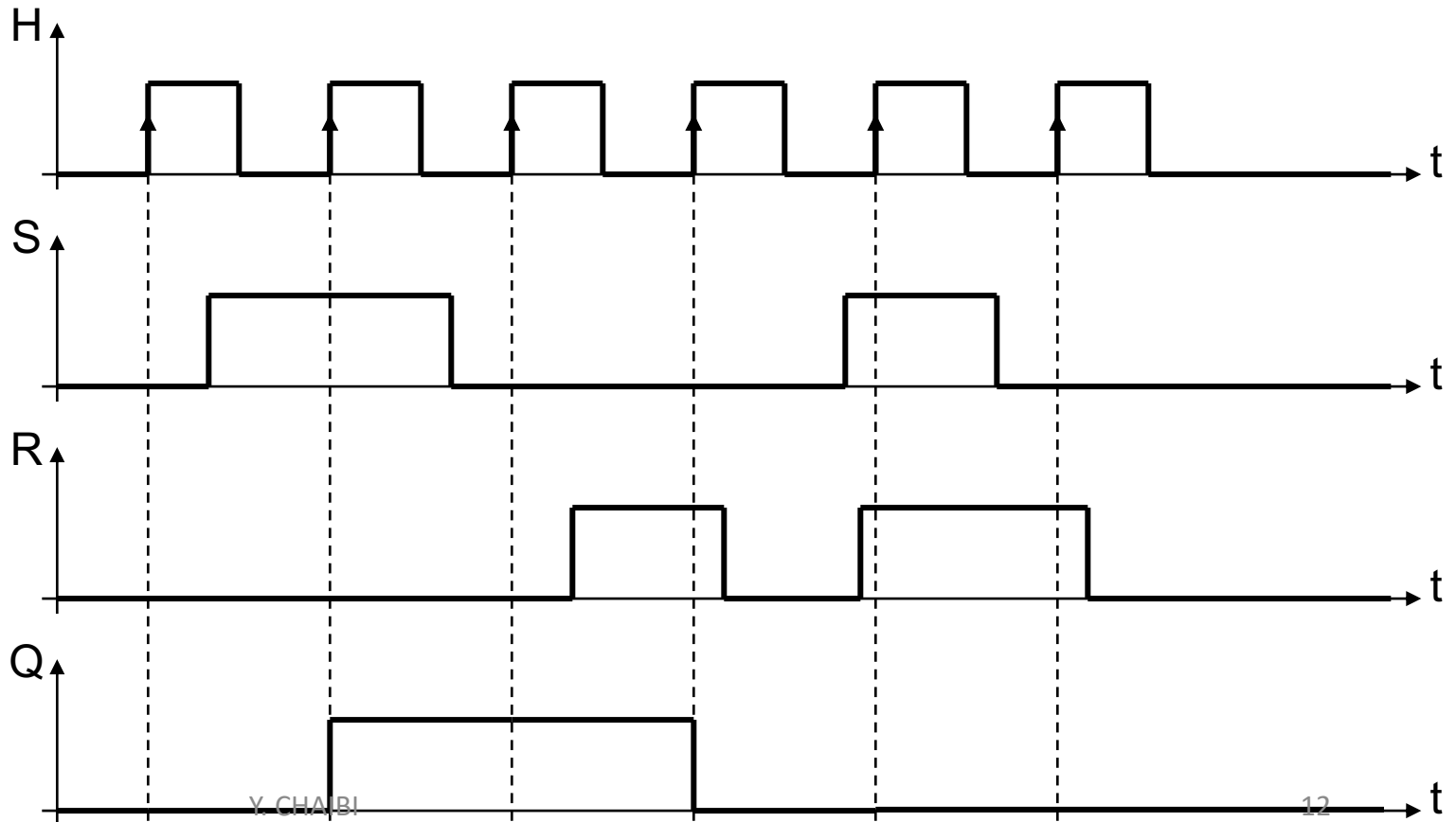
II- Les bascules

3. Bascule RSH (RS synchrone) *sur le front montant*

Table de fonctionnement

H	R	S	Q_n	
0	X	X	Q_{n-1}	Mémorisation
1	X	X	Q_{n-1}	Mémorisation
	0	0	Q_{n-1}	Bascule RS
	0	1	1	
	1	0	0	
	1	1	X	

Chronogramme :



Chapitre 5 : La logique séquentielle

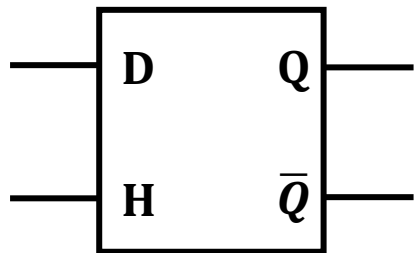
II- Les bascules

4. Bascule D

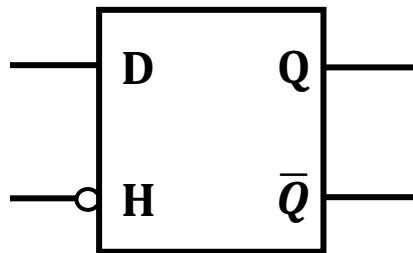
La bascule D est une bascule synchrone qui possède une entrée de donnée D (Data), une entrée d'horloge H, une sortie Q et une sortie complément de Q.

Le signal de synchronisation est actif :

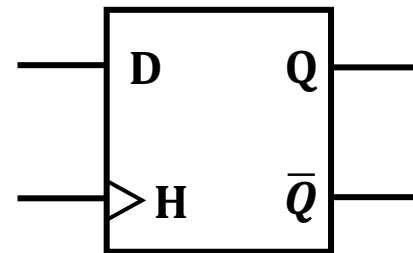
- ✓ soit sur un niveau (haut ou bas) de l'horloge (bascule D latch)
- ✓ soit sur un front (montant ou descendant) de l'horloge (bascule D edge triggered)



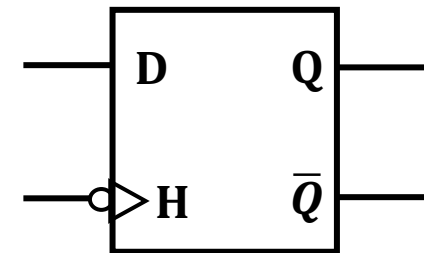
Bascule D activée sur le niveau haut



Bascule D activée sur le niveau haut



Bascule D activée sur le front montant



Bascule D activée sur le front descendant

Chapitre 5 : La logique séquentielle

II- Les bascules

4. Bascule D

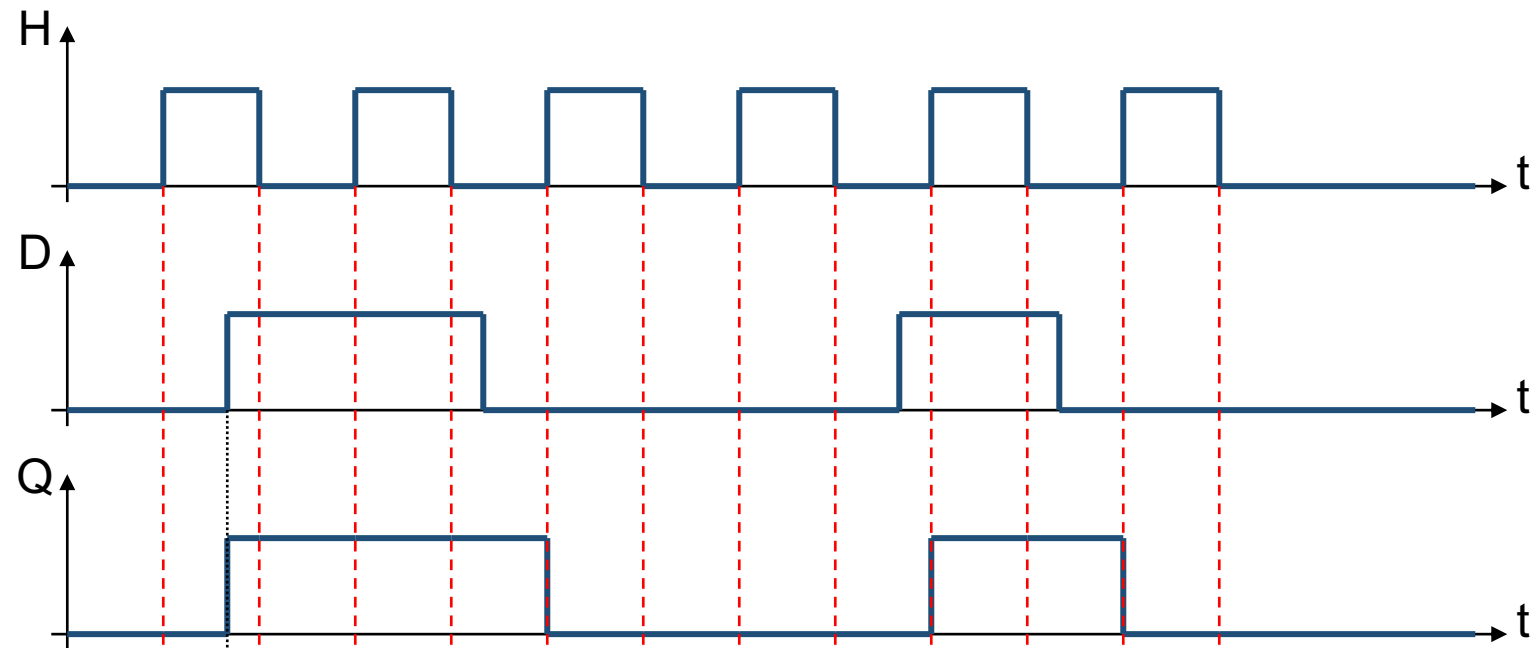
4.1. Bascule D Latch synchronisée par le niveau haut

La bascule D est une bascule synchrone qui possède une entrée de donnée D (Data), une entrée d'horloge H, une sortie Q et une sortie complément de Q.

Table de fonctionnement

H	D	Q_n	
0	0	Q_{n-1}	Etat mémoire
0	1	Q_{n-1}	
1	0	0	Mise à 0
1	1	1	Mise à 1

Chronogramme :



Chapitre 5 : La logique séquentielle

II- Les bascules

4. Bascule D

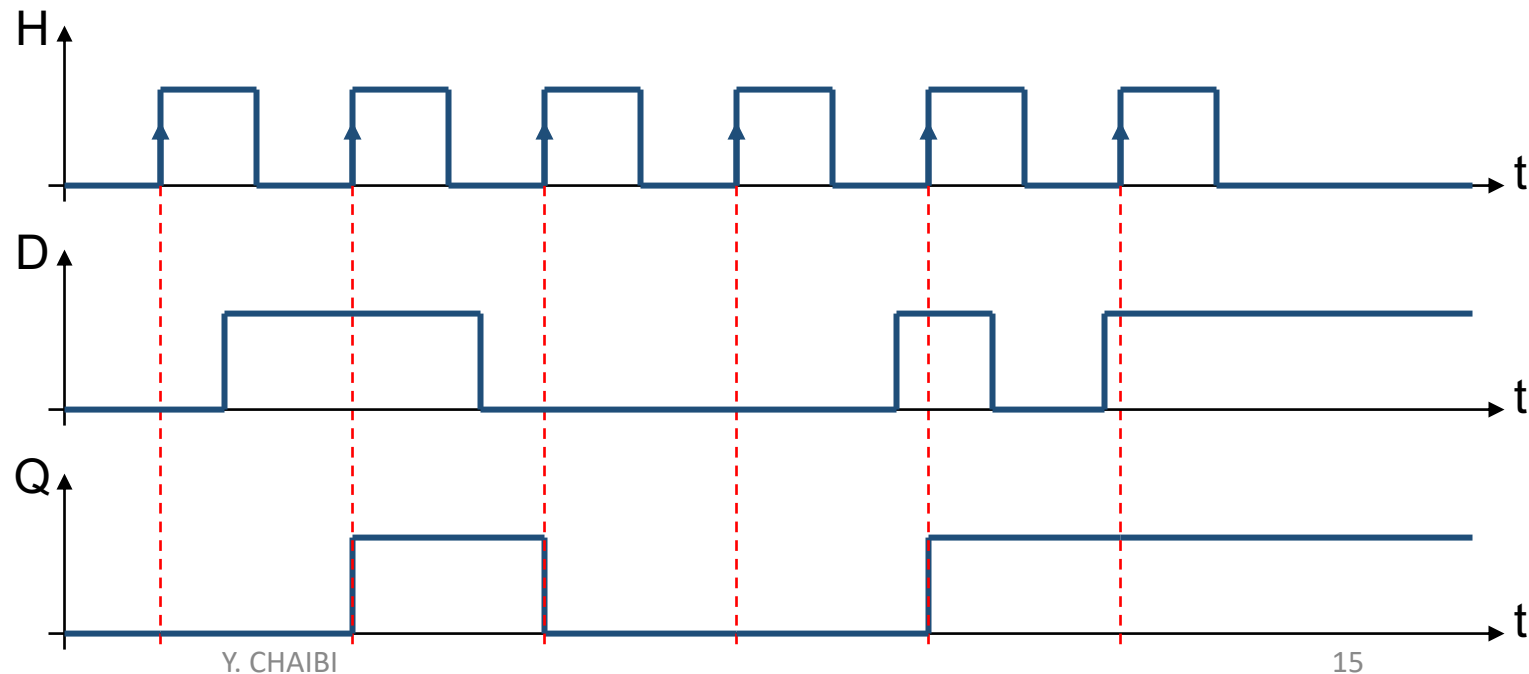
4.1. Bascule D synchronisée par le front montant (positive edge triggered):

La bascule D est une bascule synchrone qui possède une entrée de donnée D (Data), une entrée d'horloge H, une sortie Q et une sortie complément de Q.

Table de fonctionnement

H	D	Q_n	
0/1/↓	X	Q_{n-1}	Etat mémoire
↑	0	0	Mise à 1
	1	1	Mise à 0

Chronogramme :



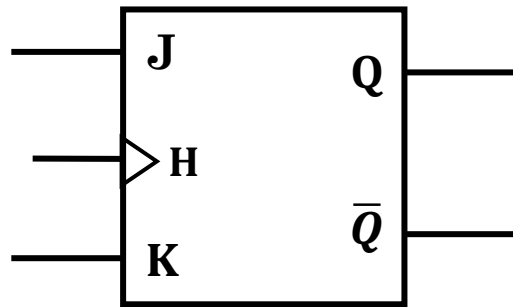
Chapitre 5 : La logique séquentielle

II- Les bascules

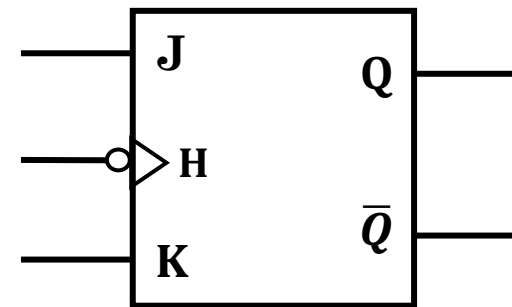
5. Bascule JK

La bascule JK est une bascule synchrone (le plus souvent sur front) qui possède une entrée J de mise à 1, une entrée K de mise à 0, une entrée d'horloge H, une sortie Q et une sortie complément de Q.

Son fonctionnement diffère de celui d'une bascule RST pour la situation ambiguë $R=S=1$. Dans le cas $J=K=1$, la sortie est inversée.



Bascule JK activée sur le front montant



Bascule JK activée sur le front descendant

Chapitre 5 : La logique séquentielle

II- Les bascules

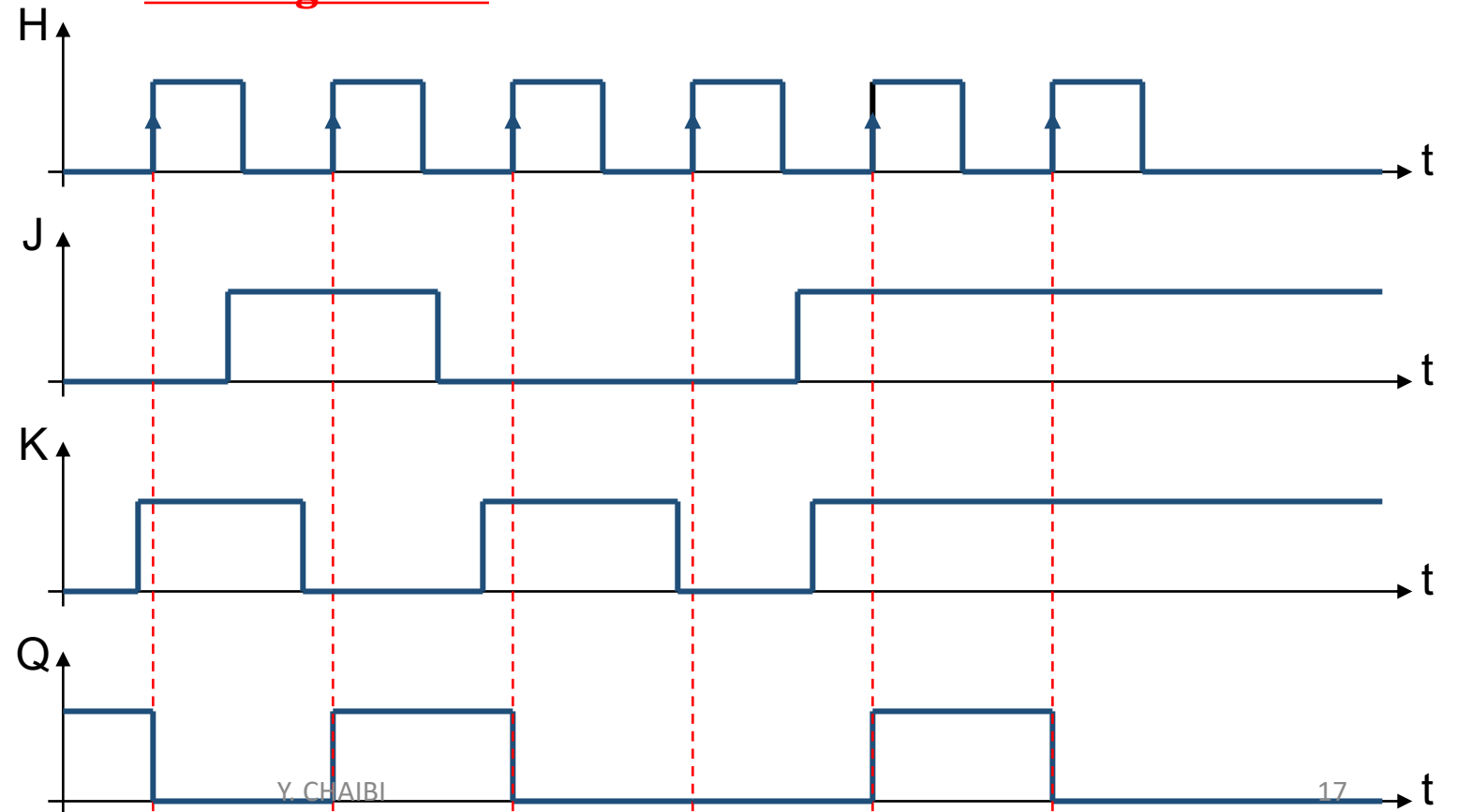
5. Bascule JK

4.1. Bascule JK synchronisée par le front montant

Table de fonctionnement:

H	J	K	Q_n	
0/1/.↓	X	X	Q_{n-1}	Mémoire
↑	0	0	Q_{n-1}	
	0	1	0	Mise à 0
	1	0	1	Mise à 1
	1	1	$\overline{Q_{n-1}}$	Inversion

Chronogramme :



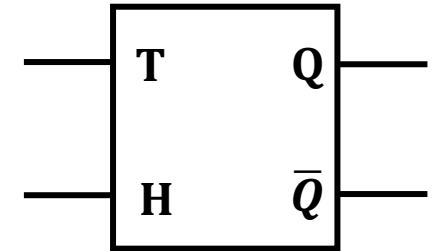
Chapitre 5 : La logique séquentielle

II- Les bascules

5. Bascule T

La bascule T est une bascule synchrone qui possède une entrée de donnée T, une entrée d'horloge H, une sortie Q et une sortie complément de Q.

Son fonctionnement est un cas particulier de la bascule JK ou les entrées J et K sont connectées ensemble

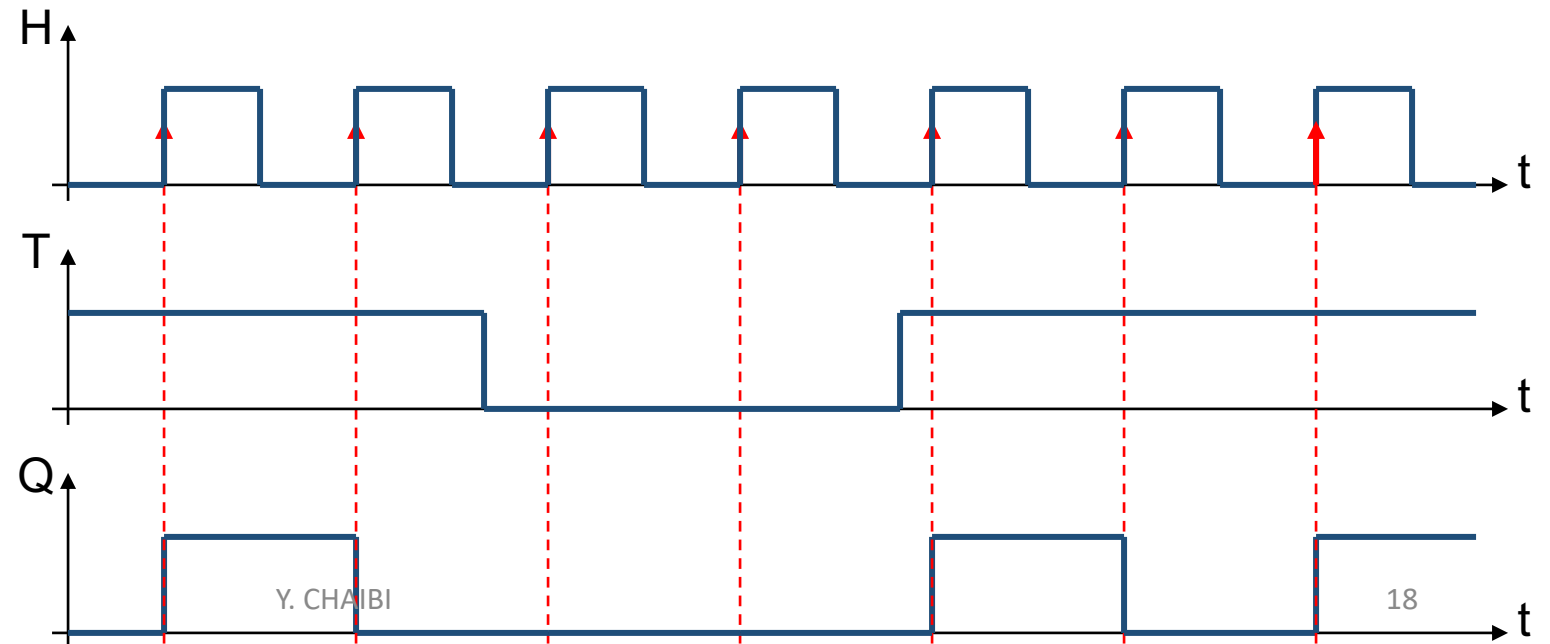


Bascule D activée sur le front montant

Table de fonctionnement:

H	T	Q_n	
0/1/↓	X	Q_{n-1}	Etat mémoire
↑	0	Q_{n-1}	Mise à 1
	1	$\overline{Q_{n-1}}$	Mise à 0

Chronogramme :



Chapitre 5 : La logique séquentielle

II- Les bascules

6. Entrées prioritaires asynchrones des bascules

La plupart des bascules synchrones possèdent des entrées prioritaires asynchrones. Elles agissent indépendamment de l'horloge et des entrées synchrones des bascules. Elles servent à forcer, à tout moment, la mise à 1 ou à 0 de la bascule, quelles que soient les conditions d'entrée.

La Bascule JK à déclenchement sur front montant avec entrées de forçage non complémentées :

Symbole:

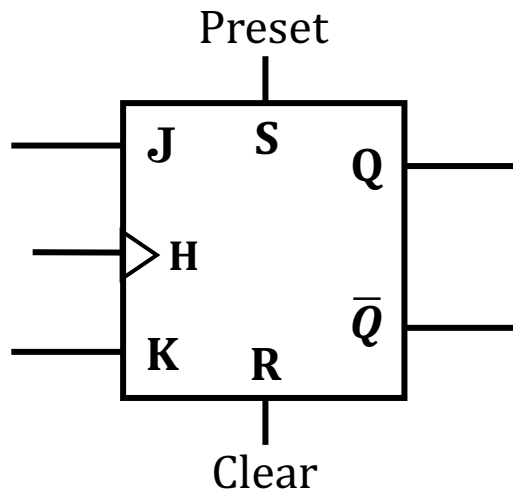


Table de fonctionnement:

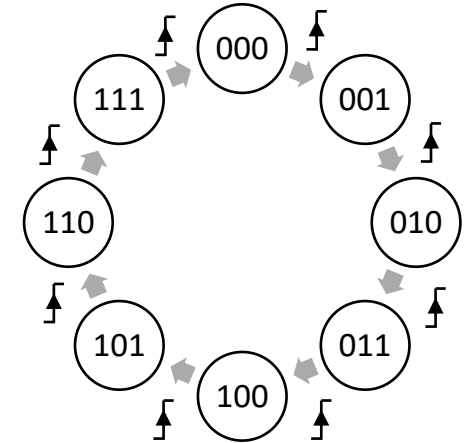
R	S	H	J	K	Q_n	
1	0	X	X	X	0	Forçage à 1
0	1	X	X	X	1	Forçage à 0
0	0	↑	0	0	Q_{n-1}	Mémorisation
0	0	↑	0	1	0	Mise à 1
0	0	↑	1	0	1	Mise à 0
0	0	↑	1	1	$\overline{Q_{n-1}}$	Inversion
1	1	X	X	X	X	Interdit

Chapitre 5 : La logique séquentielle

III- Les compteurs

1. Définitions

- Un compteur est un circuit séquentiel comportant n bascules décrivant au rythme d'une horloge un cycle de comptage régulier ou quelconque d'un maximum de 2^n combinaisons.
- La combinaison des états des bascules forme un mot binaire qui définit l'état du compteur et qui évolue au cours du temps.
- Un compteur Modulo M est un compteur dont le cycle évolue de 0 à $(M - 1)$.
- La synthèse d'un compteur consiste à définir les équations de commande des bascules assurant le cycle prévu.
- Selon l'horloge des bascules, nous distinguons entre :
 - ✓ **Les Compteurs Asynchrones**: Les états des bascules du compteur évoluent successivement en cascade (les bascules possèdent des horloges différentes).
 - ✓ **Les Compteurs Synchrones**: Les états des bascules du compteur évoluent simultanément au rythme de l'horloge.



Compteur Modulo 8

Chapitre 5 : La logique séquentielle

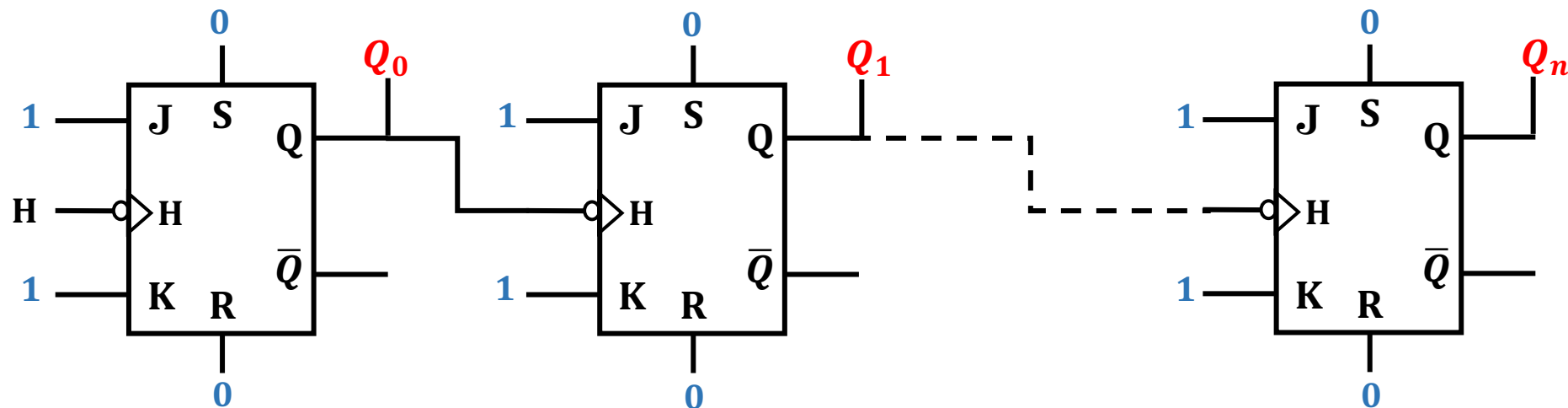
III- Les compteurs

2. Compteurs/Décompteurs asynchrones

2.1. Compteur asynchrone modulo 2^n

L'horloge déclenche la première bascule dont la sortie sert d'horloge à la bascule suivante et ainsi de suite jusqu'à la $n^{ième}$ bascule.

Avec une bascule JK à déclenchement sur front descendant et lorsque $J=K=1$, la sortie change d'état à chaque front de l'horloge.



Chapitre 5 : La logique séquentielle

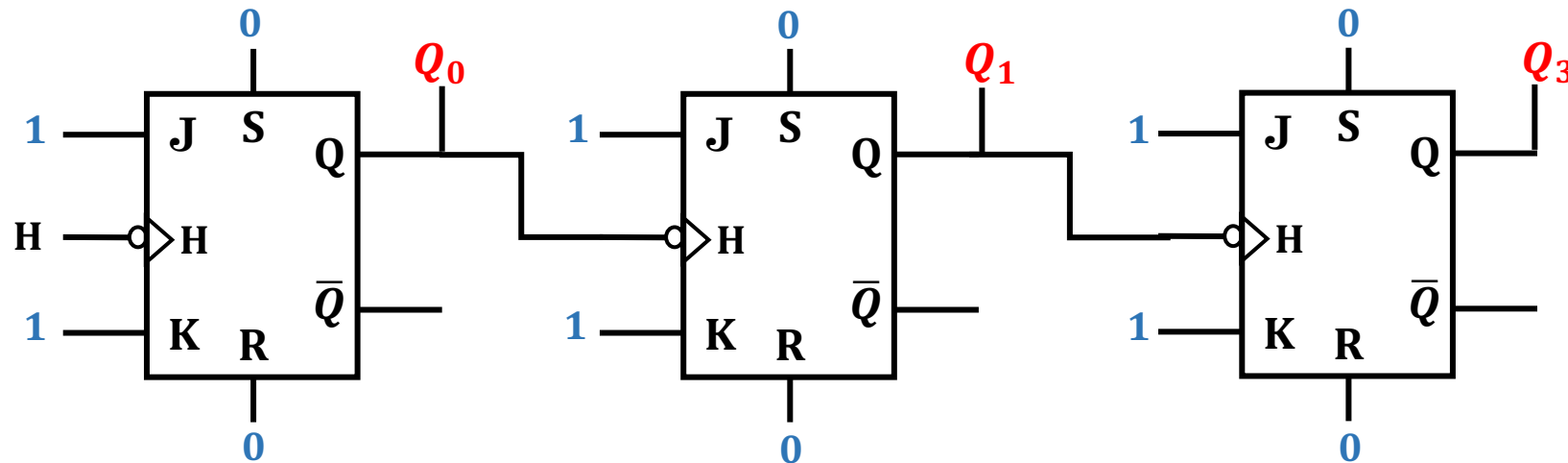
III- Les compteurs

2. Compteurs/Décompteurs asynchrones

2.1. Compteur asynchrone modulo 2^n

Exemple : Compteur asynchrone modulo 8

Logigramme :



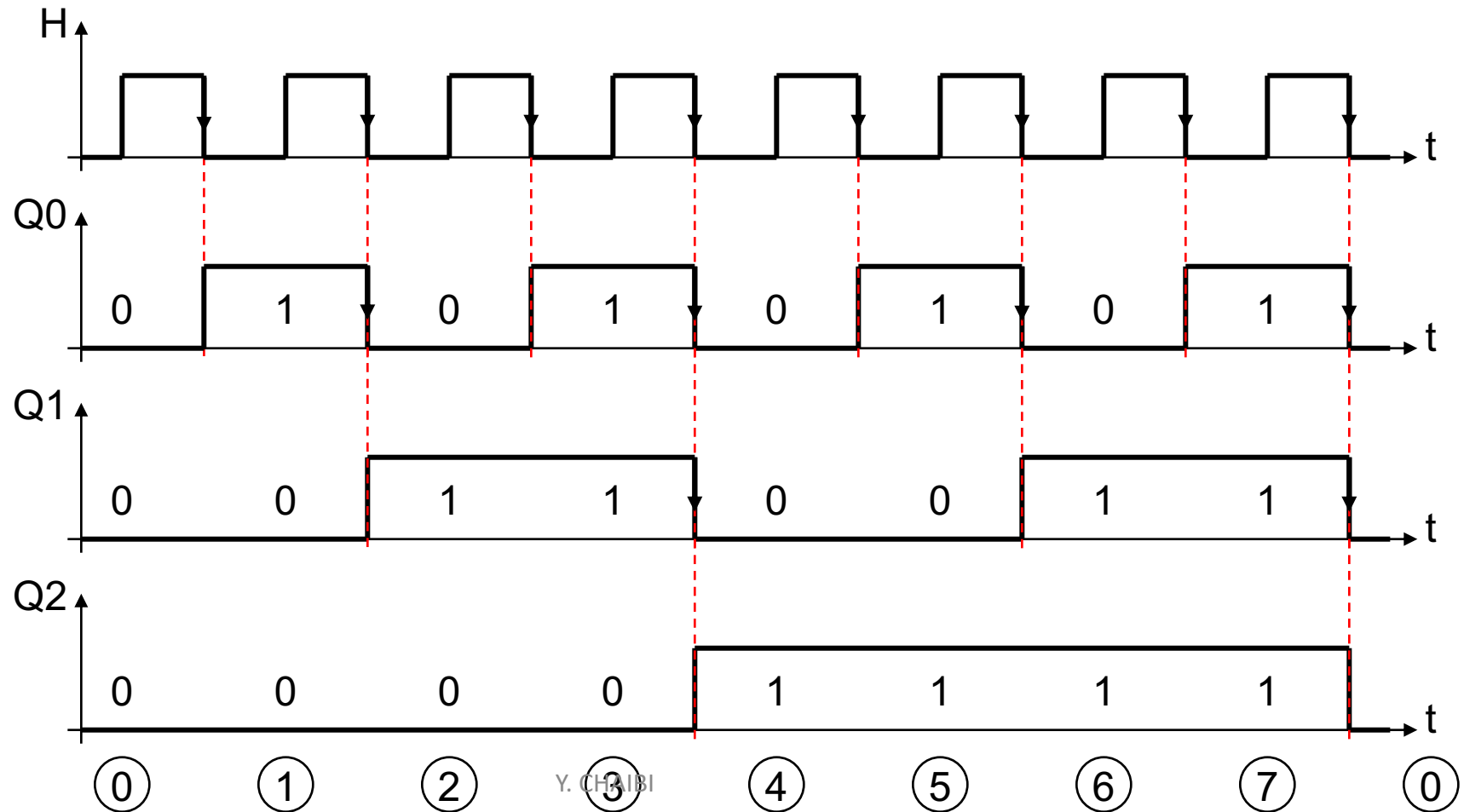
Chapitre 5 : La logique séquentielle

III- Les compteurs

2. Compteurs/Décompteurs asynchrones

2.1. Compteur asynchrone modulo 2^n

Chronogramme :



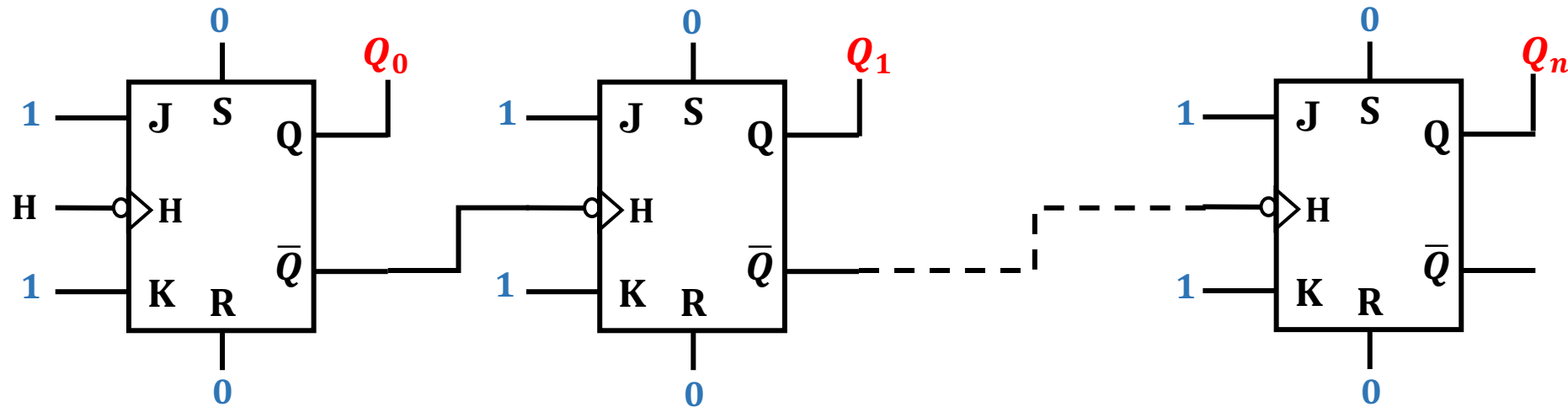
Chapitre 5 : La logique séquentielle

III- Les compteurs

2. Compteurs/Décompteurs asynchrones

2.2. Décompteur asynchrone modulo 2^n

L'horloge déclenche la première bascule dont la sortie complémentée sert d'horloge à la bascule suivante et ainsi de suite jusqu'à la $n^{\text{ième}}$ bascule.



Chapitre 5 : La logique séquentielle

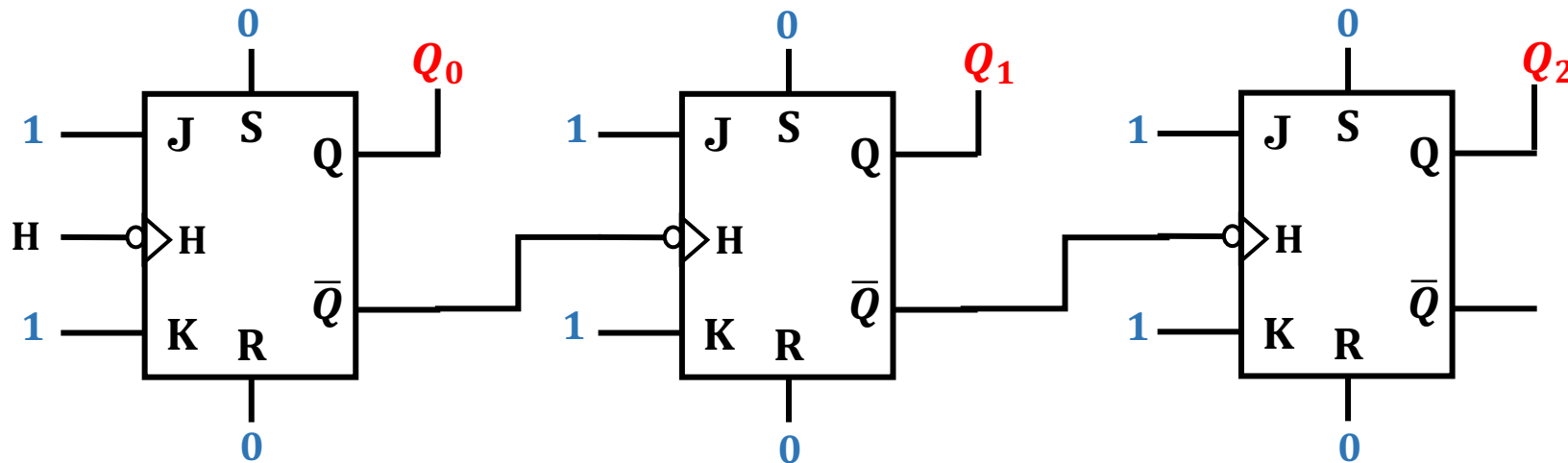
III- Les compteurs

2. Compteurs/Décompteurs asynchrones

2.2. Décompteur asynchrone modulo 2^n

Exemple : Décompteur asynchrone modulo 8

Logigramme :



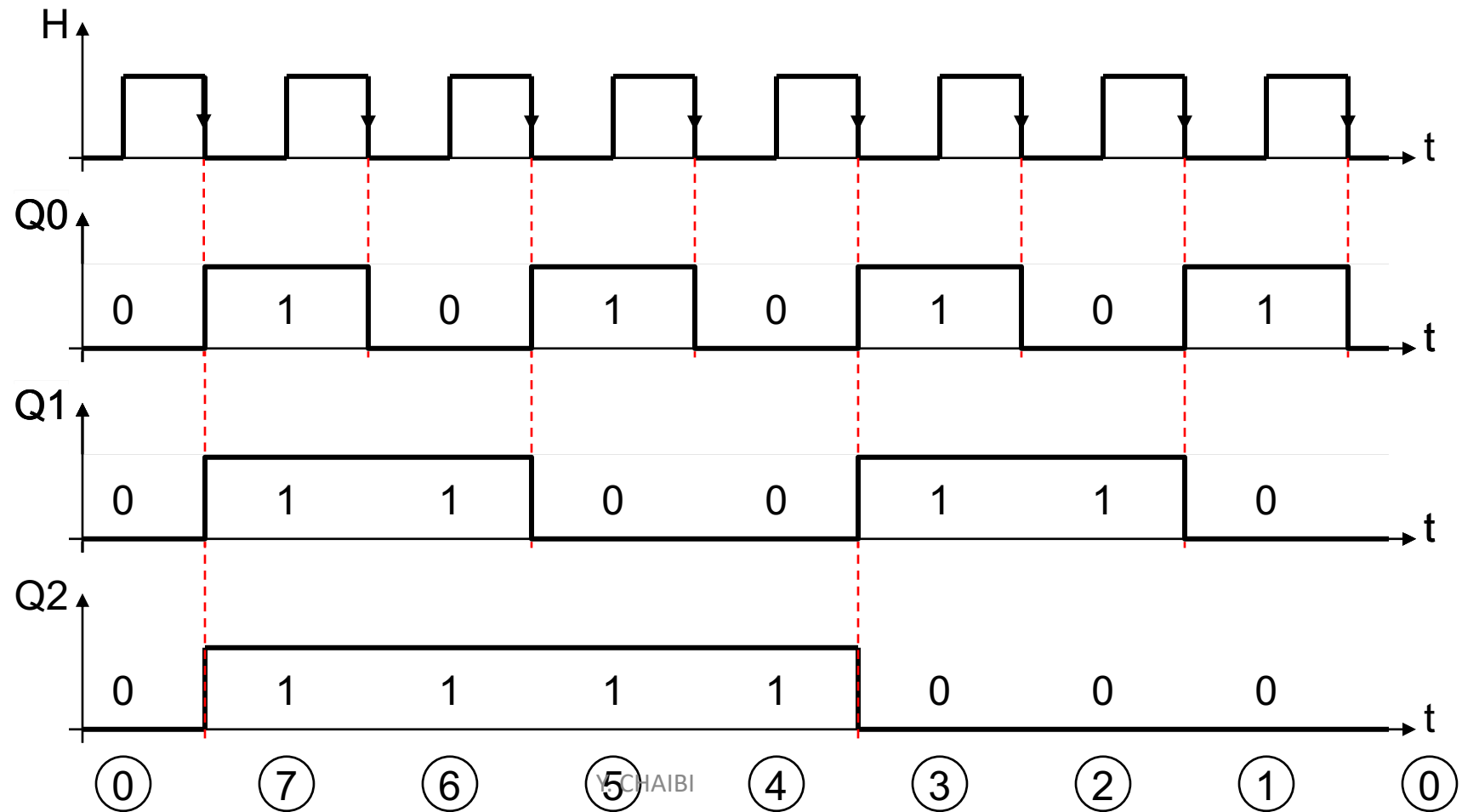
Chapitre 5 : La logique séquentielle

III- Les compteurs

2. Compteurs/Décompteurs asynchrones

2.2. Décompteur asynchrone modulo 2^n

Chronogramme :



Chapitre 5 : La logique séquentielle

III- Les compteurs

2. Compteurs/Décompteurs asynchrones

Avec des bascules JK à enclenchement sur front descendant :

- ✓ pour un compteur, on relie la sortie Q_n des bascules à l'entrée d'horloge H_{n+1} .
- ✓ pour un décompteur, on relie la sortie Q_n complémentée des bascules à l'entrée d'horloge H_{n+1} .

Avec des bascules JK à enclenchement sur front montant :

- ✓ pour un compteur, on relie la sortie Q_n complémentée des bascules à l'entrée d'horloge H_{n+1} .
- ✓ pour un décompteur, on relie la sortie Q_n des bascules à l'entrée d'horloge H_{n+1} .

Exercice : réaliser un compteur / décompteur modulo 8 en utilisant une entrée de sélection X qui détermine le sens de comptage en fonction de sa valeur. Par exemple :

- ✓ si $X=0 \rightarrow$ comptage.
- ✓ si $X=1 \rightarrow$ décomptage.

Chapitre 5 : La logique séquentielle

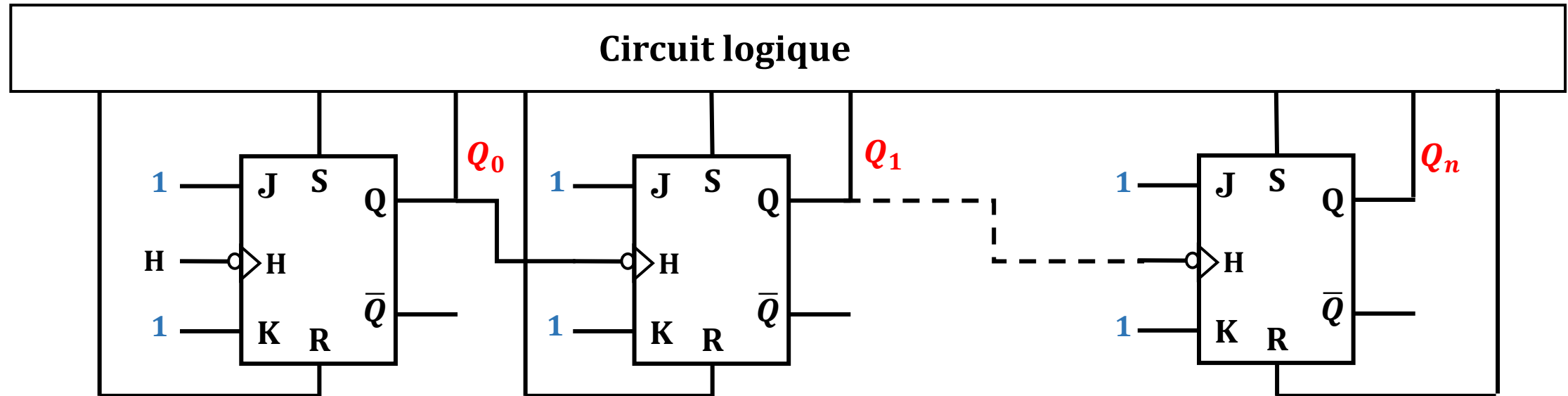
III- Les compteurs

2. Compteurs/Décompteurs asynchrones

2.3. Compteur asynchrone modulo $M < 2^n$

Il faut utiliser un compteur asynchrone binaire modulo 2^n avec $2^n \geq M$ et agir sur les entrées de forçage asynchrones des n bascules en fonction de l'état de leur sortie.

Il faut interrompre le cycle d'un compteur binaire en provoquant une réinitialisation des bascules dès que la valeur du modulo est détectée.




Chapitre 5 : La logique séquentielle

III- Les compteurs

2. Compteurs/Décompteurs asynchrones

2.3. Compteur asynchrone modulo $M < 2^n$

Exemple : Compteur asynchrone modulo 6 (0 à 5)



	Q_2	Q_1	Q_0	R_2	S_2	R_1	S_1	R_0	S_0
0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0
3	0	1	1	0	0	0	0	0	0
4	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0
6	1	1	0	1	0	1	0	1	0
7	1	1	1	X	X	X	X	X	X

$$S_0 = S_1 = S_2 = 0$$

	$Q_1 Q_0$			
	00	01	11	10
Q_2 0	0	0	0	0
1	0	0	X	1

$$R_0 = R_1 = R_2 = Q_1 Q_2$$

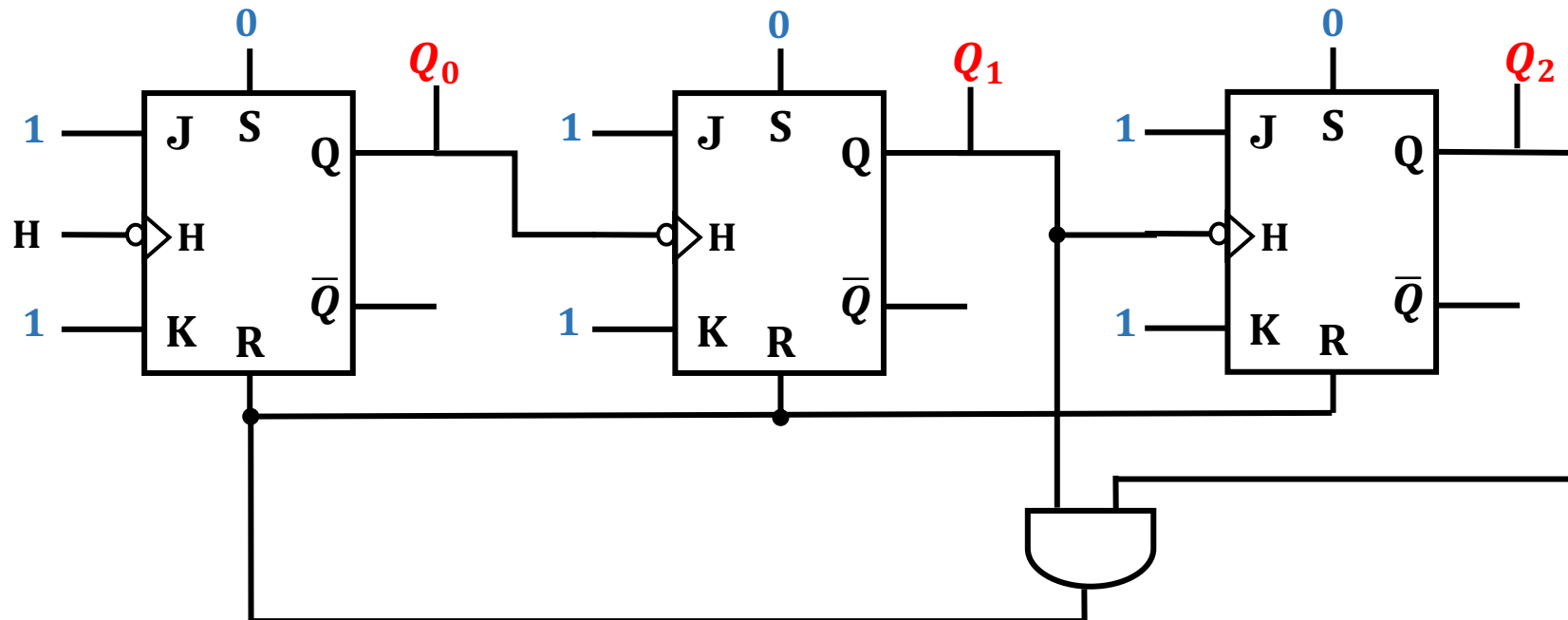
Chapitre 5 : La logique séquentielle

III- Les compteurs

2. Compteurs/Décompteurs asynchrones

2.3. Compteur asynchrone modulo $M < 2^n$

Exemple : Compteur asynchrone modulo 6 (0 à 5)



Chapitre 5 : La logique séquentielle

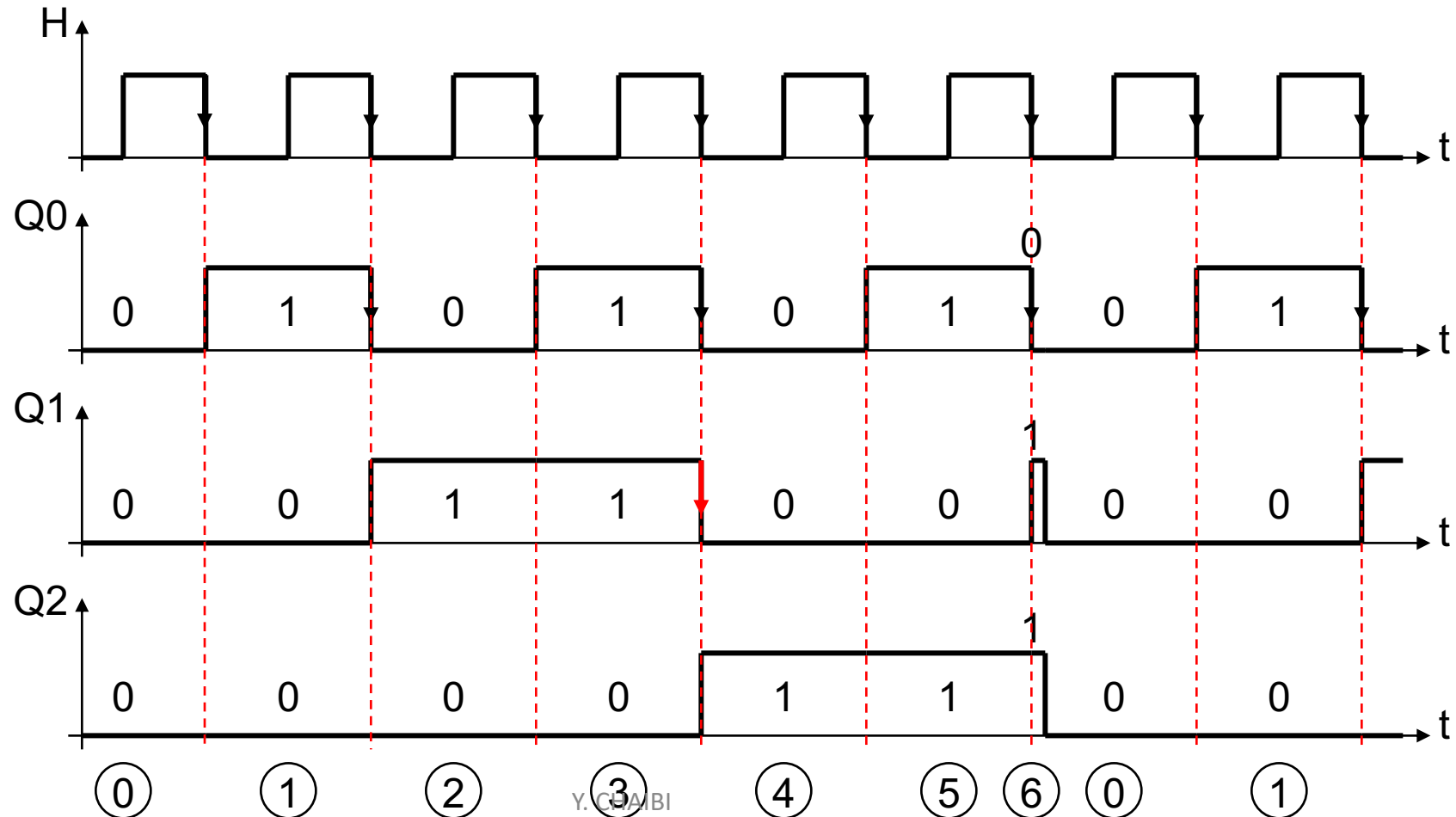
III- Les compteurs

2. Compteurs/Décompteurs asynchrones

2.3. Compteur asynchrone modulo $M < 2^n$

Exemple : Compteur asynchrone modulo 6

Chronogramme :



Chapitre 5 : La logique séquentielle

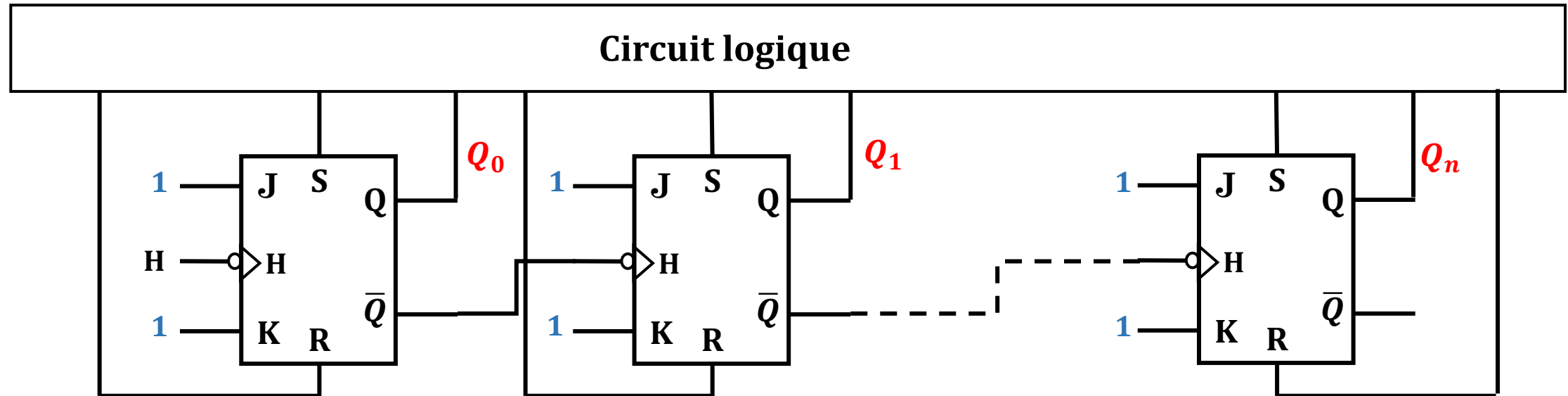
III- Les compteurs

2. Compteurs/Décompteurs asynchrones

2.4. Décompteur asynchrone modulo $M < 2^n$

Il faut utiliser un décompteur asynchrone binaire modulo 2^n avec $2^n \geq M$ et agir sur les entrées de forçage asynchrones des n bascules en fonction de l'état de leur sortie.

Il faut interrompre le cycle d'un décompteur binaire en provoquant une réinitialisation des bascules dès que la valeur maximale est détectée.



Chapitre 5 : La logique séquentielle

III- Les compteurs

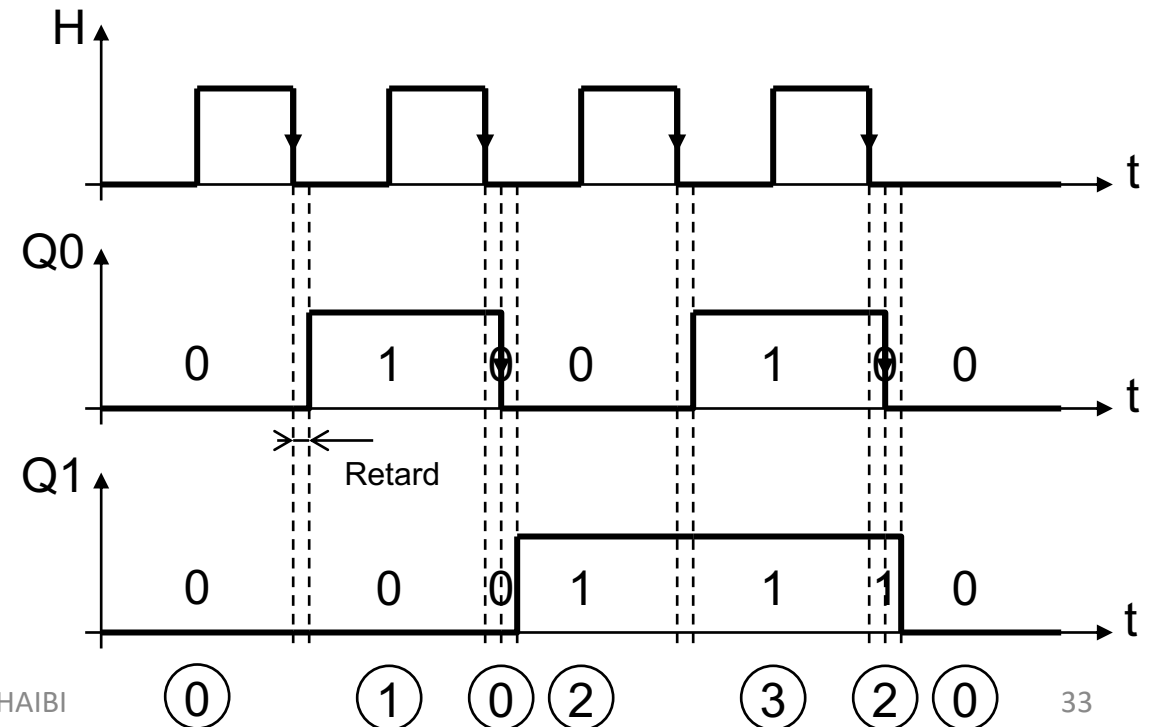
2. Compteurs/Décompteurs asynchrones

2.4. Décompteur asynchrone modulo $M < 2^n$

Exercice : réaliser un décompteur asynchrone modulo 6 (5 à 0)

Problèmes des compteurs asynchrones

- ✓ Tous les cycles ne sont pas possibles.
- ✓ Il subsiste des états transitoires.



Chapitre 5 : La logique séquentielle

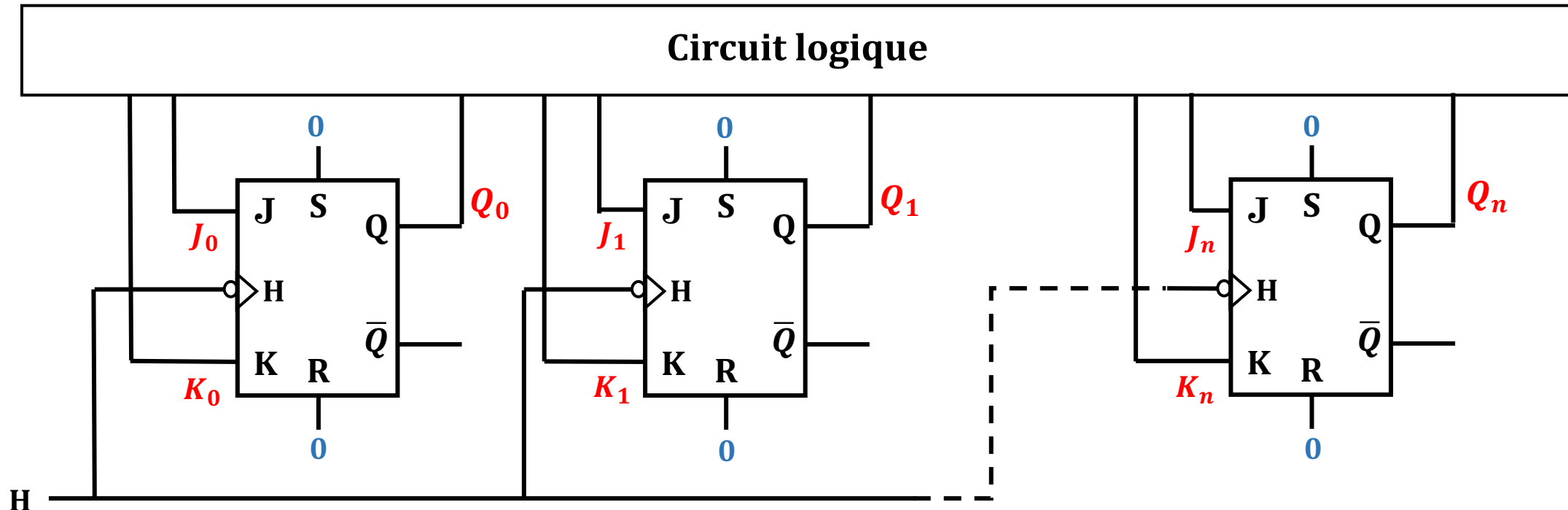
III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.1.Structure

Le signal d'horloge est commun à toutes les bascules.

Il faut utiliser n bascules JK ($M = 2^n$; $M \leq 2^n$) et agir sur les entrées J et K en fonction de l'état des sorties Q.



Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.2. Table d'excitation d'une bascule

Elle permet de déterminer quelles valeurs il faut appliquer aux entrées synchrones pour faire évoluer la sortie de la bascule d'un état vers un autre.

Exemple : Table d'excitation de la bascule JK

J	K	Q_{n-1}	Q_n
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Table d'excitation



Q_{n-1}	Q_n	J	K
0	→ 0	0	X
0	→ 1	1	X
1	→ 0	X	1
1	→ 1	X	0

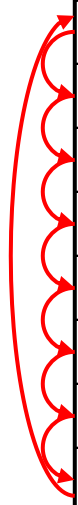
Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.3.Compteur synchrone modulo 2^n

Exemple : Compteur synchrone modulo 8



	Q2	Q1	Q0	J2	K2	J1	K1	J0	K0
0	0	0	0	0	X	0	X	1	X
1	0	0	1	0	X	1	X	X	1
2	0	1	0	0	X	X	0	1	X
3	0	1	1	1	X	X	1	X	1
4	1	0	0	X	0	0	X	1	X
5	1	0	1	X	0	1	X	X	1
6	1	1	0	X	0	X	0	1	X
7	1	1	1	X	1	X	1	X	1

Q_{n-1}	Q_n	J	K
0	→ 0	0	X
0	→ 1	1	X
1	→ 0	X	1
1	→ 1	X	0

Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.3.Compteur synchrone modulo 2^n

Exemple : Compteur synchrone modulo 8

		Q_1Q_0			
		00	01	11	10
Q_2	0	X	1	1	X
	1	X	1	1	X

$K_0 = 1$

		Q_1Q_0			
		00	01	11	10
Q_2	0	1	X	X	1
	1	1	X	X	1

$J_0 = 1$

Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.3.Compteur synchrone modulo 2^n

Exemple : Compteur synchrone modulo 8

		$Q_1 Q_0$			
		00	01	11	10
Q_2	0	X	X	1	0
	1	X	X	1	0

$K_1 = Q_0$

		$Q_1 Q_0$			
		00	01	11	10
Q_2	0	0	1	X	X
	1	0	1	X	X

$J_1 = Q_0$

Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.3.Compteur synchrone modulo 2^n

Exemple : Compteur synchrone modulo 8

		Q_1Q_0			
		00	01	11	10
Q_2	0	X	X	X	X
	1	0	0	1	0

$K_2 = Q_1Q_0$

		Q_1Q_0			
		00	01	11	10
Q_2	0	0	0	1	0
	1	X	X	X	X

$J_2 = Q_1Q_0$

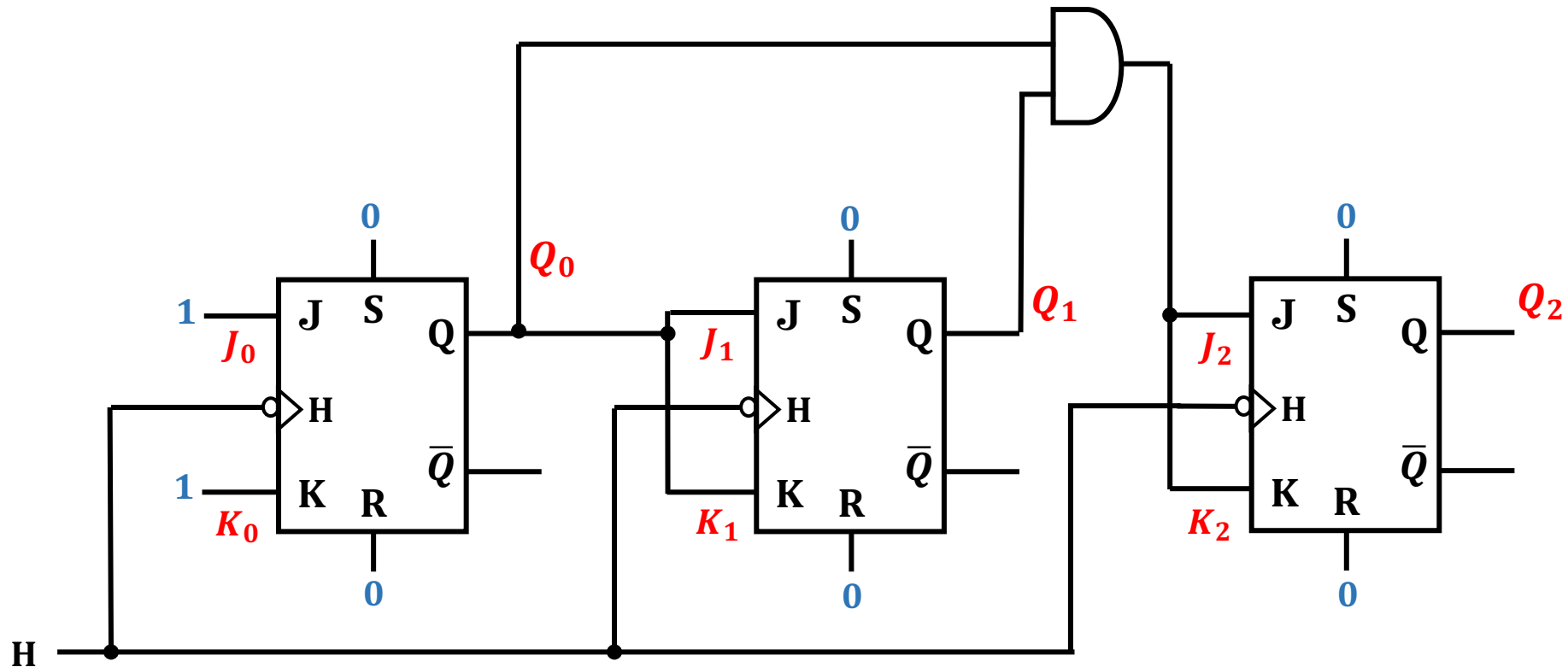
Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.3.Compteur synchrone modulo 2^n

Exemple : Compteur synchrone modulo 8



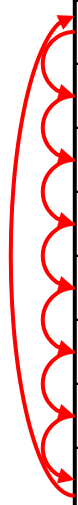
Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.4. Décompteur synchrone modulo 2^n

Exemple : Décompteur synchrone modulo 8



	Q2	Q1	Q0	J2	K2	J1	K1	J0	K0
7	1	1	1	X	0	X	0	X	1
6	1	1	0	X	0	X	1	1	X
5	1	0	1	X	0	0	X	X	1
4	1	0	0	X	1	1	X	1	X
3	0	1	1	0	X	X	0	X	1
2	0	1	0	0	X	X	1	1	X
1	0	0	1	0	X	0	X	X	1
0	0	0	0	X	1	1	X	1	X

Q_{n-1}	Q_n	J	K
0	→ 0	0	X
0	→ 1	1	X
1	→ 0	X	1
1	→ 1	X	0

Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.4. Décompteur synchrone modulo 2^n

Exemple : Décompteur synchrone modulo 8

		$Q_1 Q_0$			
		00	01	11	10
Q_2	0	X	1	1	X
	1	X	1	1	X

$K_0 = 1$

		$Q_1 Q_0$			
		00	01	11	10
Q_2	0	1	X	X	1
	1	1	X	X	1

$J_0 = 1$

Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.4. Décompteur synchrone modulo 2^n

Exemple : Décompteur synchrone modulo 8

		$Q_1 Q_0$			
		00	01	11	10
Q_2	0	X	X	0	1
	1	X	X	0	1

$K_1 = \overline{Q_0}$

		$Q_1 Q_0$			
		00	01	11	10
Q_2	0	1	0	X	X
	1	1	0	X	X

$J_1 = \overline{Q_0}$

Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.4. Décompteur synchrone modulo 2^n

Exemple : Décompteur synchrone modulo 8

		$Q_1 Q_0$			
		00	01	11	10
Q_2	0	X	X	X	X
	1	1	0	0	0

$$K_2 = \overline{Q_0} \cdot \overline{Q_1}$$

		$Q_1 Q_0$			
		00	01	11	10
Q_2	0	1	0	0	0
	1	X	X	X	X

$$J_2 = \overline{Q_0} \cdot \overline{Q_1}$$

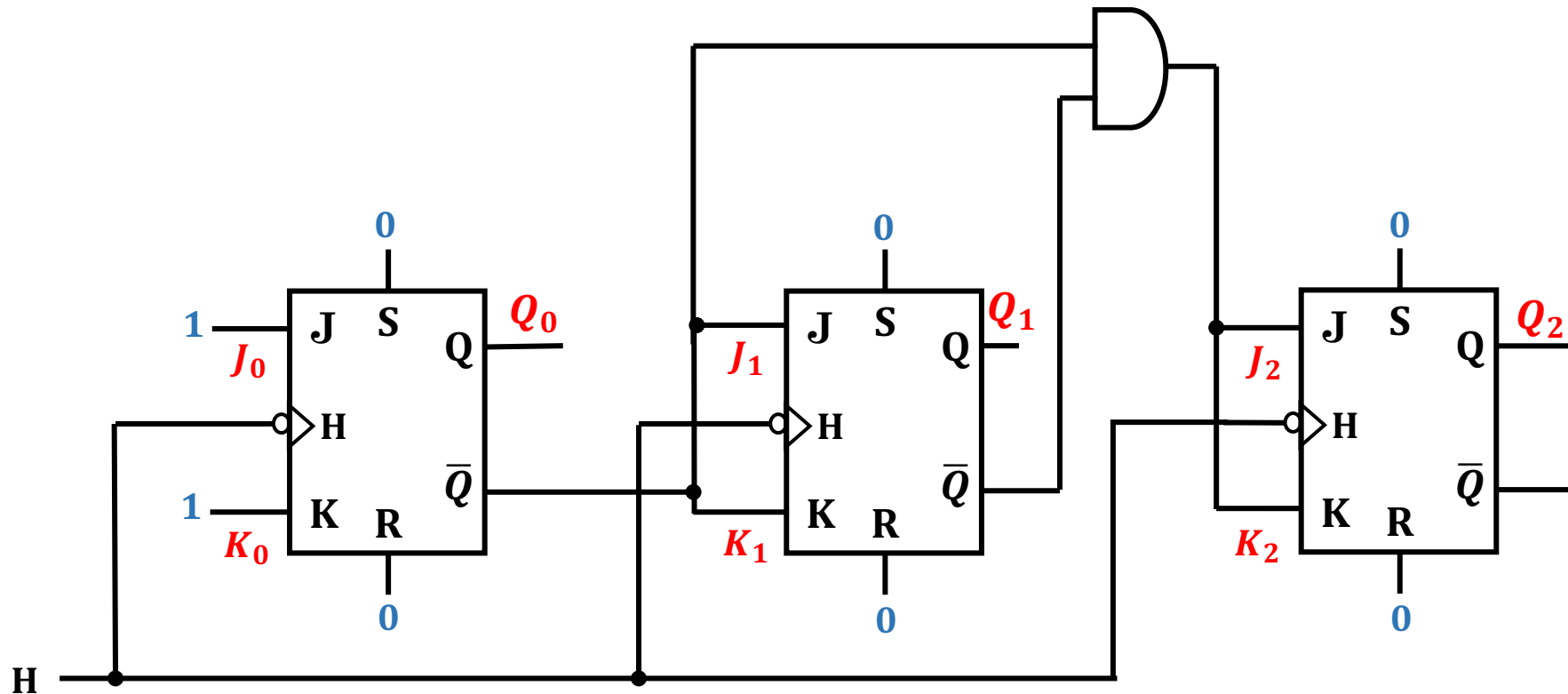
Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.4. Décompteur synchrone modulo 2^n

Exemple : Décompteur synchrone modulo 8



Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.4.Compteur/Décompteur synchrone à cycle quelconque

Pour forcer le compteur d'un état à un autre, il faut agir sur les entrées synchrones (D_i , J_i et K_i ...).

Pour les états n'appartenant pas au cycle, les entrées des bascules peuvent prendre n'importe quelles valeurs (X) puisque ces états ne doivent normalement pas apparaître.

Il faut utiliser autant de bascules qu'il y a de bits nécessaire pour coder la valeur maximale du cycle.

Il faut utiliser autant de bascules qu'il y a de bits nécessaire pour coder la valeur maximale du cycle.

Il est nécessaire d'initialiser le compteur à une valeur appartenant au cycle.

Exercice : : réaliser le cycle suivante avec des bascules JK : (2, 4, 1, 5, 8, 2, ...)

Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.5.Remarques

Table d'excitation de la bascule RSH

R	S	Q_{n-1}	Q_n
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	X
1	1	1	X

Table d'excitation



Q_{n-1}	Q_n	R_0	S_0
0	→ 0	0	X
0	→ 1	1	X
1	→ 0	X	1
1	→ 1	X	0

Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.5.Remarques

Table d'excitation de la bascule D

D	Q_{n-1}	Q_n
0	0	0
0	1	0
1	0	1
1	1	1

Table d'excitation



Q_{n-1}	Q_n	D
0	→ 0	0
0	→ 1	1
1	→ 0	0
1	→ 1	1

Chapitre 5 : La logique séquentielle

III- Les compteurs

3. Compteurs/Décompteurs synchrones

3.5.Remarques

Table d'excitation de la bascule T

T	Q_{n-1}	Q_n
0	0	0
0	1	1
1	0	1
1	1	0

Table d'excitation



Q_{n-1}	Q_n	T
0	→ 0	0
0	→ 1	1
1	→ 0	1
1	→ 1	0

Exercice : : réaliser le cycle suivante avec des bascules D : (4, 9, 1, 3, 2).

Exercice : : réaliser le même cycle avec des bascules T.

IV- Les registres

1. Définitions

Un registre est un ensemble ordonné de n bascules (Type D) synchronisées capable de stocker une information codée sur n bits en vue de son transfert dans un autre circuit (pour traitement, affichage, mémorisation, etc.).

Toutes les bascules sont commandées par le même signal d'horloge.

Les registres permettent de réaliser certaines opérations: la mémorisation, le décalage et le transfert d'une suite de bits.

Il existe plusieurs types de registres :

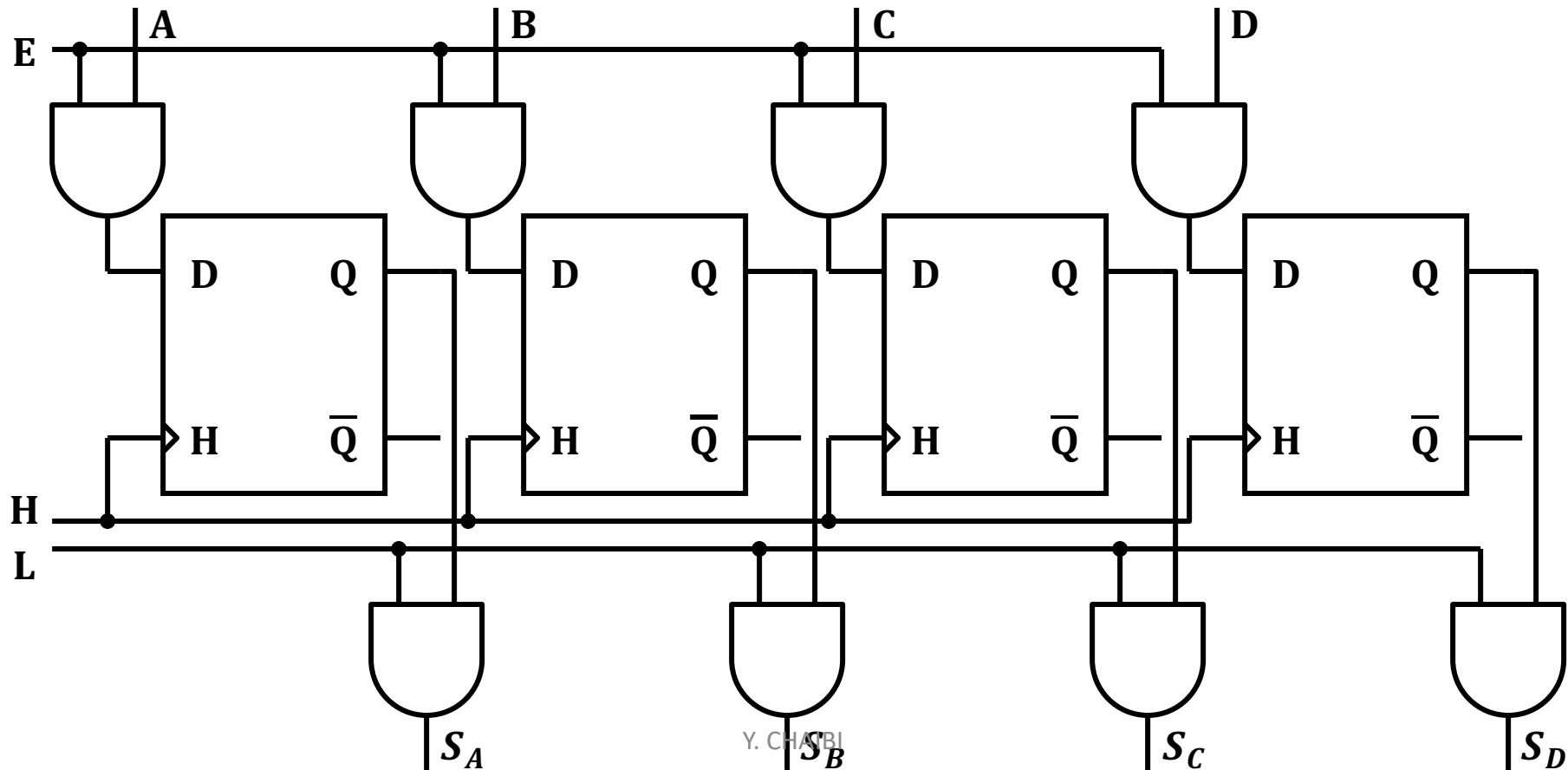
- ✓ Registre à Entrées Parallèles et Sorties Parallèles (EP-SP).
- ✓ Registre à Entrée Série et Sortie Série (ES-SS).
- ✓ Registre à Entrée Série et Sortie Parallèle (ES-SP).
- ✓ Registre à Entrée Parallèle et Sortie Série (EP-SS).

Chapitre 5 : La logique séquentielle

IV- Les registres

2. Registre de mémorisation: écriture et lecture parallèles

Tous les bits du mot à traiter sont écrits (entrée écriture $E=1$), ou lus, (entrée lecture $L=1$), simultanément.



Chapitre 5 : La logique séquentielle

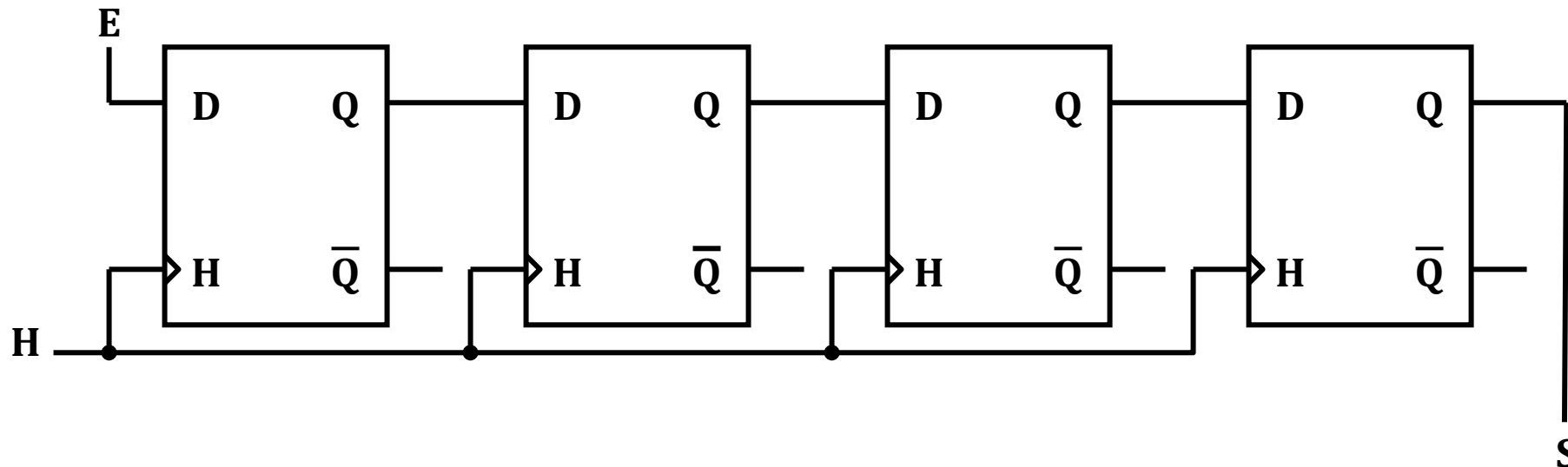
IV- Les registres

3. Registres à décalage

Un registre à décalage consiste à décaler bit par bit un mot binaire soit vers la gauche, soit vers la droite. Le registre à décalage peut être à écriture et à lecture série ou parallèle.

Un registre à décalage à droite peut être utilisé comme un diviseur par 2 alors qu'un registre à décalage à gauche peut être utilisé comme un multiplieur par 2.

Exemple 1 : : Registre à décalage à droite ES-SS



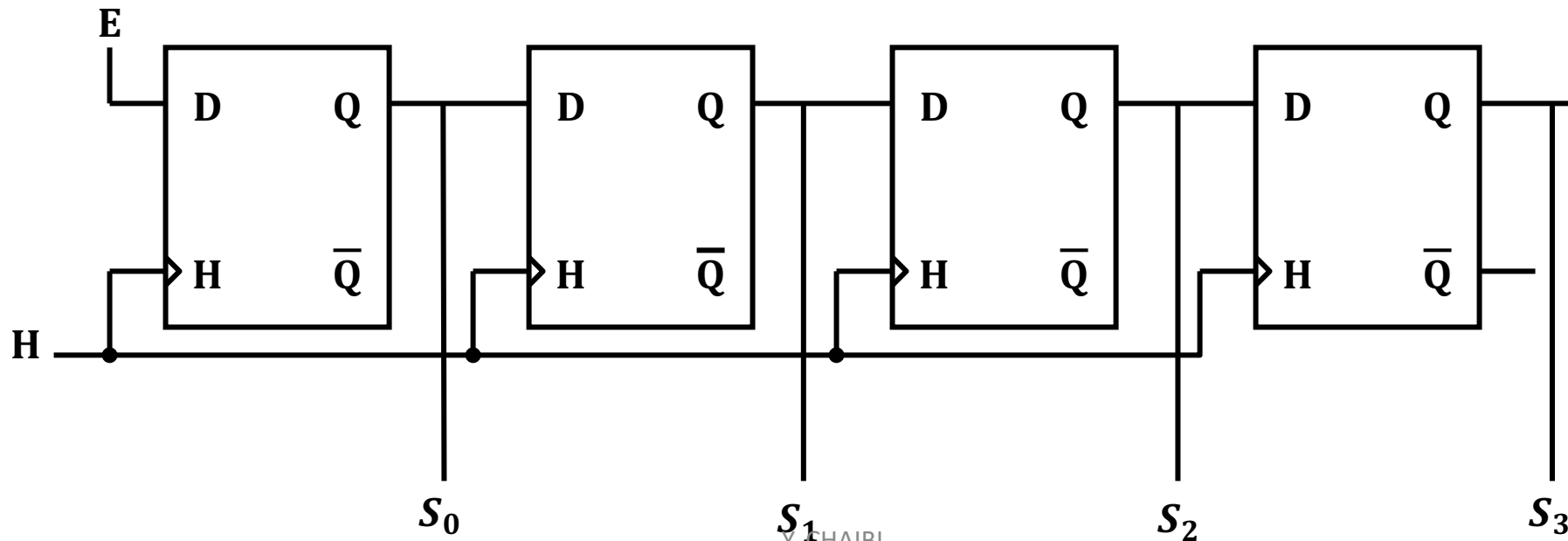
Chapitre 5 : La logique séquentielle

IV- Les registres

3. Registres à décalage

Exemple 2 : Registre à décalage à droite ES-SP

Lorsque l'entrée est stockée, chaque bit apparaît simultanément sur les lignes de sortie.



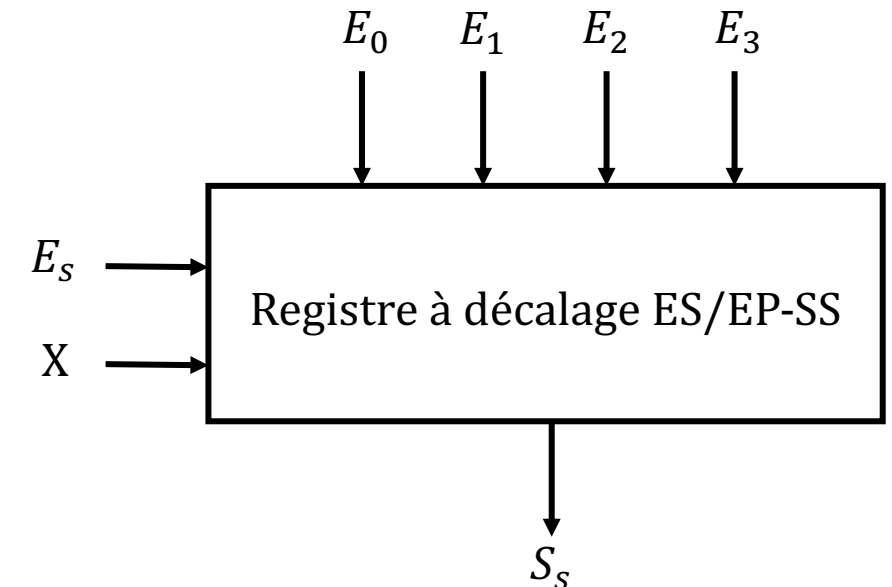
Chapitre 5 : La logique séquentielle

IV- Les registres

3. Registres à décalage

Exercice : Réaliser un registre à décalage qui assure la fonction suivante (ES/EP-SS):

X	Fonctionnement
0	Chargement avec l'entrée série (Décalage)
1	Chargement avec les entrées parallèles



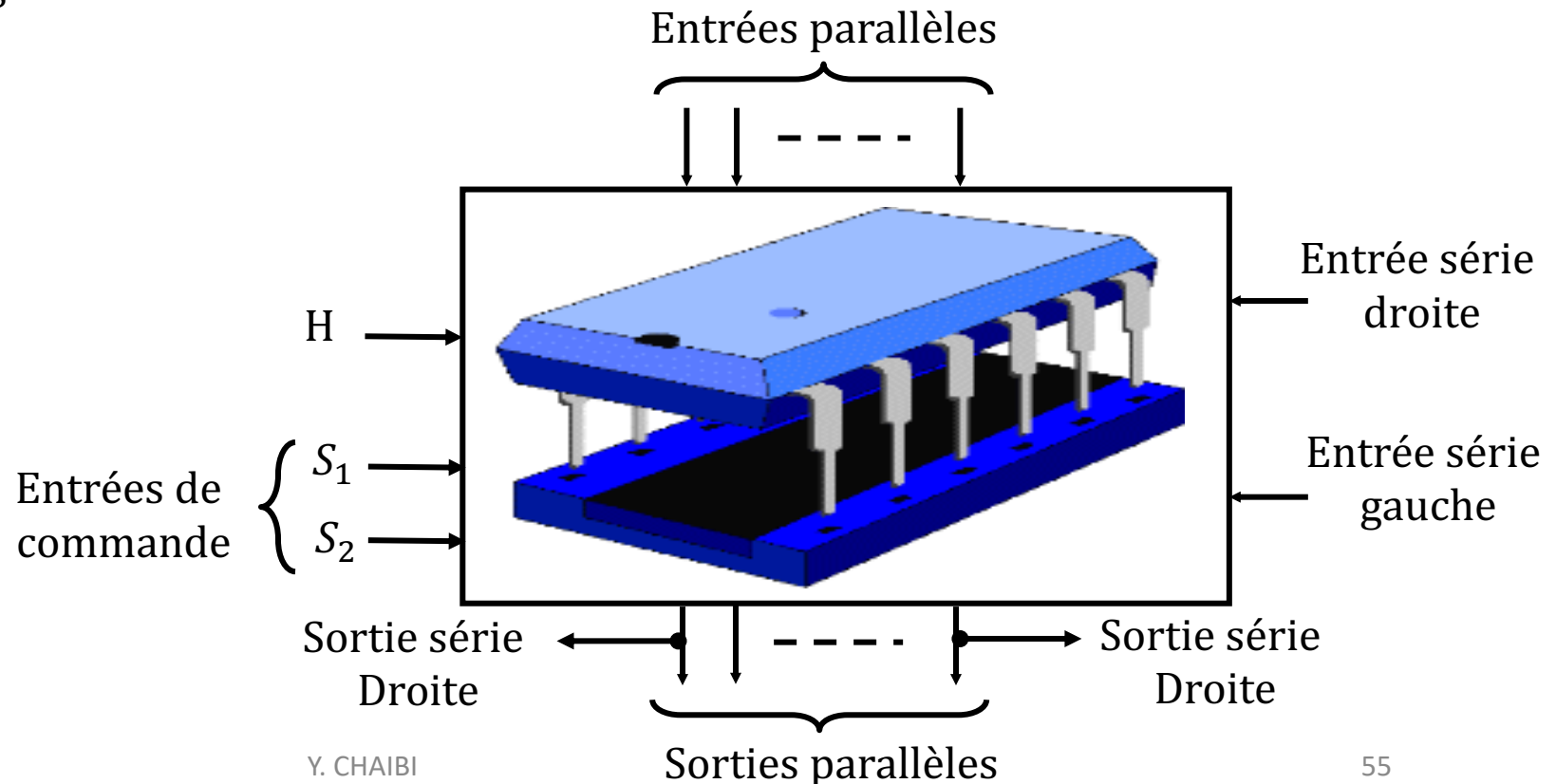
Chapitre 5 : La logique séquentielle

IV- Les registres

3. Registre universel

Un registre dit universel est un registre qui effectue le décalage à droite ou à gauche et un chargement série ou parallèle. Ce type de registre dispose d'entrées de mode de fonctionnement qui définissent le sens de décalage et le type de chargement.

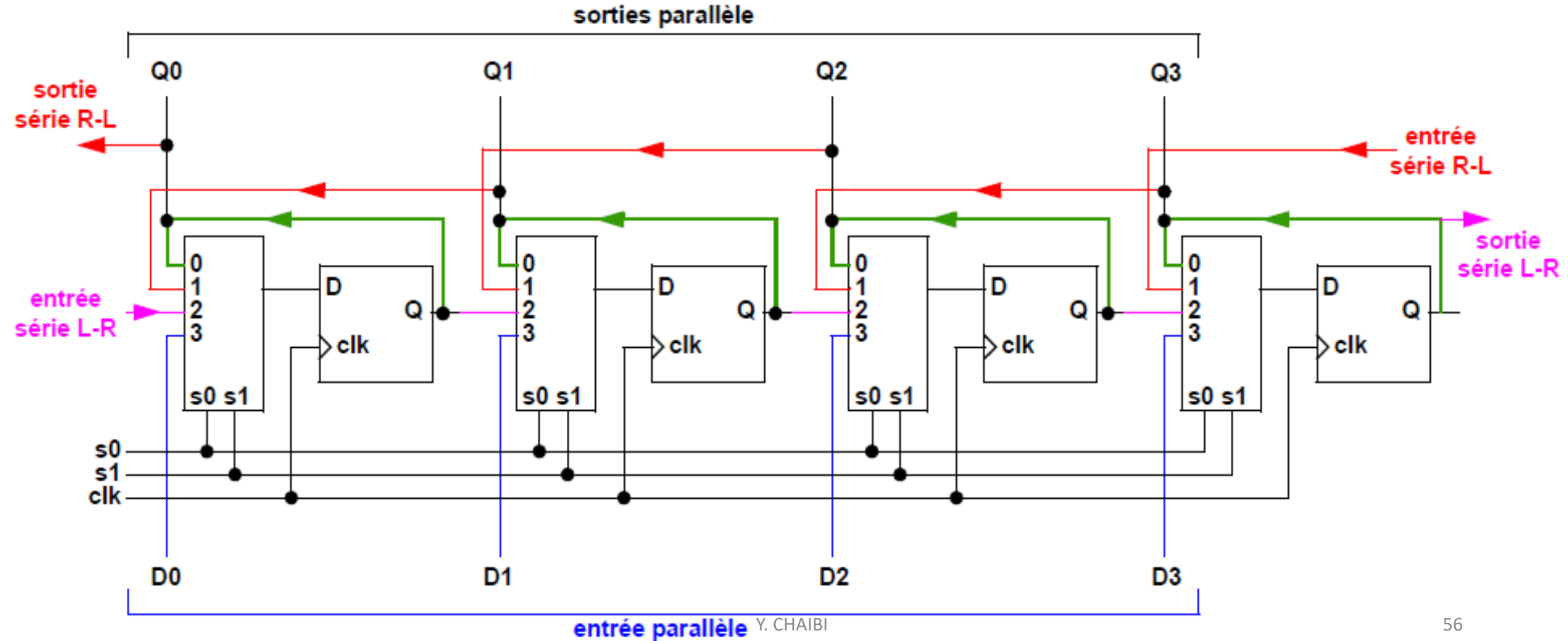
S_1	S_2	Fonctionnement
0	0	Mémoire
0	1	Décalage à gauche
1	0	Décalage à droite
1	1	Chargement parallèle

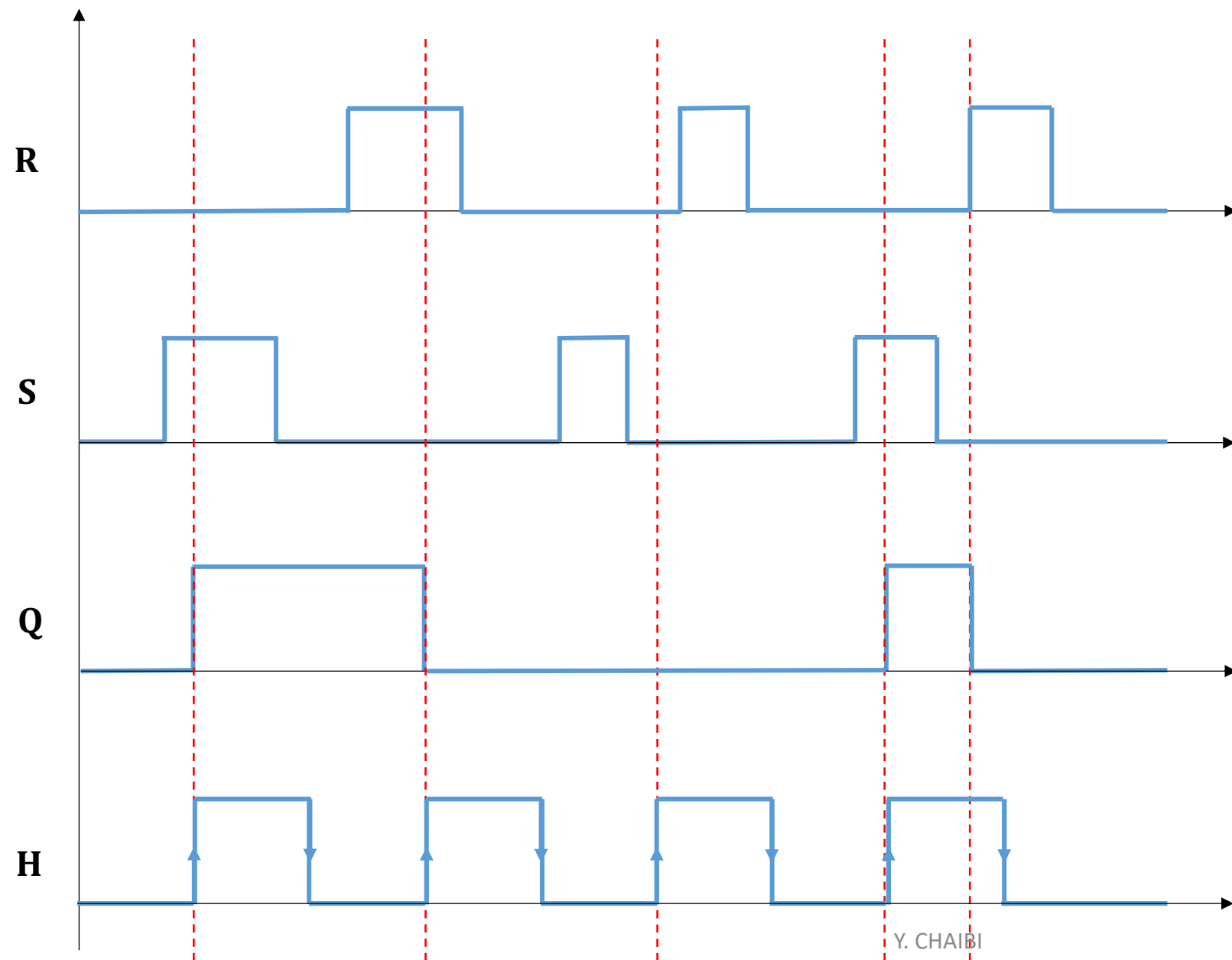


Chapitre 5 : La logique séquentielle

IV- Les registres

3. Registre universel



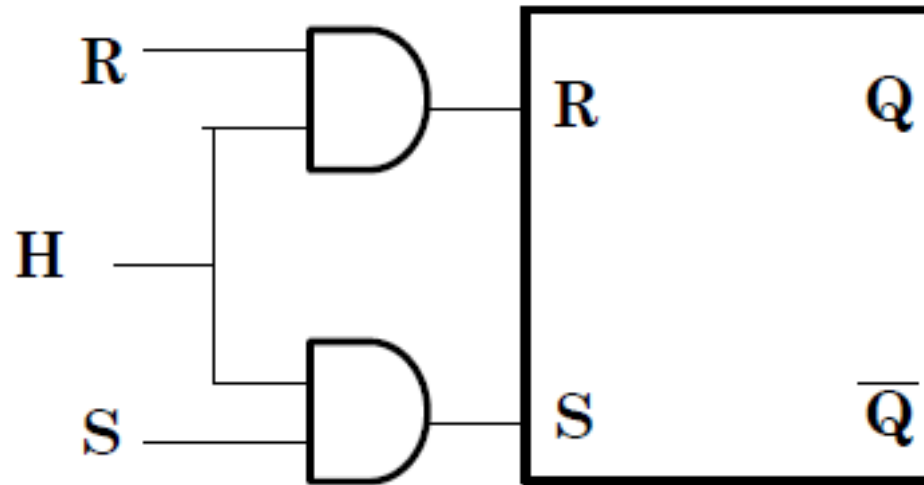


Chapitre 5 : La logique séquentielle

II- Les bascules

3. Bascule RSH (RS synchrone)

Exercice 1 : Donner le circuit de cette bascule en utilisant la bascule RS.

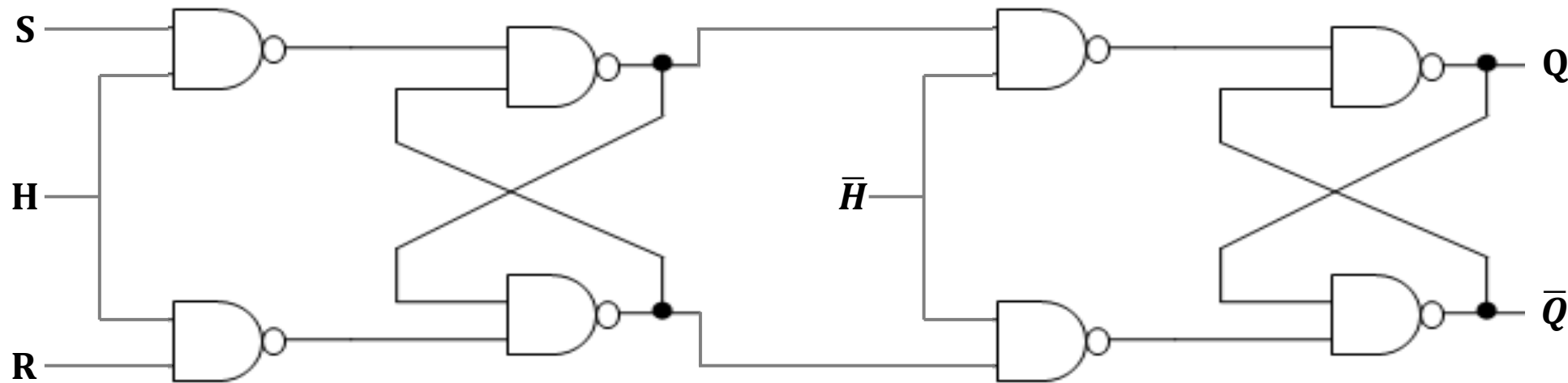


Chapitre 5 : La logique séquentielle

II- Les bascules

3. Bascule RSH (RS synchrone) *sur le front montant*

Logigramme : (Montage Maître-esclave)



L'action de faire correspondre à des nombres, des lettres ou des mots un groupe spécial de symboles s'appelle codage et le groupe de symboles un code .

L'algèbre de commutation est le système algébrique constitué de l'ensemble $\{0,1\}$ et des opérateurs ET, OU, NON

Dans une expression sans parenthèses, on effectue d'abord les opérations ET et, par la suite, les OU. Les parenthèses imposent une priorité supérieure

La conception des circuits logiques combinatoires consiste à:

- Etablir la table de vérité à partir de l'énoncé du problème.
- Ecrire l'équation logique de la sortie en fonction des variables d'entrée.
- Simplifier si possible l'équation logique obtenu.
- Faire le logigramme du circuit à l'aide des portes logiques.

- Notations

- 1 kilo = $2^{10} = 1024$
- 1 Méga = $2^{20} = 1\,048\,576$
- 1 octet = 8 bits
- 1 ko = 1024 octets = 8192 bits
- 1 Mo = 2^{10} ko = 1024 ko = 8 388 608 bits