

## Banc de registres double port

On se propose de réaliser un banc de 16 registres de 8 bits avec un double accès en lecture et un accès en écriture. Le schéma de ce registre est présenté à la figure 7. Le signal reset  $RST$  est actif à 0 : le contenu du banc de registres est alors initialisé à  $0x00$ .  $@A$  et  $@B$  permettent de lire deux registres simultanément. Les valeurs

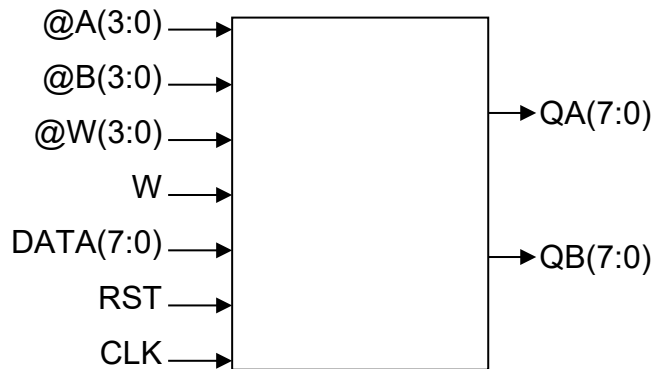


Figure 7. Banc de registres

correspondantes sont propagées vers les sorties  $QA$  et  $QB$ . L'écriture de données dans un registre se fait par le biais des entrées  $@W$ ,  $W$  et  $DATA$ .  $W$  spécifie si une écriture doit être réalisée. Cette entrée est active à 1, pour une écriture. Lorsque l'écriture est activée, les données présentent sur l'entrée  $DATA$  sont copiées dans le registre d'adresse  $@W$ . On considère que le reset et l'écriture se feront synchrone avec l'horloge.

### Bypass D $\rightarrow$ Q

Il arrive qu'en cours d'exécution, le processeur fasse simultanément une requête de lecture et d'écriture sur le même registre. Ceci constitue un aléa de données. Cet aléas peut être traité par l'unité d'envoi. Toutefois, afin de simplifier la conception de l'unité d'envoi, on se propose d'implémenter cette fonctionnalité directement dans le banc de registres :

Si écriture et lecture sur le même registre alors la sortie  $QX \leftarrow DATA$ .