

Aula 07

**Circuitos Codificadores,
Decodificadores e
MUX / DEMUX**

Decodificadores

Definição: é um circuito lógico que aceita um conjunto de entradas em binário (um número binário) e, em função dessas entradas, ativa somente uma saída que corresponde ao número da entrada.

Decodificadores

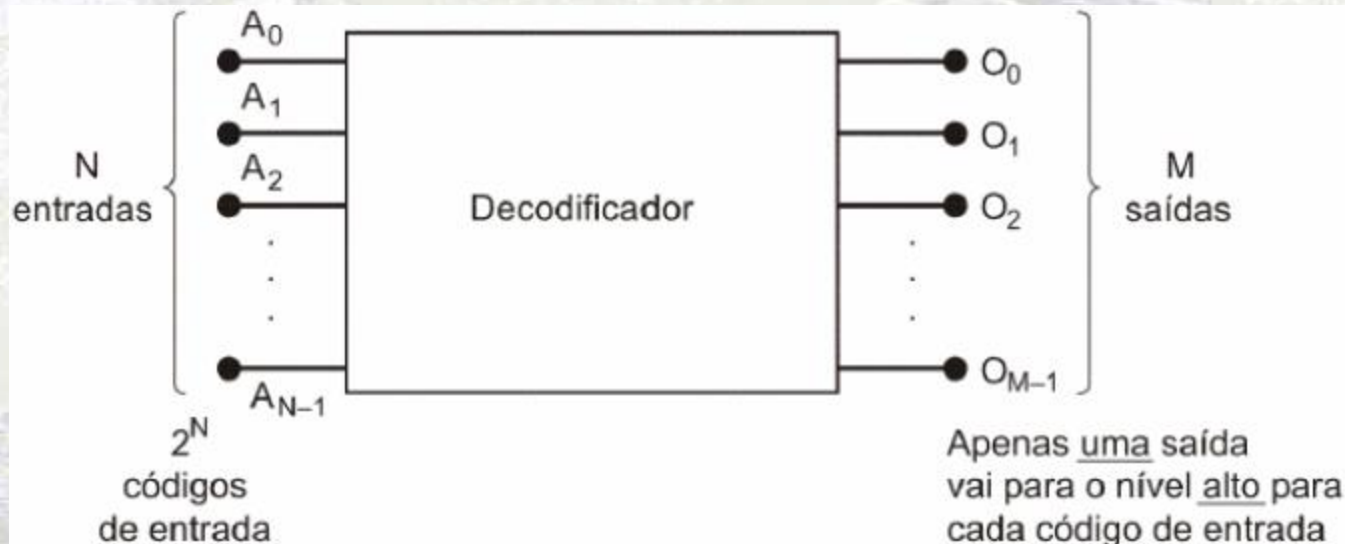
Definição: é um circuito lógico que aceita um conjunto de entradas em binário (um número binário) e, em função dessas entradas, ativa somente uma saída que corresponde ao número da entrada.

Resumindo, é um circuito lógico analisa as suas entradas, determina qual número binário está presente e ativa a saída correspondente a esse número (todas as demais saídas permanecem desativadas).

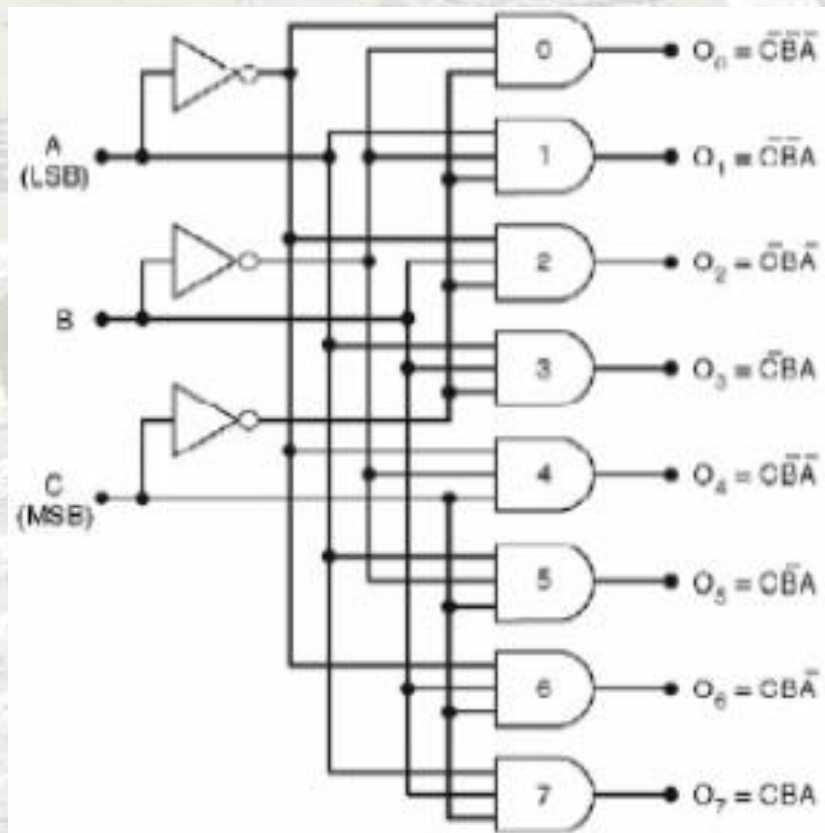
Decodificadores

Definição: é um circuito lógico que aceita um conjunto de entradas em binário (um número binário) e, em função dessas entradas, ativa somente uma saída que corresponde ao número da entrada.

Resumindo, é um circuito lógico analisa as suas entradas, determina qual número binário está presente e ativa a saída correspondente a esse número (todas as demais saídas permanecem desativadas).

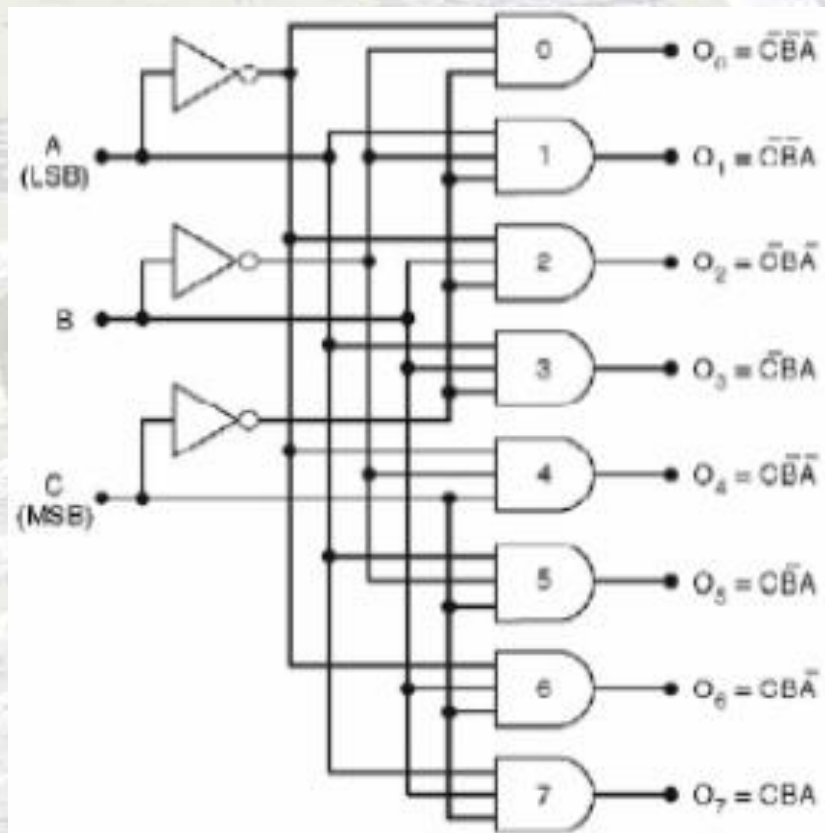


Decodificador 3X8



C	B	A	O_7	O_6	O_5	O_4	O_3	O_2	O_1	O_0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

Decodificador 3X8

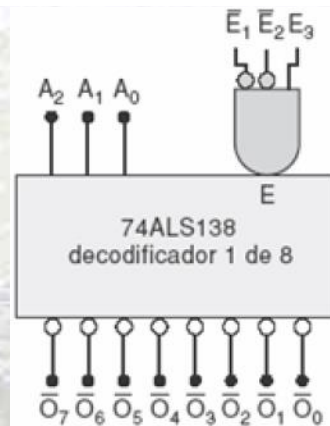


C	B	A	O_7	O_6	O_5	O_4	O_3	O_2	O_1	O_0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

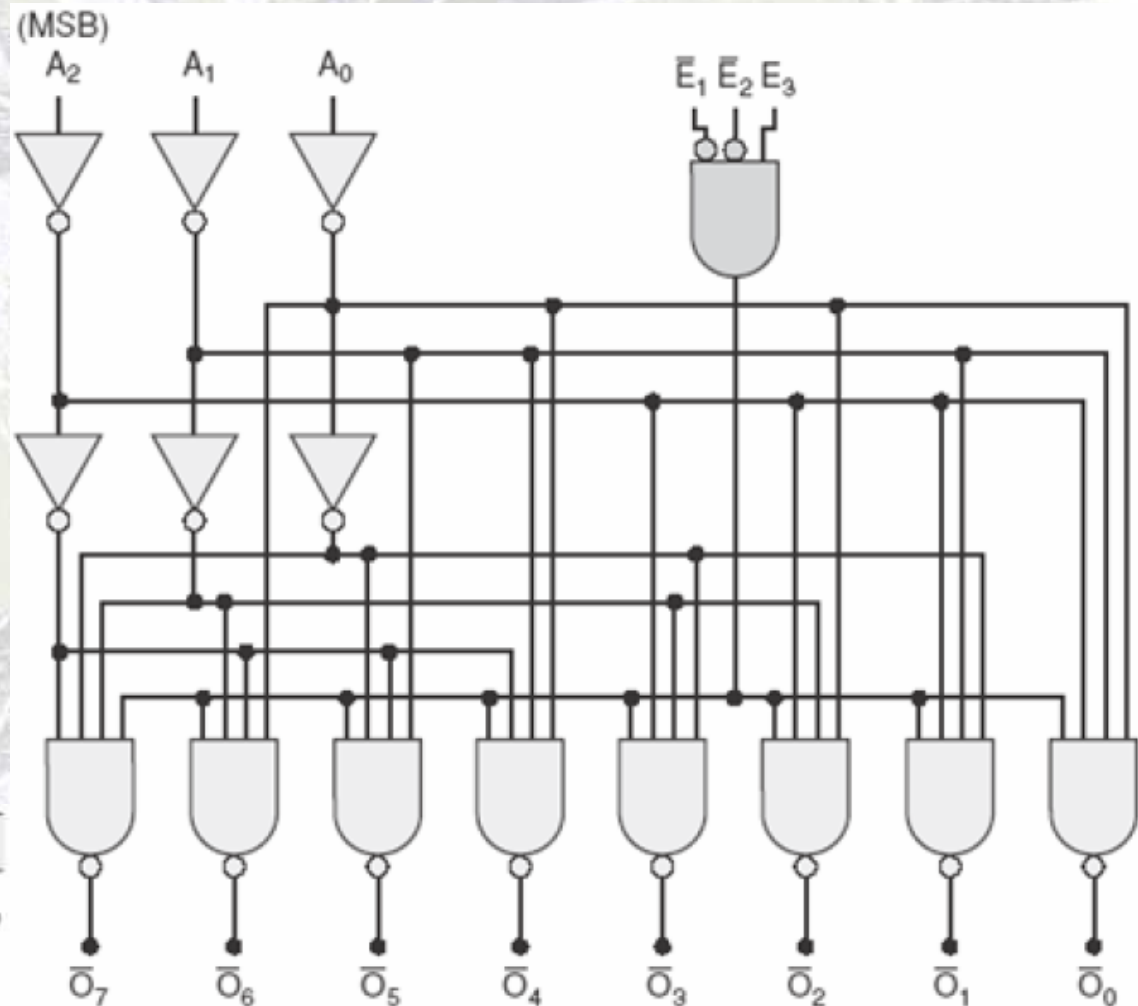
Exercício: Qual será a saída ativa caso $ABC = 111$?

Decodificador 3X8 (CI 74138)

Alguns decodificadores têm uma ou mais entradas **ENABLE** (HABILITAÇÃO) que são usadas para controlar a operação deles.

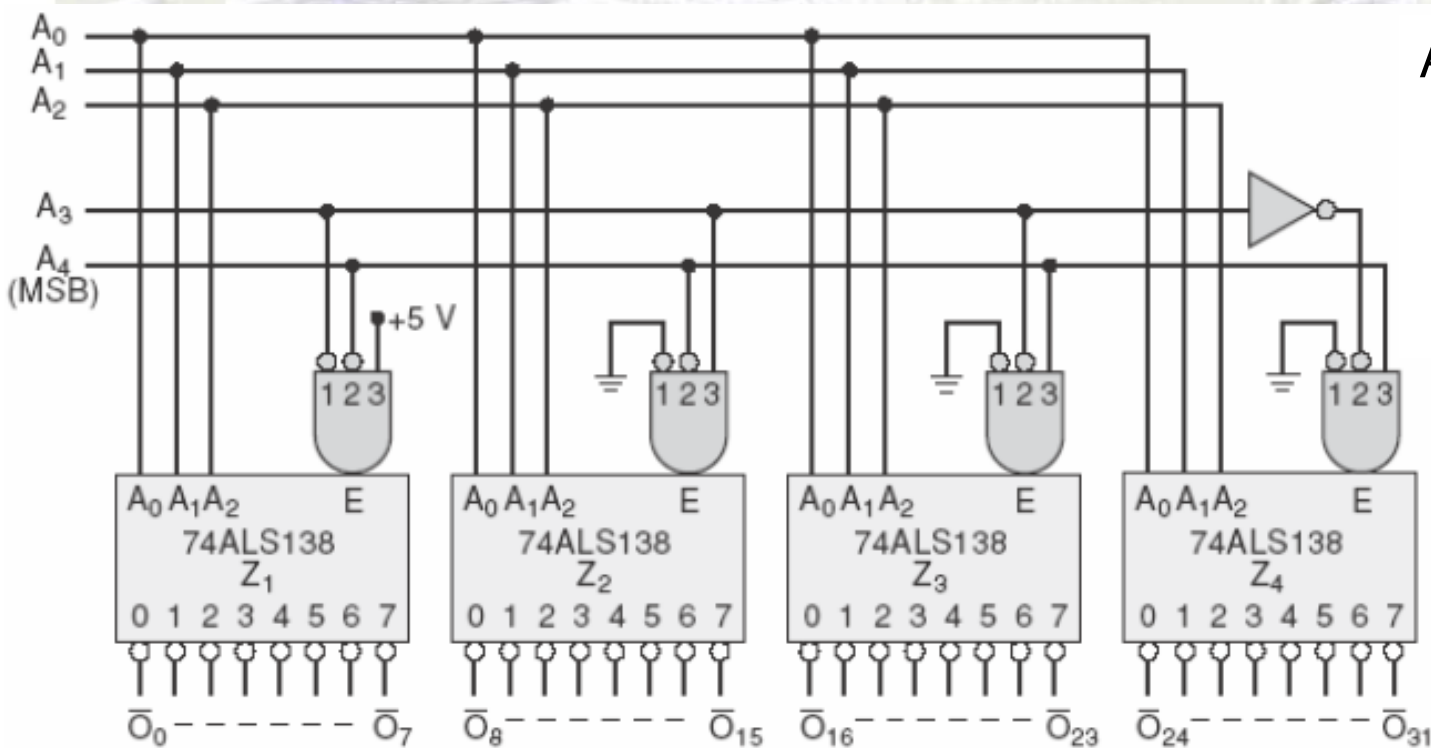


\bar{E}_1	\bar{E}_2	E_3	Saídas
0	0	1	Responde a código de entrada $A_2 A_1 A_0$
1	X	X	Desabilitada – todas em nível ALTO
X	1	X	Desabilitada – todas em nível ALTO
X	X	0	Desabilitada – todas em nível ALTO



Decodificador 5X32

A partir das entradas de habilitação pode-se interligar decodificadores. Neste caso está sendo construído um decodificador de 32 saídas, a partir de 4 decodificadores de 8 saídas.

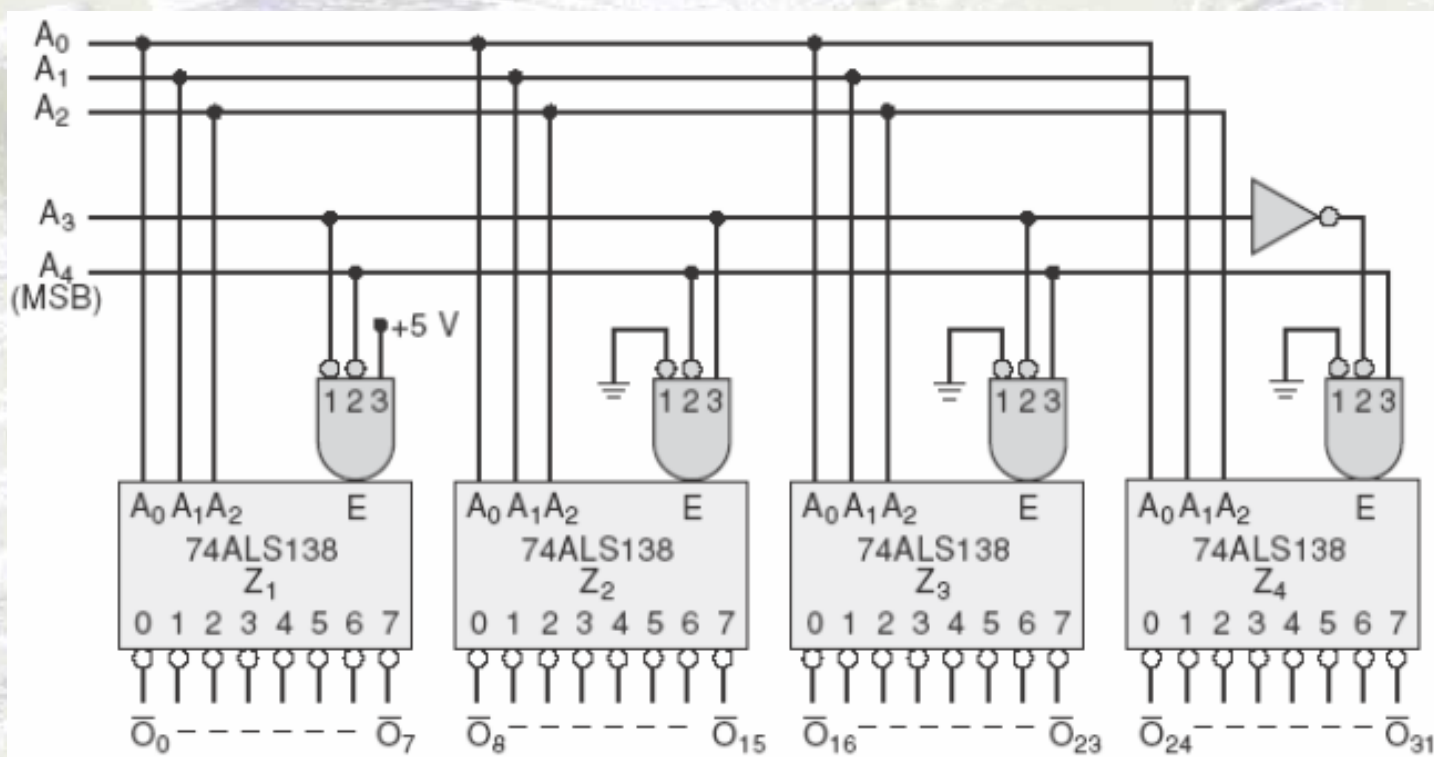


A4	A3	A2	A1	A0	Z
0	0	1
0	1	2
1	0	3
1	1	4



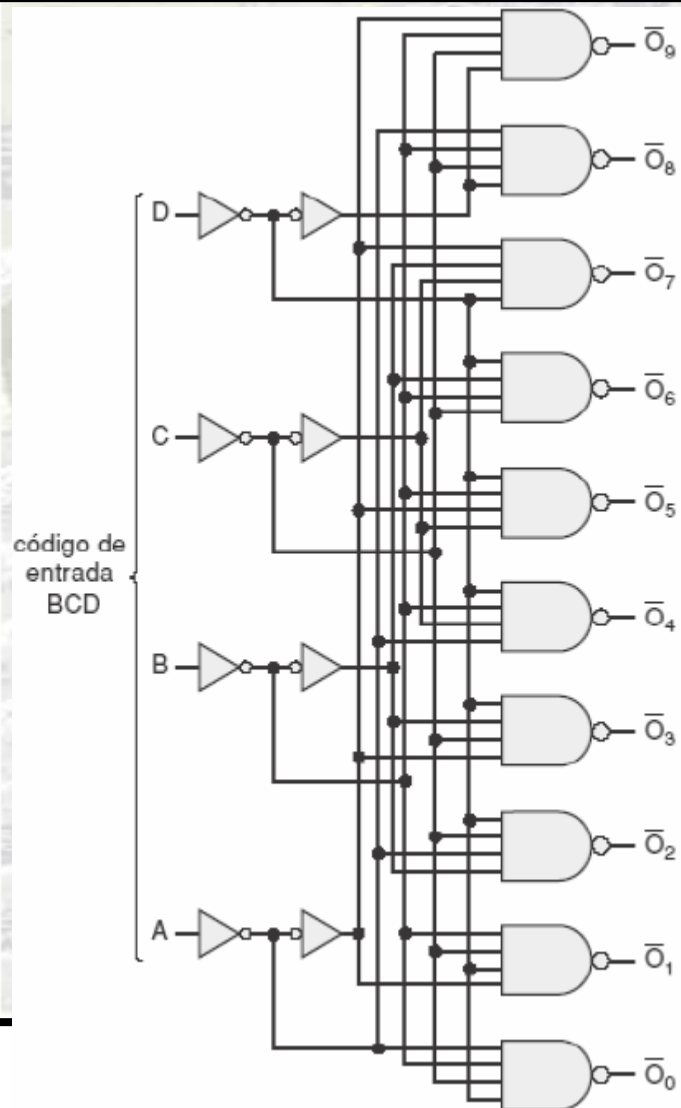
Decodificador 5X32

A partir das entradas de habilitação pode-se interligar decodificadores. Neste caso está sendo construído um decodificador de 32 saídas, a partir de 4 decodificadores de 8 saídas.



Exercício: Qual será a saída ativa caso $A_4A_3A_2A_1A_0 = 01101$?

Decodificador BCD / Decimal

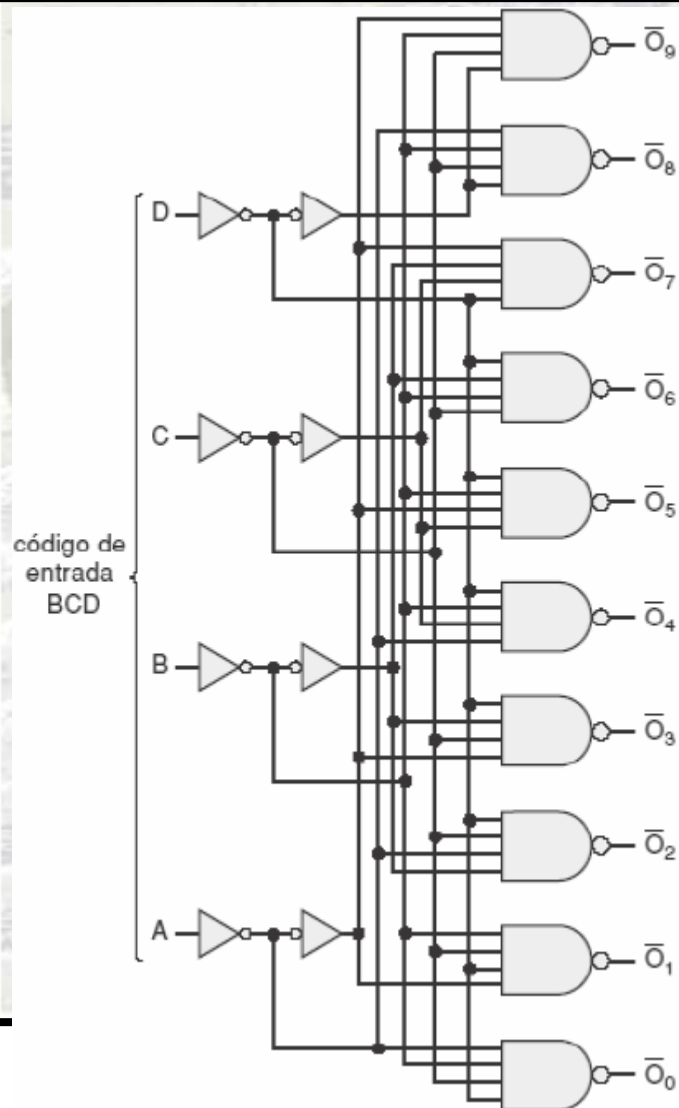


CI 7442

D	C	B	A	Saída em nível ativo
L	L	L	L	\overline{O}_0
L	L	L	H	\overline{O}_1
L	L	H	L	\overline{O}_2
L	L	H	H	\overline{O}_3
L	H	L	L	\overline{O}_4
L	H	L	H	\overline{O}_5
L	H	H	L	\overline{O}_6
L	H	H	H	\overline{O}_7
H	L	L	L	\overline{O}_8
H	L	L	H	\overline{O}_9
H	L	H	L	Nenhuma
H	L	H	H	Nenhuma
H	H	L	L	Nenhuma
H	H	L	H	Nenhuma
H	H	H	L	Nenhuma
H	H	H	H	Nenhuma

H = Nível de tensão ALTO
L = Nível de tensão BAIXO

Decodificador BCD / Decimal



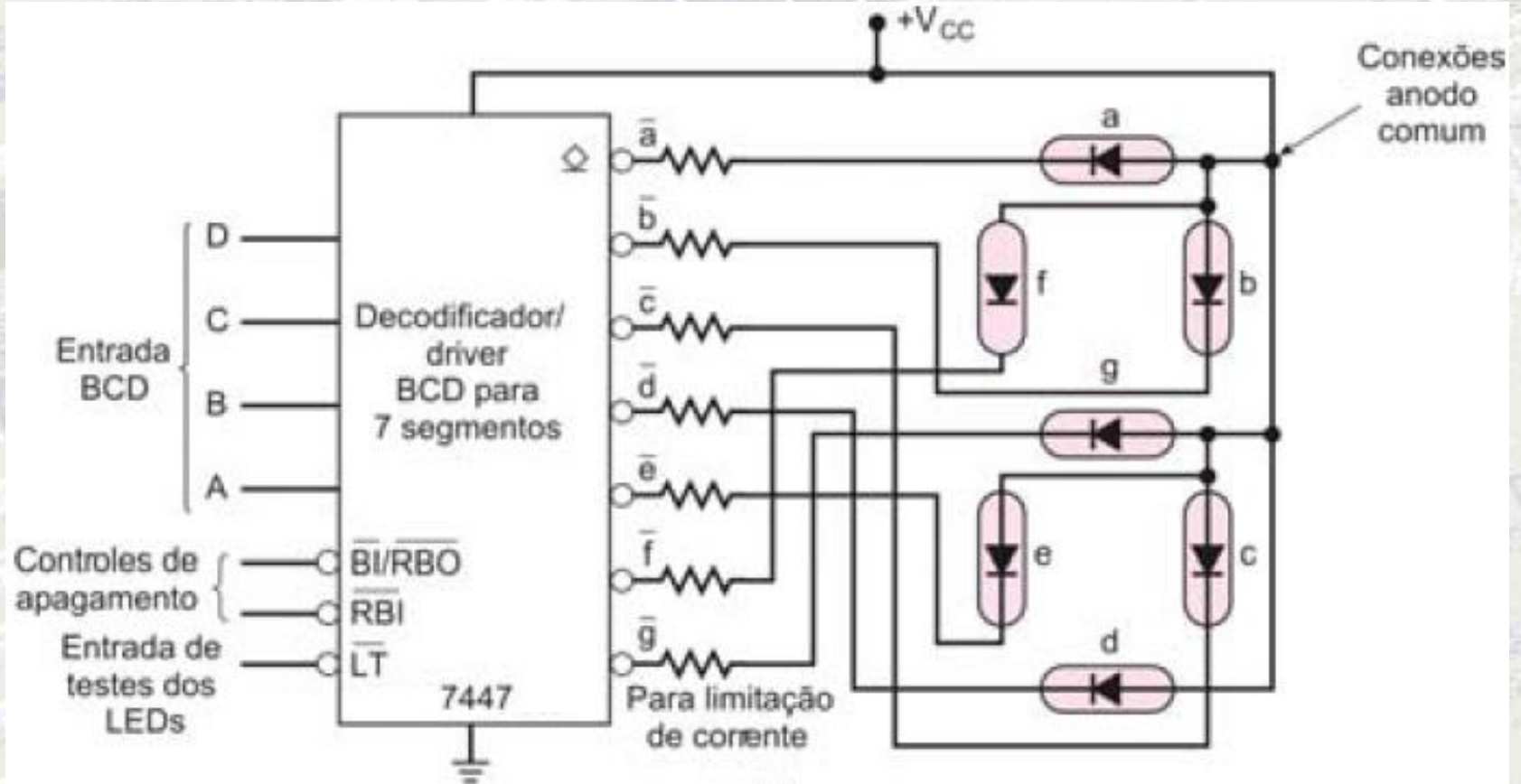
CI 7442

D	C	B	A	Saída em nível ativo
L	L	L	L	\overline{O}_0
L	L	L	H	\overline{O}_1
L	L	H	L	\overline{O}_2
L	L	H	H	\overline{O}_3
L	H	L	L	\overline{O}_4
L	H	L	H	\overline{O}_5
L	H	H	L	\overline{O}_6
L	H	H	H	\overline{O}_7
H	L	L	L	\overline{O}_8
H	L	L	H	\overline{O}_9
H	L	H	L	Nenhuma
H	L	H	H	Nenhuma
H	H	L	L	Nenhuma
H	H	L	H	Nenhuma
H	H	H	L	Nenhuma
H	H	H	H	Nenhuma

H = Nível de tensão ALTO
L = Nível de tensão BAIXO

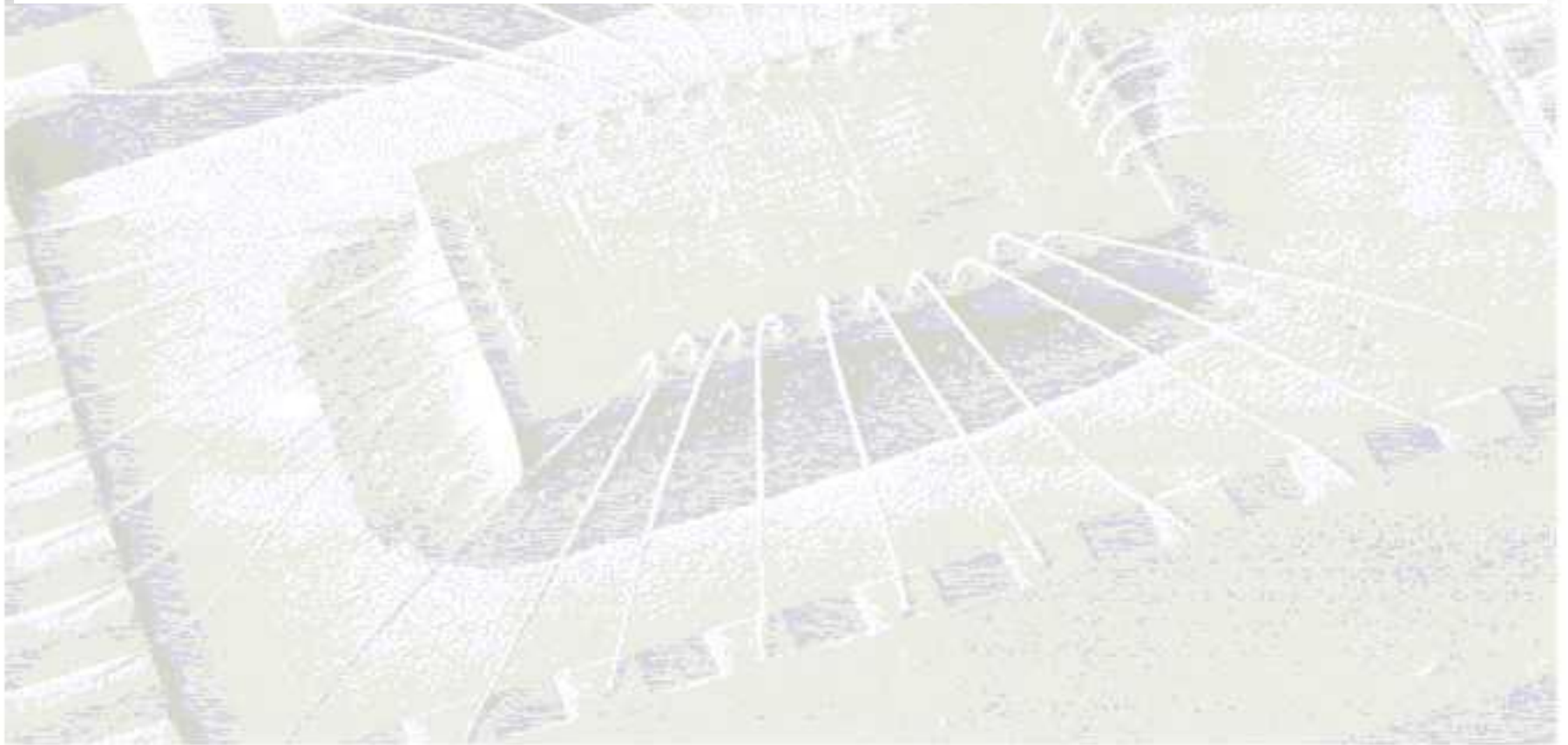
Exercício: Qual será a saída ativa caso DCBA = 0010?

Decodificador BCD / *Display*



Codificadores

Definição: é um circuito lógico que realiza a conversão de um número qualquer para um código binário.



Codificadores

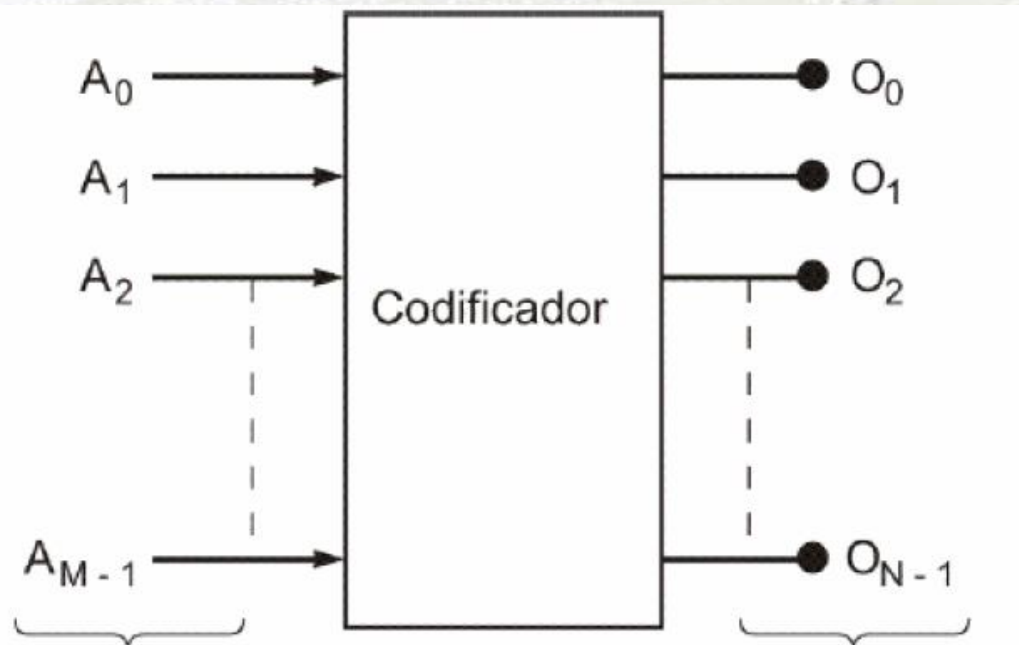
Definição: é um circuito lógico que realiza a conversão de um número qualquer para um código binário.

Geralmente, recebe um dado (bit) de entrada, onde somente 1 bit é ativado de cada vez, e tem como saída um código de N bits.

Codificadores

Definição: é um circuito lógico que realiza a conversão de um número qualquer para um código binário.

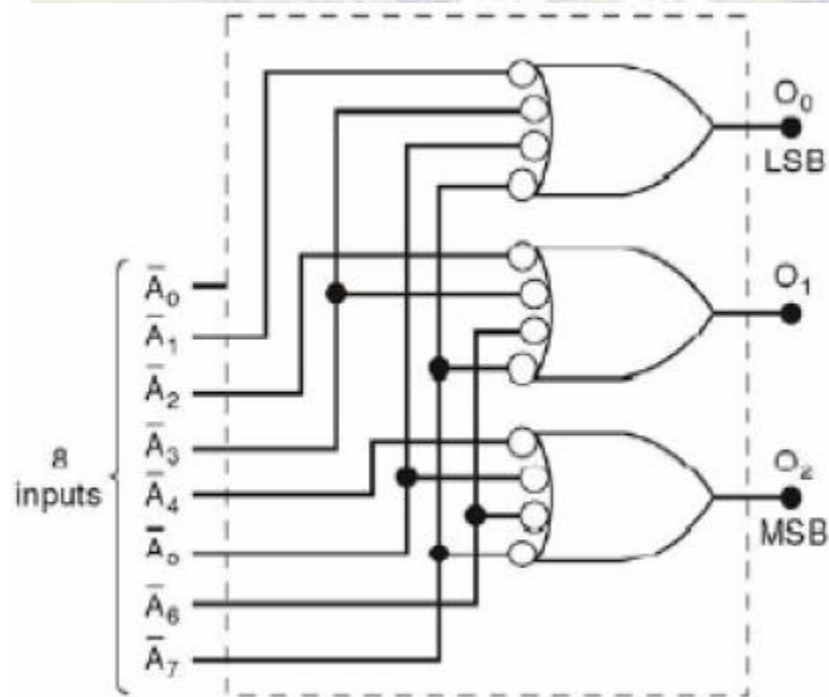
Geralmente, recebe um dado (bit) de entrada, onde somente 1 bit é ativado de cada vez, e tem como saída um código de N bits.



M entradas com apenas uma em nível ALTO de cada vez

Código de saída de N bits

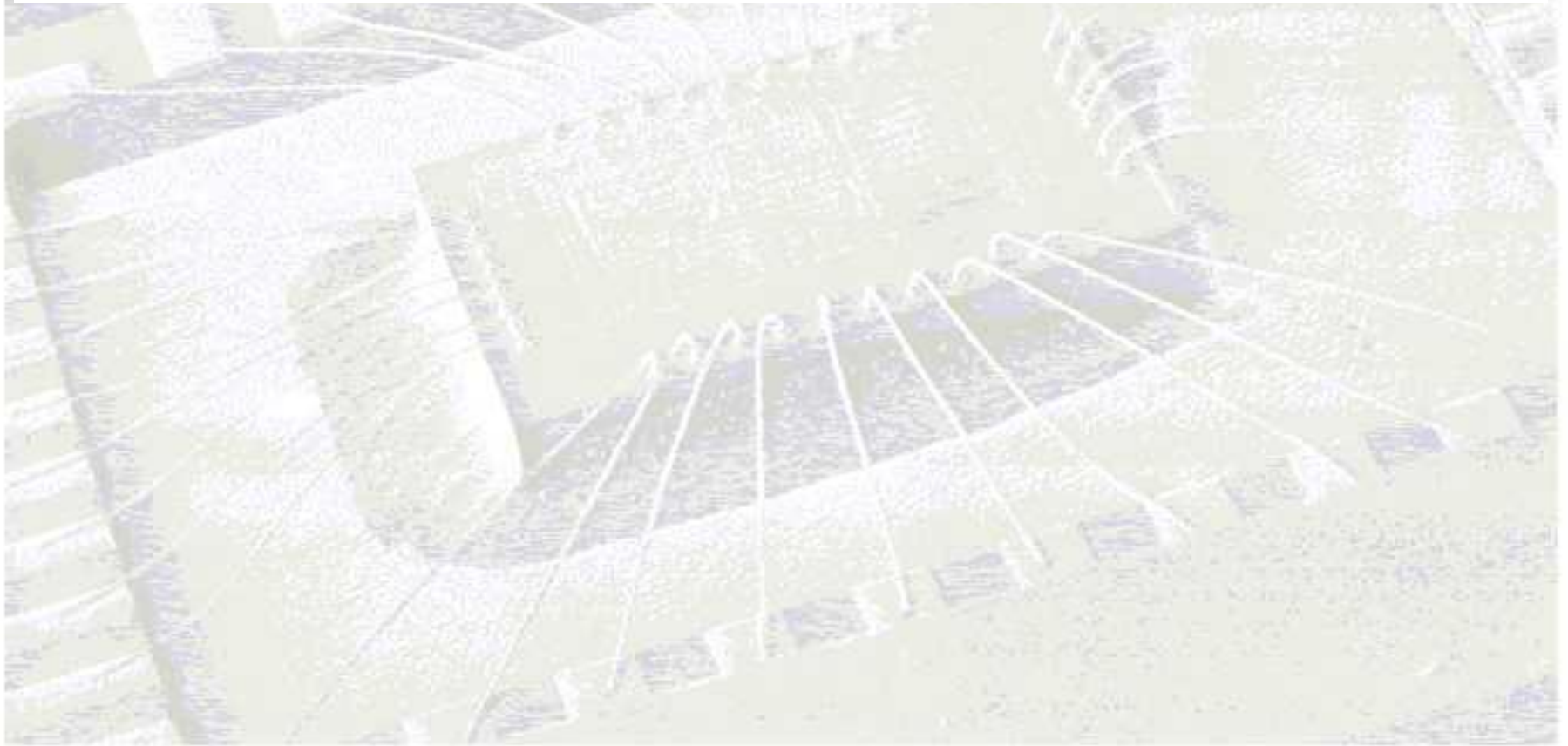
Codificador Octal / Binário



Inputs								Outputs		
\bar{A}_0	\bar{A}_1	\bar{A}_2	\bar{A}_3	\bar{A}_4	\bar{A}_5	\bar{A}_6	\bar{A}_7	O_2	O_1	O_0
X	1	1	1	1	1	1	1	0	0	0
X	0	1	1	1	1	1	1	0	0	1
X	1	0	1	1	1	1	1	0	1	0
X	1	1	0	1	1	1	1	0	1	1
X	1	1	1	0	1	1	1	1	0	0
X	1	1	1	1	0	1	1	1	0	1
X	1	1	1	1	1	0	1	1	1	0
X	1	1	1	1	1	1	0	1	1	1

Multiplexadores

Definição: é um circuito lógico que seleciona um entre vários sinais de entrada e o envia para a saída.



Multiplexadores

The background of the slide is a photograph of a green printed circuit board (PCB). A central integrated circuit (IC) is highlighted with a red rectangular border. This IC is a multiplexer, which is a type of digital logic device that selects one of many input signals and forwards the selected signal into a single output line. The board is populated with various other components, including smaller ICs and surface-mount components.

Definição: é um circuito lógico que seleciona um entre vários sinais de entrada e o envia para a saída.

Os circuitos Multiplexadores são conhecidos, também, como “chave seletora digital” na literatura técnica.

Multiplexadores

Definição: é um circuito lógico que seleciona um entre vários sinais de entrada e o envia para a saída.

Os circuitos Multiplexadores são conhecidos, também, como “chave seletora digital” na literatura técnica.

O roteamento do sinal de entrada para a saída é controlado pelas entradas de SELEÇÃO, frequentemente chamadas de endereço.

Multiplexadores

Definição: é um circuito lógico que seleciona um entre vários sinais de entrada e o envia para a saída.

Os circuitos Multiplexadores são conhecidos, também, como “chave seletora digital” na literatura técnica.

O roteamento do sinal de entrada para a saída é controlado pelas entradas de SELEÇÃO, frequentemente chamadas de endereço.

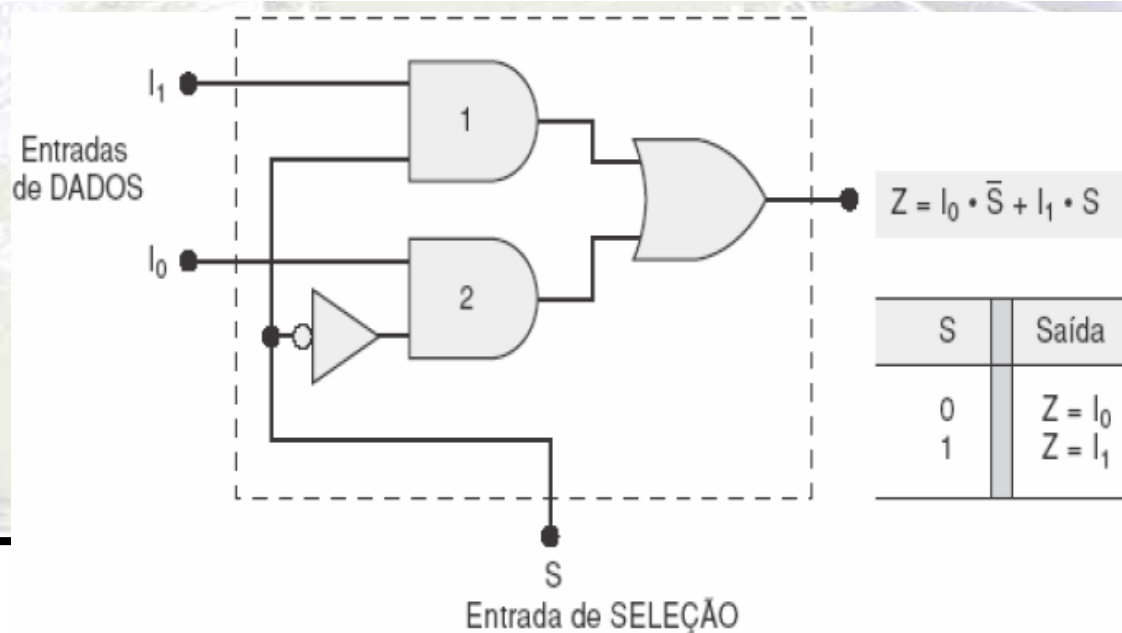
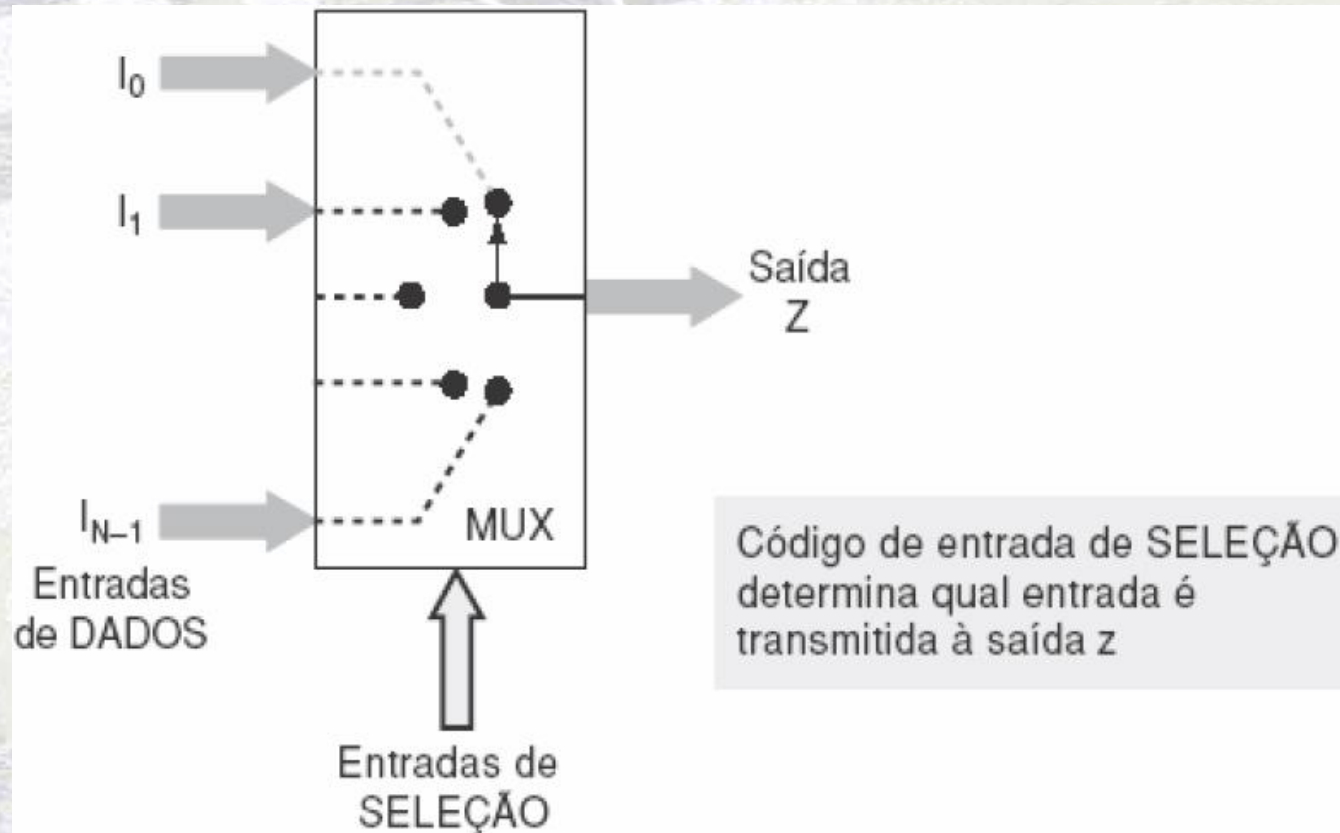
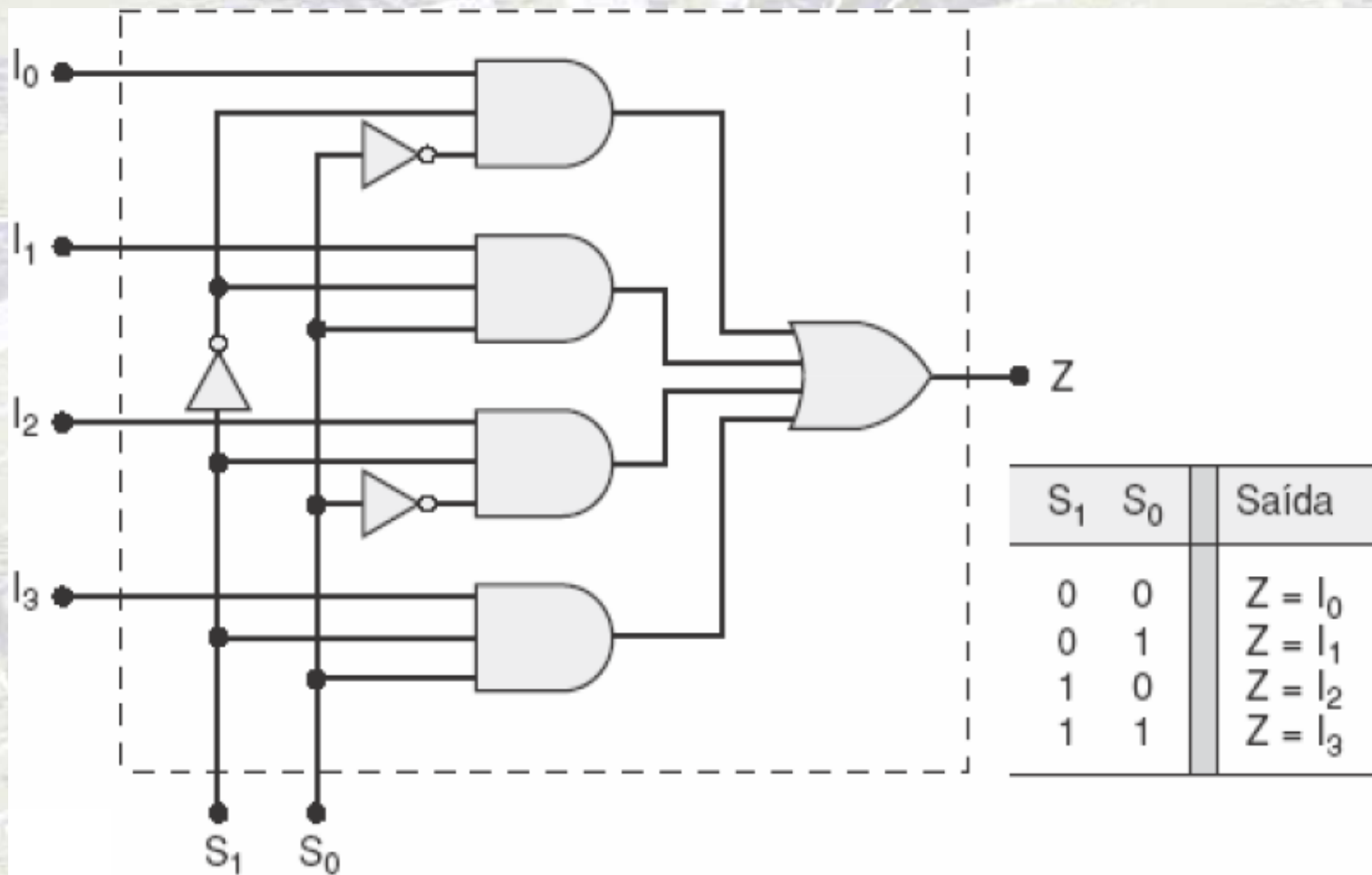


Diagrama de um Multiplexador

Diagrama funcional de um multiplexador digital (MUX).

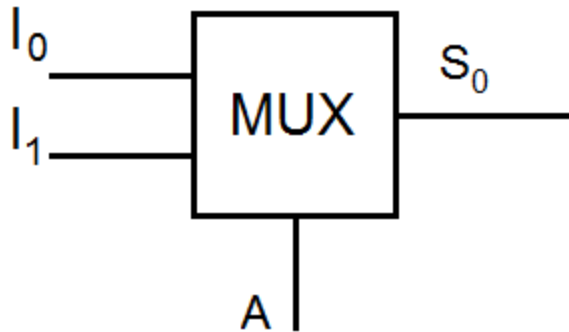


Multiplexador de 4 Entradas



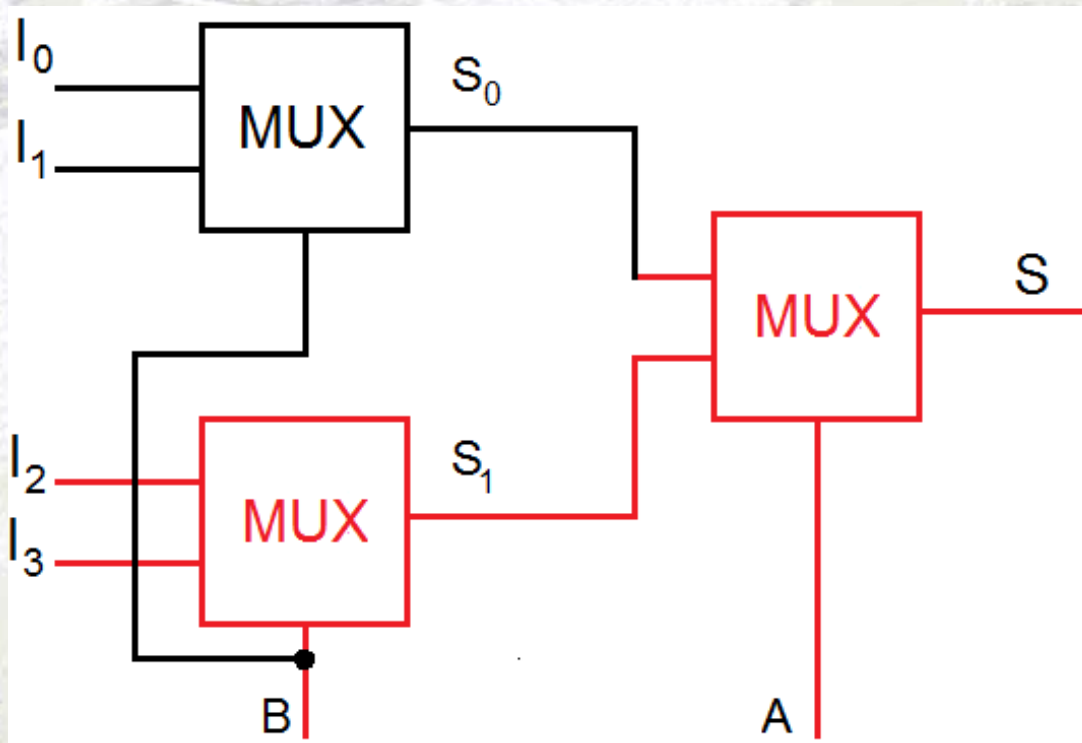
Ampliação da Capacidade

Exercícios: Como construir um MUX de 4 entradas utilizando apenas circuitos MUX de 2 entradas?



Ampliação da Capacidade

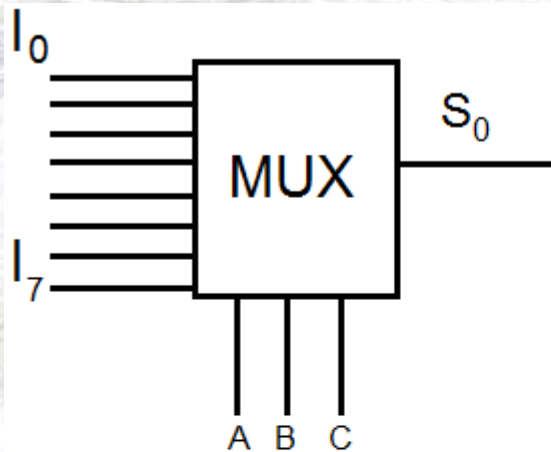
Exercícios: Como construir um MUX de 4 entradas utilizando apenas circuitos MUX de 2 entradas?



A	B	S
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

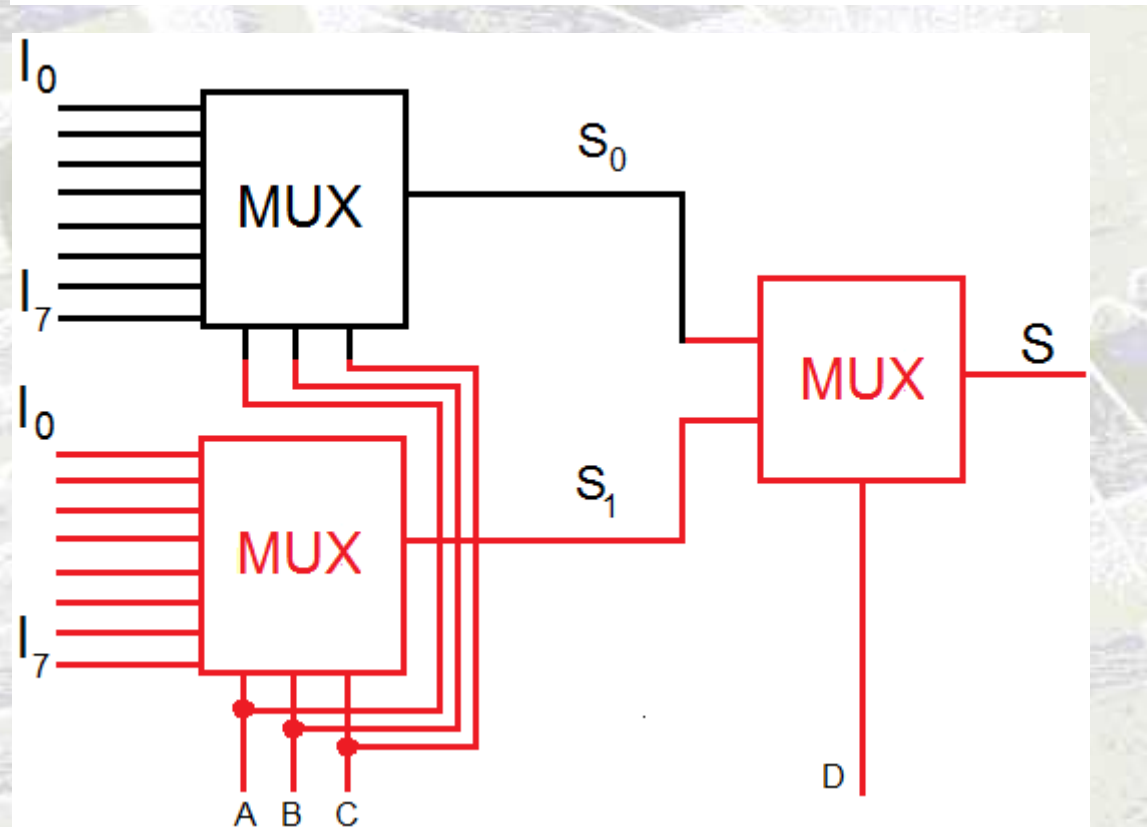
Ampliação da Capacidade

Exercícios: Como construir um MUX de 16 entradas utilizando circuitos MUX de 8 e 2 entradas?



Ampliação da Capacidade

Exercícios: Como construir um MUX de 16 entradas utilizando circuitos MUX de 8 e 2 entradas?



D	A	B	C	S
0	0	0	0	I_0
0	0	0	1	I_1
0	0	1	0	I_2
0	0	1	1	I_3
0	1	0	0	I_4
0	1	0	1	I_5
0	1	1	0	I_6
0	1	1	1	I_7

MUX 1

1	0	0	0	I_8	- I_0
1	0	0	1	I_9	- I_1
1	0	1	0	I_{10}	- I_2
1	0	1	1	I_{11}	- I_3
1	1	0	0	I_{12}	- I_4
1	1	0	1	I_{13}	- I_5
1	1	1	0	I_{14}	- I_6
1	1	1	1	I_{15}	- I_7

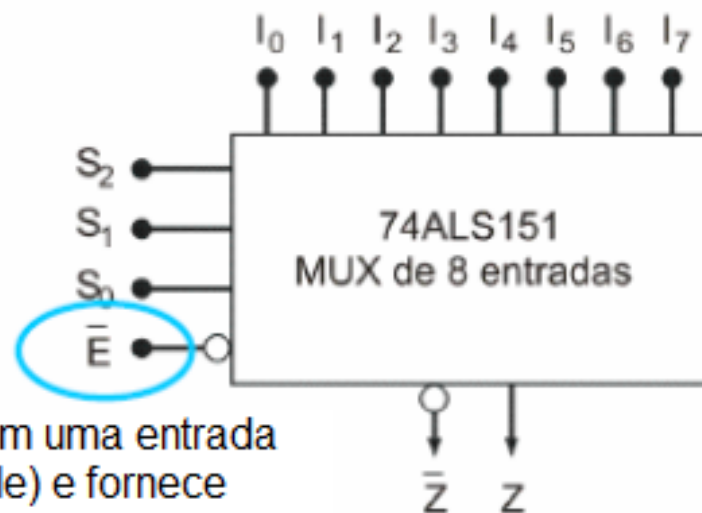
MUX 2

Multiplexador de 8 Entradas

O multiplexador CI 74LS151.

Inputs				Saída	
\bar{E}	S_2	S_1	S_0	\bar{Z}	Z
H	X	X	X	H	L
L	L	L	L	\bar{I}_0	I_0
L	L	L	H	\bar{I}_1	I_1
L	L	H	L	\bar{I}_2	I_2
L	L	H	H	\bar{I}_3	I_3
L	H	L	L	\bar{I}_4	I_4
L	H	L	H	\bar{I}_5	I_5
L	H	H	L	\bar{I}_6	I_6
L	H	H	H	\bar{I}_7	I_7

Este multiplexador tem uma entrada de habilitação (Enable) e fornece tanto a saída normal quanto a saída invertida.



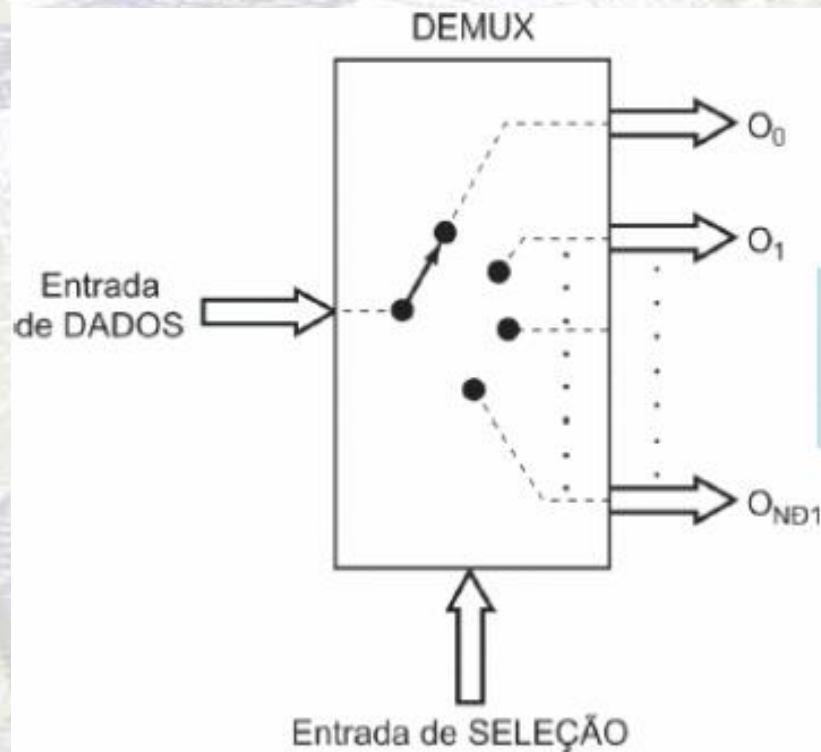
Demultiplexador

Definição: é um circuito lógico que recebe 1 sinal (1 entrada) e o envia para várias saídas. Resumidamente, realiza a operação inversa do circuito multiplexador.



Demultiplexador

Definição: é um circuito lógico que recebe 1 sinal (1 entrada) e o envia para várias saídas. Resumidamente, realiza a operação inversa do circuito multiplexador.

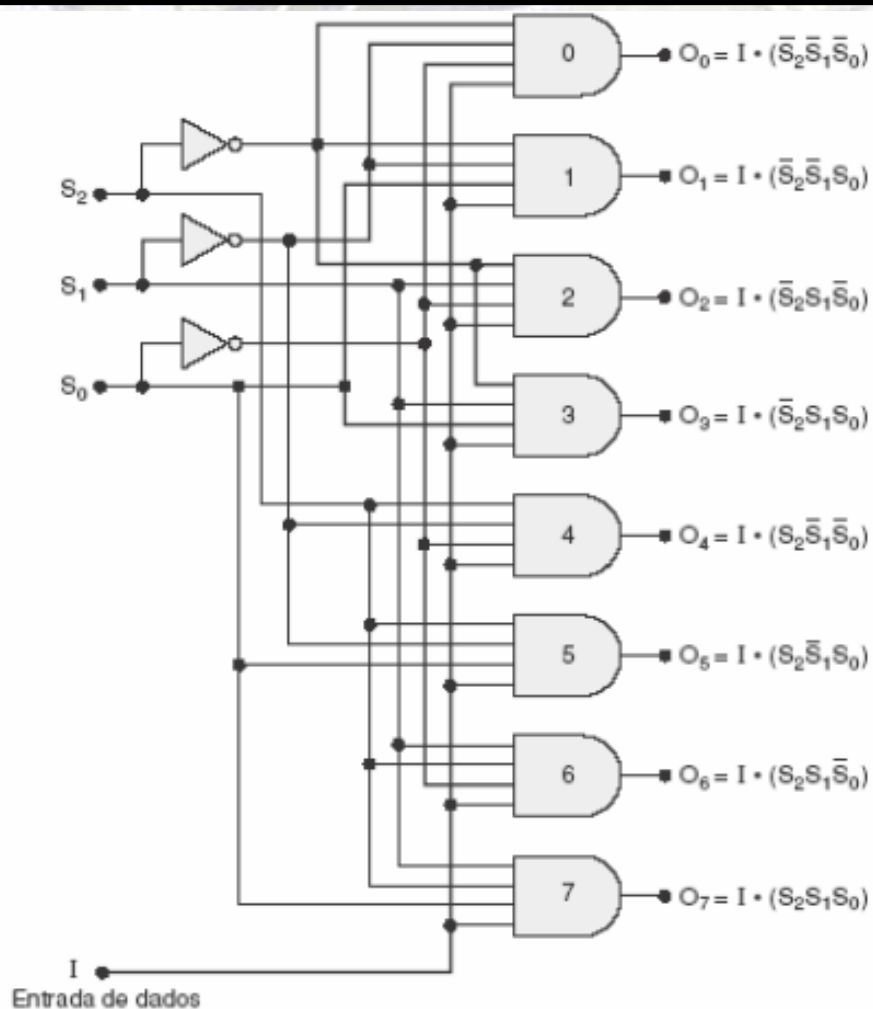


A entrada de DADOS é transmitida apenas para uma das saídas, conforme determinado pelo código de seleção de entrada

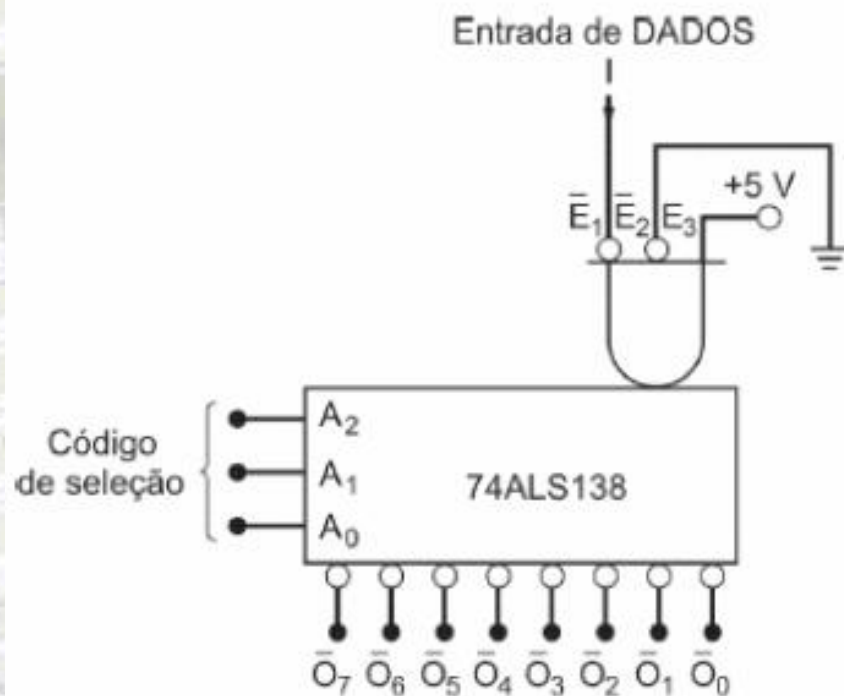
DEMUX 1X8

DEMULTIPLEXADOR
de 1 para 8 linhas.

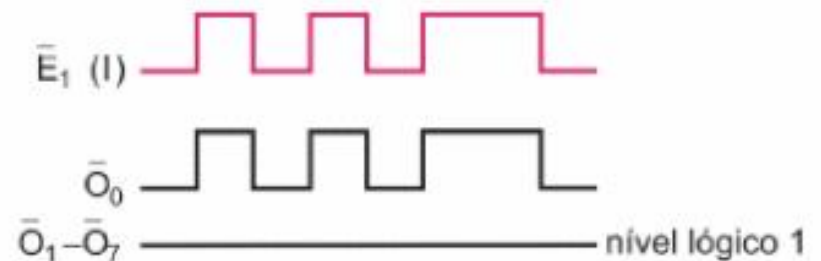
Código de SELEÇÃO			SAÍDAS							
S_2	S_1	S_0	O_7	O_6	O_5	O_4	O_3	O_2	O_1	O_0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0



DEMUX a partir de 74LS138



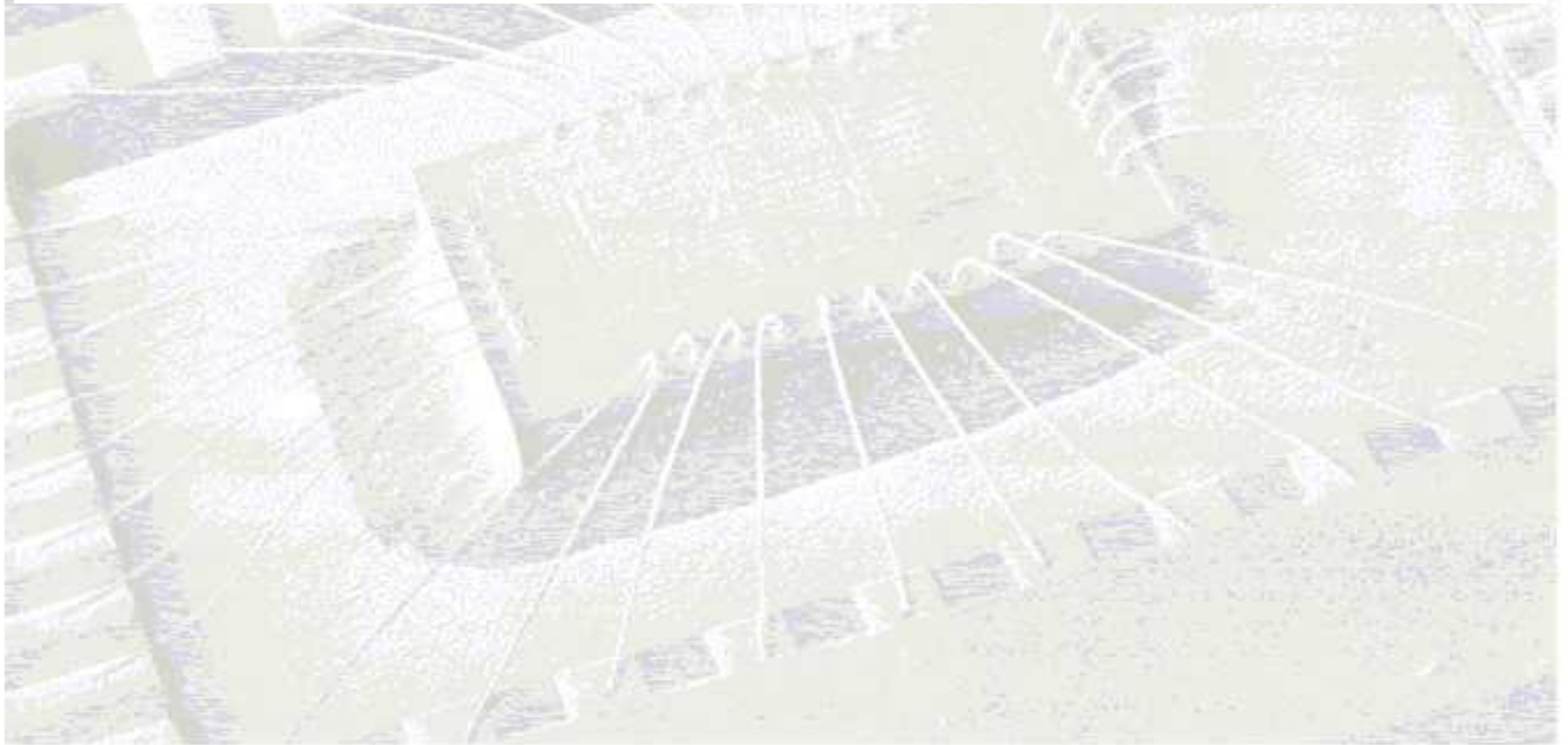
Código de SELEÇÃO			SAÍDAS							
S_2	S_1	S_0	O_7	O_6	O_5	O_4	O_3	O_2	O_1	O_0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0



Formas de onda para $A_2A_1A_0 = 000$

Transmissão de Dados

Uma das operações mais comuns que ocorrem em qualquer sistema digital é a **transmissão da informação** de um ponto para outro.



Transmissão de Dados

Uma das operações mais comuns que ocorrem em qualquer sistema digital é a **transmissão da informação** de um ponto para outro.

A **informação** pode ser transmitida a uma distância tão pequena quanto a de alguns centímetros em uma placa de circuito, ou a uma distância de vários quilômetros.

Transmissão de Dados

Uma das operações mais comuns que ocorrem em qualquer sistema digital é a **transmissão da informação** de um ponto para outro.

A **informação** pode ser transmitida a uma distância tão pequena quanto a de alguns centímetros em uma placa de circuito, ou a uma distância de vários quilômetros.

A informação é transmitida em formato binário e, geralmente, é representada por tensões na saída de um transmissor que está conectado à entrada de um circuito receptor.

Transmissão de Dados

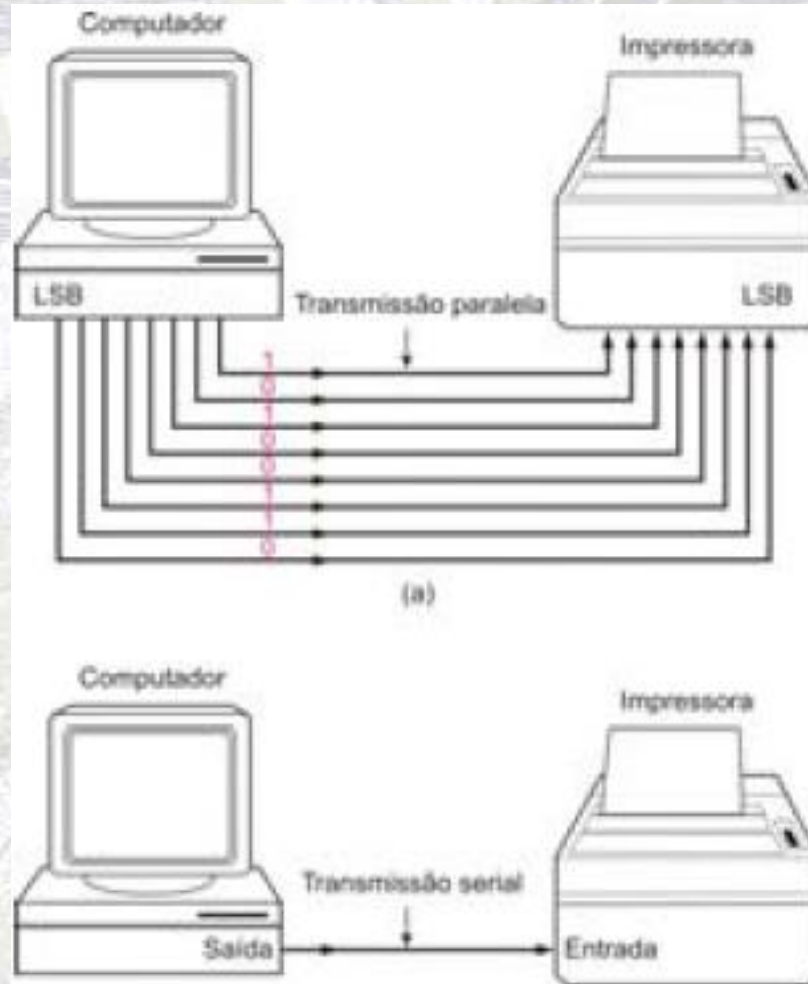
Uma das operações mais comuns que ocorrem em qualquer sistema digital é a **transmissão da informação** de um ponto para outro.

A **informação** pode ser transmitida a uma distância tão pequena quanto a de alguns centímetros em uma placa de circuito, ou a uma distância de vários quilômetros.

A informação é transmitida em formato binário e, geralmente, é representada por tensões na saída de um transmissor que está conectado à entrada de um circuito receptor.

Os dois métodos básicos para transmissão de informação digital são: **paralelo** e **serial**.

Transmissão de Dados



Transmissão de Dados

A maioria dos equipamentos digitais modernos são projetados para ser **relativamente livre de ruído**, e a probabilidade de **erros** deverá ser **baixa**.



Transmissão de Dados

A maioria dos equipamentos digitais modernos são projetados para ser **relativamente livre de ruído**, e a probabilidade de **erros** deverá ser **baixa**.

Entretanto, em sistemas digitais que transmitem **centenas** ou até **milhões** de bits por segundo, mesmo com uma pequena taxa de ocorrência de erros, pode-se ter erros aleatórios capazes de gerar incômodos, se não desastres.

Transmissão de Dados

A maioria dos equipamentos digitais modernos são projetados para ser **relativamente livre de ruído**, e a probabilidade de **erros** deverá ser **baixa**.

Entretanto, em sistemas digitais que transmitem **centenas** ou até **milhões** de bits por segundo, mesmo com uma pequena taxa de ocorrência de erros, pode-se ter erros aleatórios capazes de gerar incômodos, se não desastres.

Uma das técnicas mais simples e mais usadas para detecção de erros é conhecida como **método de paridade**.

Transmissão de Dados

A maioria dos equipamentos digitais modernos são projetados para ser **relativamente livre de ruído**, e a probabilidade de **erros** deverá ser **baixa**.

Entretanto, em sistemas digitais que transmitem **centenas** ou até **milhões** de bits por segundo, mesmo com uma pequena taxa de ocorrência de erros, pode-se ter erros aleatórios capazes de gerar incômodos, se não desastres.

Uma das técnicas mais simples e mais usadas para detecção de erros é conhecida como **método de paridade**.

Nesta estratégia, um **bit de paridade** (um bit extra), é anexado ao conjunto de bits do código a ser transferido de uma localidade para outra. O bit de paridade pode ser 0 ou 1, dependendo do número de 1s contido no conjunto de bits do código.

Transmissão de Dados

Existem dois tipos diferentes de métodos para adição do bit de paridade:

- **paridade par;**
- **paridade ímpar.**

Transmissão de Dados

Existem dois tipos diferentes de métodos para adição do bit de paridade:

- **paridade par;**
- **paridade ímpar.**

Detecção de erros pelo Método da Paridade

Considere que se deseja transmitir o caractere “C” cujo Código ASCII em 7 bits é 1000011, utilizando a paridade par.

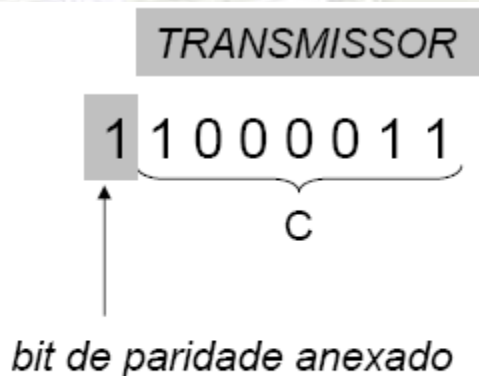
Transmissão de Dados

Existem dois tipos diferentes de métodos para adição do bit de paridade:

- **paridade par;**
- **paridade ímpar.**

Detecção de erros pelo Método da Paridade

Considere que se deseja transmitir o caractere “C” cujo Código ASCII em 7 bits é 1000011, utilizando a paridade par.



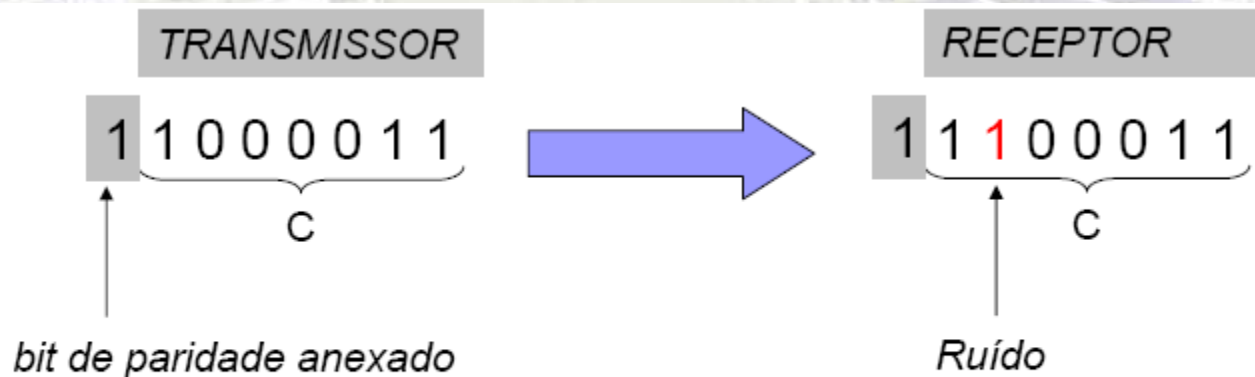
Transmissão de Dados

Existem dois tipos diferentes de métodos para adição do bit de paridade:

- **paridade par;**
- **paridade ímpar.**

Detecção de erros pelo Método da Paridade

Considere que se deseja transmitir o caractere “C” cujo Código ASCII em 7 bits é 1000011, utilizando a paridade par.



Como o número de 1s não é par, o erro é detectado no receptor.

Circuito Gerador de Paridade

A lógica do **Gerador de Paridade Par** é incluir um bit 1 caso o número de 1s contidos no conjunto de bits do código seja ímpar, ou incluir um bit 0 caso o número de 1s seja par.



Circuito Gerador de Paridade

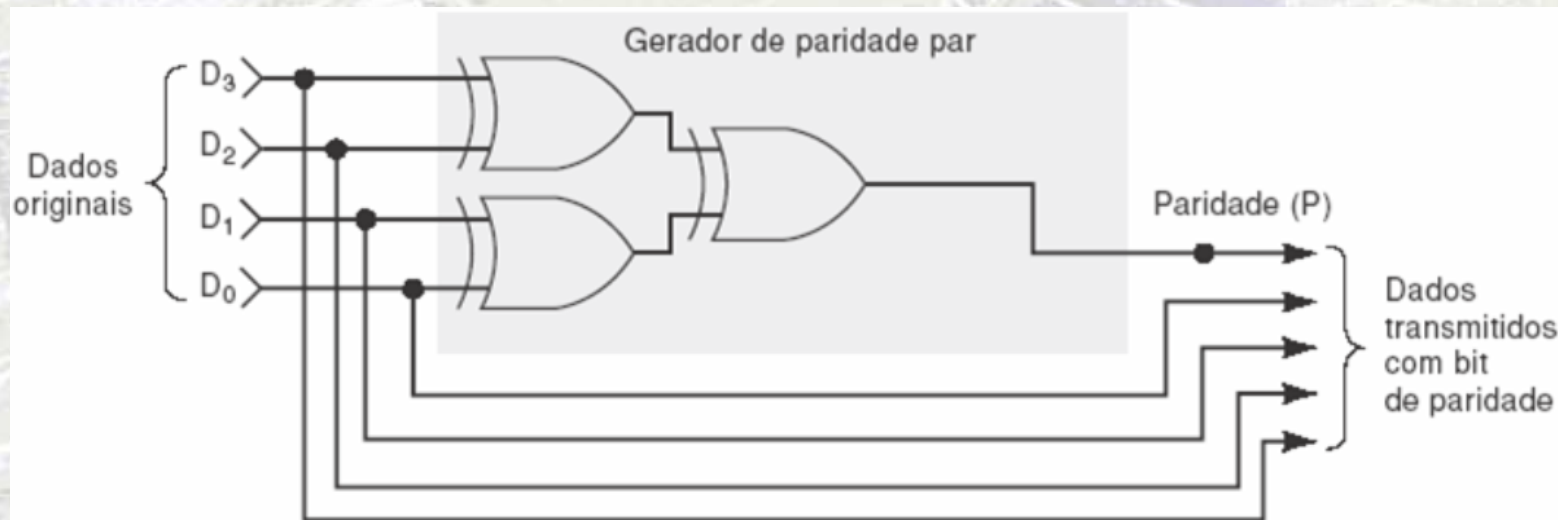
A lógica do **Gerador de Paridade Par** é incluir um bit 1 caso o número de 1s contidos no conjunto de bits do código seja ímpar, ou incluir um bit 0 caso o número de 1s seja par.

A Porta EX-OR opera de tal forma que gera uma saída 1 caso o número de 1s nas entradas for ímpar, e 0 caso o número de 1s for par.

Circuito Gerador de Paridade

A lógica do **Gerador de Paridade Par** é incluir um bit 1 caso o número de 1s contidos no conjunto de bits do código seja ímpar, ou incluir um bit 0 caso o número de 1s seja par.

A Porta EX-OR opera de tal forma que gera uma saída 1 caso o número de 1s nas entradas for ímpar, e 0 caso o número de 1s for par.



Circuito Verificador de Paridade

A partir do **gerador de paridade** podemos implementar o **verificador de paridade**: gera-se o bit de paridade do conjunto de bits do código, e compara-se com o bit de paridade recebido.

