



# **CV1810H/CV1811H/CV1812H/CV1813H Preliminary Datasheet**

Version: 0.1.2.4  
Release date: 2022-12-22

© 2022 北京晶视智能科技有限公司  
本文件所含信息归北京晶视智能科技有限公司所有。  
未经授权，严禁全部或部分复制或披露该等信息。

## 修订记录

Revision	Date	Description
0.1.0.0	2022/03/01	Preliminary release
0.1.2.2	2022/06/09	Reviewer reviewed
0.1.2.3	2022/10/09	Part number update
0.1.2.4	2022/12/22	修改 CV1810H 相关描述

## 法律声明

---

本数据手册包含北京晶视智能科技有限公司（下称“晶视智能”）的保密信息。未经授权，禁止使用或披露本数据手册中包含的信息。如您未经授权披露全部或部分保密信息，导致晶视智能遭受任何损失或损害，您应对因之产生的损失/损害承担责任。

本文件内信息如有更改，恕不另行通知。晶视智能不对使用或依赖本文件所含信息承担任何责任。

本数据手册和本文件所含的所有信息均按“原样”提供，无任何明示、暗示、法定或其他形式的保证。晶视智能特别声明未做任何适销性、非侵权性和特定用途适用性的默示保证，亦对本数据手册所使用、包含或提供的任何第三方的软件不提供任何保证；用户同意仅向该第三方寻求与此相关的任何保证索赔。此外，晶视智能亦不对任何其根据用户规格或符合特定标准或公开讨论而制作的可交付成果承担责任。

## 目 录

修订记录 .....	2
------------	---

法律声明 .....	3
------------	---

1 产品概述 .....	9
--------------	---

1.1 概述 (CV1810H/CV1811H/CV1812H/CV1813H).....	9
---	---

1.2 应用场景.....	9
---------------	---

1.2.1 CV1810H/CV1811H/CV1812H/CV1813H 智能 IP 摄像机解决方案.....	9
--	---

1.2.2 CV1810H/CV1811H/CV1812H/CV1813H 智能人脸考勤机解决方案...	10
--	----

1.3 架构.....	11
-------------	----

1.3.1 概述.....	11
---------------	----

1.3.2 处理器内核.....	11
------------------	----

1.3.3 TPU .....	11
-----------------	----

1.3.4 视频编解码 (CV1810H) .....	12
-----------------------------	----

1.3.5 视频编解码 (CV1811H/CV1812H/CV1813H) .....	12
---	----

1.3.6 视频接口 (CV1810H/CV1811H/CV1812H/CV1813H).....	13
---	----

1.3.7 ISP 与图像处理.....	13
----------------------	----

1.3.8 CV 硬件加速引擎 .....	14
-----------------------	----

1.3.9 音频编解码(CV1810H/CV1811H/CV1812H/CV1813H) .....	14
--	----

1.3.10 网络接口.....	14
------------------	----

1.3.11 安全系统模块.....	14
--------------------	----

1.3.12 智能安全运行环境.....	15
----------------------	----

1.3.13 外围接口 (CV1810H/CV1811H/CV1812H/CV1813H).....	15
--	----

1.3.14 外部存储器接口.....	16
---------------------	----

1.3.15 SDK .....	16
------------------	----

1.3.16 芯片物理规格.....	16
--------------------	----

1.4 启动和升级模式.....	17
------------------	----

1.4.1 概述.....	17
---------------	----

1.4.2 启动模式和对应的信号锁存值对应关系.....	17
------------------------------	----

1.4.3 镜像烧写模式.....	17
-------------------	----

1.4.4 安全启动.....	17
-----------------	----

1.5 地址空间映像.....	18
-----------------	----

2 硬件特性 .....	22
--------------	----

2.1 封装与管脚分布.....	22
------------------	----

2.1.1 封装 CV1810H/CV1811H/CV1812H/CV1813H .....	22
--	----

2.1.2 管脚分布 CV1810H/CV1811H/CV1812H/CV1813H.....	23
---	----

2.2 管脚信息描述.....	24
-----------------	----

2.3 焊接工艺建议.....	25
-----------------	----

2.4 潮敏参数.....	26
---------------	----

2.4.1	晶视智能产品防潮包装.....	26
2.5	电性能参数.....	29
2.5.1	功耗参数.....	29
2.5.2	温度和热阻参数(CV1810H/CV1811H/CV1812H/CV1813H) .....	29
2.5.3	破坏性电压.....	30
2.5.4	上下电顺序 (CV1810H/CV1811H/CV1812H/CV1813H).....	30
2.5.5	电源 DC/AC 电气参数.....	34
2.5.6	1.8V IO 电气参数.....	36
2.5.7	18OD33 IO (VDDIO=1.8V) 电气参数 .....	36
2.5.8	18OD33 IO (VDDIO=3.0V) 电气参数 .....	37
2.5.9	Audio GPIO 电气参数.....	39
2.5.1	ETH GPIO 电气参数 .....	39
2.5.2	MIPI Rx 电气参数 .....	39
2.5.3	Sub-LVDS 电气参数.....	41
2.5.4	HiSPi 电气参数 .....	41
2.5.5	MIPI /LVDS Tx 电气参数.....	42
2.5.6	SDIO 电气参数.....	43
2.5.7	VI RAW/BT.601/BT.656/BT.1120 电气参数 .....	43
2.5.8	VO BT.601/BT.656/BT.1120/8080 电气参数 .....	44
2.5.9	AUDIO CODEC 电气参数 .....	44
2.6	接口时序.....	45
2.6.1	SPI NOR 接口时序 .....	45
2.6.2	SPI NAND 接口时序.....	46
2.6.3	VI 接口时序 .....	48
2.6.4	VO 接口时序.....	48
2.6.5	AIAO (I2S/PCM) 接口时序 .....	50
2.6.6	I2C 接口时序.....	52
2.6.7	SPI 接口时序.....	53
2.6.8	MIPI Rx 接口时序 .....	53
2.6.9	Sub-LVDS 接口时序 .....	54
2.6.10	HiSPi 接口时序 .....	55
2.6.11	MIPI Tx 接口时序 .....	56
2.6.12	SDIO/MMC 接口时序 .....	59

## 图 目 录

图表 1-1 智能 IP 摄像机解决方案.....	10
图表 1-2 智能人脸考勤机解决方案.....	10
图表 1-3 CV1810H/CV1811H/CV1812H/CV1813H 架构图 .....	11
图表 2-1 CV1810H/CV1811H/CV1812H/CV1813H 封装外观尺寸, 上视图 .....	22
图表 2-2. CV1810H/CV1811H/CV1812H/CV1813H 封装外观尺寸, 底视图 .....	23
图表 2-3 CV1810H/CV1811H/CV1812H/CV1813H 管脚分布图.....	23
图表 2-4 无铅回流焊工艺曲线 .....	25
图表 2-5 真空干燥包装信息.....	26
图表 2-6 干燥包, 湿度卡, 芯片及 tray 盘.....	27
图表 2-7 SPI NOR 接口时序图 .....	45
图表 2-8 SPI NAND 输入方向时序图.....	46
图表 2-9 SPI NAND 输出方向时序图.....	46
图表 2-10 VI 接口时序图 .....	48
图表 2-11 VO 接口时序图 .....	48
图表 2-12 BT.656 接口时序图.....	49
图表 2-13 BT.601 接口时序图.....	49
图表 2-14 BT.1120 接口时序图.....	49
图表 2-15 8080 接口时序图 .....	50
图表 2-16 I2S & PCM 接口接收时序图 .....	50
图表 2-17 I2S & PCM 接口发送时序图 .....	51
图表 2-18 I2C 接口时序图 .....	52
图表 2-19 SPI 接口时序图.....	53
图表 2-20. MIPI Rx 在 $0.08\text{Gbps} \leq \text{资料速度} \leq 1.5\text{Gbps}$ 时的时钟数据时序图 .....	54
图表 2-21. Sub-LVDS 时钟数据时序图 .....	55
图表 2-22. HiSPi 时钟数据时序图 .....	56
图表 2-23 MIPI TX 接口数据对时钟时序图 .....	57
图表 2-24 TX EYE Diagram Specification.....	58
图表 2-25 Transmitter Eye Diagram Validation Setup .....	58
图表 2-26 SDIO/MMC 单沿(SDR) 的数据输入输出时序图. ....	59
图表 2-27 SDIO/MMC 双沿 DDR50 模式的数据输入输出方向时序图.....	61
图表 2-28 SDIO/MMC HS200 与 SDR104 模式的数据命令输出方向时序图.....	62

## 表 目 录

表格 2-1 无铅回流焊工艺参数.....	25
表格 2-2 湿度分级及其开封保存时间 (floor life).....	27
表格 2-3 烘烤温度及时间表.....	28
表格 2-4 CV1810H/CV1811H/CV1812H/CV1813H 热阻参数 .....	29
表格 2-5 温度相关参数.....	29
表格 2-6 破坏性电压参数 (CV1810H/CV1811H/CV1812H/CV1813H).....	30
表格 2-7 CV1810H/CV1811H/CV1812H/CV1813H 电源电气参数 (建议的运作条件).....	34
表格 2-8 1.8V IO 电气参数 .....	36
表格 2-9 180D33 IO (VDDIO=1.8V) 电气参数 .....	36
表格 2-10 180D33 IO (VDDIO=3.0V) 电气参数 .....	37
表格 2-11 Audio GPIO 电气参数 .....	39
表格 2-12 ETH GPIO 电气参数 .....	39
表格 2-13. MIPI D-PHY High Speed(MISH)差分 DC 电气参数 .....	40
表格 2-14. MIPI D-PHY High Speed(MIHS)差分 AC 电气参数 .....	40
表格 2-15 MIPI D-PHY Low Power(MILP)差分 DC 电气参数 .....	40
表格 2-16 MIPI D-PHY Low Power(MILP)差分 AC 电气参数 .....	41
表格 2-17 Sub-LVDS(SL)差分 DC 电气参数.....	41
表格 2-18 Sub-LVDS(SL)差分 AC 电气参数 .....	41
表格 2-19 HiSpi 差分 DC 电气参数.....	41
表格 2-20 HiSpi 差分 AC 电气参数.....	42
表格 2-21 MIPI HS Transmitter DC Specifications.....	42
表格 2-22 MIPI HS Transmitter AC Specifications.....	42
表格 2-23 MIPI LP Transmitter DC Specifications .....	42
表格 2-24 MIPI LP Transmitter AC Specifications .....	43
表格 2-25 LVDS Transmitter DC/AC Specifications.....	43
表格 2-26 Audio CODEC 总体指标表 .....	44
表格 2-27 Audio DAC 电气参数 .....	44
表格 2-28 Audio ADC 电气参数 .....	44
表格 2-29 SPI_NOR 接口时序参数表 .....	45
表格 2-30 SPI NAND 输入方向时序 .....	46
表格 2-31 SPI NAND 输出方向时序 .....	46
表格 2-32 VI 接口时序参数表 .....	48
表格 2-33 VO 接口时序参数表.....	49
表格 2-34 I2S/PCM 接口时序参数表.....	51
表格 2-35 I2C 接口时序参数表.....	52
表格 2-36 SPI 接口时序参数表.....	53
表格 2-37 MIPI Rx 在 0.08Gbps≤资料速度≤1.5Gbps 时的时序参数表.....	54
表格 2-38. Sub-LVDS 时序参数表 .....	55
表格 2-39. HiSpi 时序参数表 .....	56
表格 2-40 Data-Clock Timing Specifications for $\geq 0.08\text{Gbps}$ and $\leq 1\text{Gbps}$ .....	57

表格 2-41 Data-Clock Timing Specifications for > 1Gbps and $\leq 1.5$ Gbps.....	57
表格 2-42 Data-Clock Timing Specifications for > 1.5Gbps and $\leq 2.5$ Gbps .....	57
表格 2-43 Transmitter Eye Diagram Specification .....	58
表格 2-44 SDIO/MMC 单沿 DS(default speed)模式时序参数表 .....	59
表格 2-45 SDIO/MMC 单沿 HS(High speed) 模式 时序参数表.....	60
表格 2-46 SDIO/MMC 双沿 DDR50 模式时序参数表 .....	61
表格 2-47 SDIO/MMC HS200 与 SDR104 模式输出参数表 .....	62
表格 2-48 SDIO/MMC HS200 与 SDR104 模式输入时序参数表 .....	62



# 1 产品概述

## 1.1 概述 (CV1810H/CV1811H/CV1812H/CV1813H)

CV1810H/CV1811H/CV1812H/CV1813H 是面向边缘智能监控 IP 摄像机、本地端人脸辨识考勤机、居家智能等多项产品领域而推出的高性能、低功耗芯片，集成了 H.264 视频压缩编解码器，H.265 视频压缩编解码器和 ISP；支持 HDR 宽动态、3D 降噪、除雾、镜头畸变校正等多种图像增强和矫正算法，为客户提供专业级的视频图像质量。

芯片更集成了自研 TPU，在 8 位整数运算下，可提供 0.5TOPS 的算力。特殊设计的 TPU 调度引擎能有效地为所有的张量处理器核心提供极高的带宽数据流。此外也为用户提供了强大的深度学习模型编译器和软件 SDK 开发包。主流的深度学习框架像，比如 Caffe 和 Tensorflow，可以轻松地移植到其平台上。

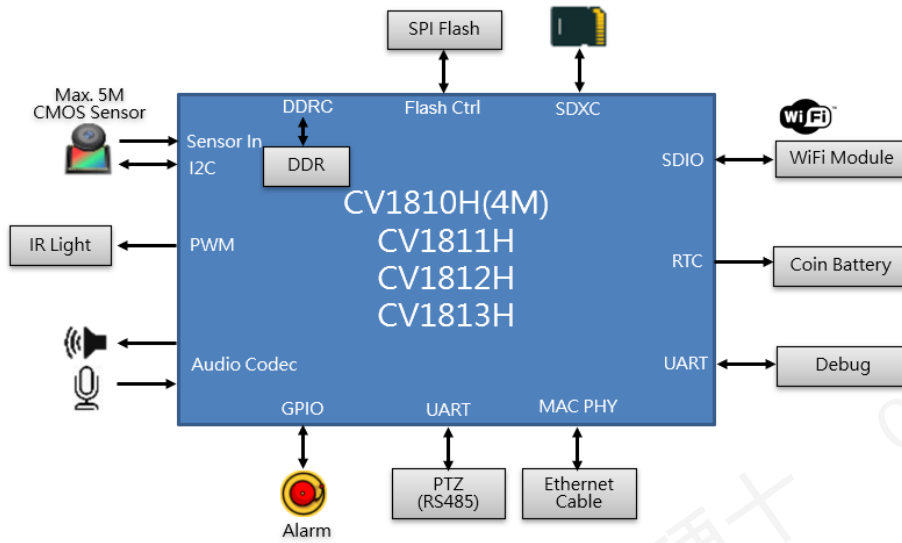
除此之外，还提供了安全启动，安全更新，安全加密等，为用户从开发、量产、产品应用，提供一系列安全解决方案。

芯片内集成一个 8 位的 MCU 子系统，可替代一般外挂的 MCU 以达到省 BOM cost 及功耗的目的。

## 1.2 应用场景

### 1.2.1 CV1810H/CV1811H/CV1812H/CV1813H 智能 IP 摄像机解决方案.

应用于智能 IP 摄像机解决方案的典型应用场景如 图表 1-1 所示. (PS. CV1810H 支援到 4M sensor)

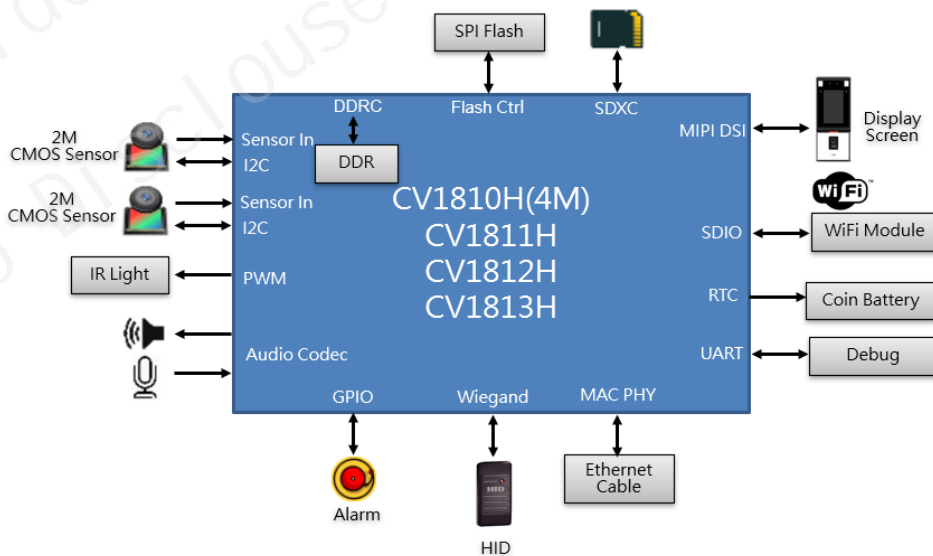


图表 1-1 智能 IP 摄像机解决方案.

## 1.2.2 CV1810H/CV1811H/CV1812H/CV1813H 智能人脸考勤机

### 解决方案.

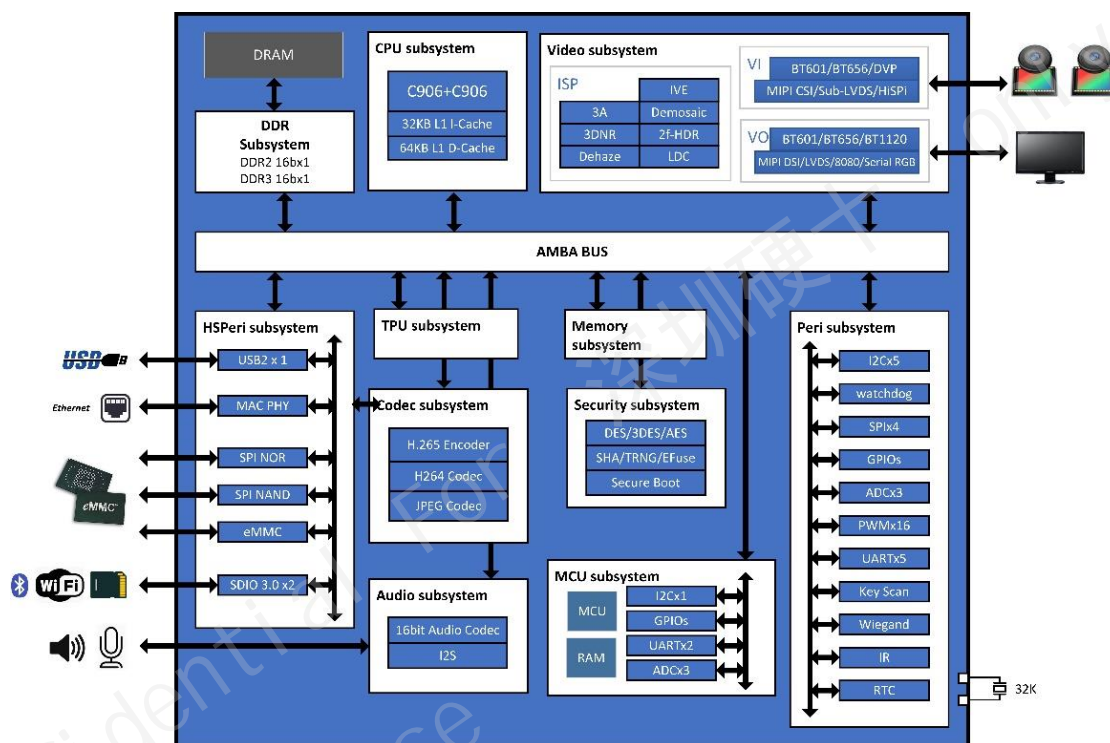
CV1810H/CV1811H/CV1812H/CV1813H 应用于智能人脸考勤机解决方案的典型应用场景如图表 1-2 所示.



图表 1-2 智能人脸考勤机解决方案

## 1.3 架构

### 1.3.1 概述



图表 1-3 CV1810H/CV1811H/CV1812H/CV1813H 架构图

### 1.3.2 处理器内核

主处理器 RISC-V C906 @ 1.0Ghz .

- o 32KB I-cache, 64KB D-Cache
- o 集成矢量(Vector)及浮点运算单元 (FPU) .

协处理器 RISC-V C906 @ 700Mhz

- o 集成浮点运算单元 (FPU) .

### 1.3.3 TPU

内置 CVITEK TPU , 算力达到 ~0.5TOPS INT8

支持主流的神经网络架构: Caffe, Pytorch, TensorFlow(Lite), ONNX 和 MXNet  
可实现行人侦测 (Pedestrian Detection), 人脸侦测 (Face Detection), 人脸识别 (Face recognition), 活体侦测 (Face anti-spoofing) 及其他视频结构化应用.

### 1.3.4 视频编解码 (CV1810H)

H.264 Baseline/Main/High profile

H.265 Main profile

H.264/H.265 均支援 I 帧及 P 帧

MJPEG/JPEG baseline

H.264 编解码最大分辨率 : 2688x1520 (4M)

H.265 编码最大分辨率 : 2688x1520 (4M)

H.264 编解码性能

2688x1520@30fps + 720x576@30fps

1920x1080@30fps 编码 + 1920x1080@30fps 解码

H.265 编码性能

2688x1520@30fps + 720x576@30fps

JPEG 最大编解码性能

2688x1520@30fps

支持 CBR/VBR/FIXQP 等多种码率控制模式.

支持 感兴趣区域 (ROI) 编码

### 1.3.5 视频编解码 (CV1811H/CV1812H/CV1813H)

H.264 Baseline/Main/High profile

H.265 Main profile

H.264/H.265 均支援 I 帧及 P 帧

MJPEG/JPEG baseline

H.264 编解码最大分辨率 : 2880x1620 (5M)

H.265 编码最大分辨率 : 2880x1620 (5M)

H.264 编解码性能

2880x1620@30fps+720x576@30fps

2304x1296@30fps 编码 + 1920x1080@30fps 解码

H.265 编码性能

2880x1620@30fps+720x576@30fps

JPEG 最大编解码性能

2880x1620@30fps

支持 CBR/VBR/FIXQP 等多种码率控制模式.

支持 感兴趣区域 (ROI) 编码

### 1.3.6 视频接口 (CV1810H/CV1811H/CV1812H/CV1813H)

输入

支持同时三路视频输入 (mipi 2L+2L+DVP)

支持 MIPI, Sub-LVDS, HiSPI 等串行接口.

支持 8/10/12 bit RGB Bayer 视频输入.

支持 BT.601, BT.656, BT.1120 视频输入.

支持 AHD 多路混合 BT 格式.

支持 SONY, OnSemi, OmniVision 等高清 CMOS sensor

提供可编程频率输出供 sensor 作为参考时钟.

支持最大宽度为 2880 , 最大分辨率 5M(2688x1944, 2880x1620)

输出

支持多种串行与并行屏显规格.

支持 MIPI , LVDS 等串行接口

支持 BT.601, BT.656, BT.1120, RGB565/666/888, 8080 输出接口

支持 SPI 输出接口.

### 1.3.7 ISP 与图像处理

图像视频 90 度、180 度、270 度旋转

图像视频 Mirror、Flip 功能

视频 OSD 叠加

视频 1/32~32x 缩放功能

3A (AE/AWB/AF) 算法

固定模式噪声消除、坏点校正

镜头阴影校正、镜头畸变校正、紫边校正

方向自适应 demosaic

Gamma 校正、动态对比度增强、颜色管理和增强

区域自适应去雾

Bayer 降噪、3D 降噪、细节增强及锐化增强

Local Tone mapping

Sensor 自带宽动态和 2 帧宽动态

两轴数字图像防抖

镜头畸变校正

提供 PC 端 ISP tuning tools

### 1.3.8 CV 硬件加速引擎

软硬件混合模式支持部分 OpenCV 库.

软硬件混合模式支持部分 IVE 库.

### 1.3.9 音频编解码(CV1810H/CV1811H/CV1812H/CV1813H)

集成 Audio CODEC, 支持 16 bit 音源/语音 输入和输出.

集成双声道麦克风输入.

集成双声道输出. (需要外挂功放才能推动喇叭)

同时支持以 I2S/PCM/TDM 接口连接外部 audio CODEC. 内建 audio PLL 支援 MCLK 输出.

软件音频编解码协议 (G.711, G.726, ADPCM)

软件支持音频 3A (AEC, ANR, AGC) 功能.

### 1.3.10 网络接口

以太网模块提供 1 个 Ethernet MAC, 实现网路数据的接收与发送.

Ethernet MAC 搭配内建 10/100Mbps Fast Ethernet Transceiver 可工作在 10/100Mbps 全双工或半双工模式. 亦可通过 RMII 接口外挂 PHY.

### 1.3.11 安全系统模块

硬件实现 AES/DES/SM4 多种加解密算法

硬件实现 HASH(SHA1/SHA256) 哈希算法

硬件实现随机数发生器

内部集成 2Kbit eFuse 逻辑空间

### 1.3.12 智能安全运行环境

支持信任链建立: 提供安全环境的基础, 为可信环境的根本, 如硬件安全设置、信任根

支持安全启动, 提供安全硬件、软件保护功能

支持资料加密安全: 数据加密程序, 运算核心加密

支持软、固件验签流程: 确认软件可信性及完整性, 包括 开机及载入验签程序

支持安全储存及传输: 保护外部数据储存及交换

支持安全更新

### 1.3.13 外围接口 (CV1810H/CV1811H/CV1812H/CV1813H)

集成 POR, Power sequence, 及 RTC 时钟.

6 个单端 ADC (3 no die domain)

6 个 I2C (1 no die domain)

4 个 SPI

7 组 UART (2 no die domain)

4 组(16 通道) PWM

2 个 SDIO 接口.

一个支持 3V/1.8V 连接 SD 3.0 Card(支持最大容量 SDXC 2TB, 支持速度为 UHS-I)

一个支持 1.8V 连接其他 SDIO 3.0 设备.(支持速度为 UHS-I)

110 GPIO 接口 (25 no die domain)

集成 keyscan 及 Wiegand

集成 MAC PHY 支持 10/100Mbps 全双工或半双工模式. 也可通过 RMII 外挂 PHY

一个 USB Host / device 接口

两组 I2S

### 1.3.14 外部存储器接口

#### 内建 DRAM

CV1810H DDR2 16bitx1, 最高速率达 1333Mbps, 容量 512Mbit (64MB)

CV1811H DDR3 16bitx1, 最高速率达 1866Mbps, 容量 1Gbit (128MB)

CV1812H DDR3 16bitx1, 最高速率达 1866Mbps, 容量 2Gbit (256MB)

CV1813H DDR3 16bitx1, 最高速率达 1866Mbps, 容量 4Gbit (512MB)

#### SPI NOR flash 接口 (1.8V / 3.0V)

支持 1, 2, 4 线模式.

最大支持 256MByte.

#### SPI Nand flash 接口 (1.8V / 3.0V)

支持 1KB/2KB/4KB page (对应的最大容量 16GB/32GB/64GB)

使用器件本身内建的 ECC 模块.

#### eMMC 4.5 接口 (1.8V/3.0V)

4 bit 接口.

支持 HS200

最大支持容量 2TB

### 1.3.15 SDK

#### Linux-5.10-based SDK

### 1.3.16 芯片物理规格

#### 功耗

1080P + Video encode + AI : ~500mW

其余场景 : TBD

#### 工作电压

内核电压为 0.9V

IO 电压为 1.8V 及 3.0V

DDR 电压如下表.

CV1810H = 1.5V

CV1811H = 1.35V

CV1812H = 1.35V

CV1813H = 1.35V



## 封装

使用 LFBGA 封装, 封装尺寸为 10mmx10mmx1.3mm. 管脚间距为 0.65mm. 管脚总数为 205 个

## 1.4 启动和升级模式

### 1.4.1 概述

芯片由内置 ROM (BOOTROM) 启动. 芯片在复位时会通过侦测两个管脚(EMMC\_DAT3, EMMC\_DAT0)上是否有弱上拉或弱下拉以确认目前选用使用的存储器件类型.

安全启动的芯片, 则会在开机及芯片升级时都会验签以确保执行或升级的软件是安全的.

### 1.4.2 启动模式和对应的信号锁存值对应关系

支持由 SPI Nor Flash 启动 (EMMC\_DAT3 pull down, EMMC\_DAT0 pull up)

支持由 SPI Nand Flash 启动 (EMMC\_DAT3 pull down, EMMC\_DAT0 pull down)

支持由 eMMC 启动. (EMMC\_DAT3 pull up, EMMC\_DAT0 pull up)

### 1.4.3 镜像烧写模式.

支持通过 SD 卡烧写镜像.

支持通过 USB device mode 烧写镜像.

若 flash 中已有镜像, 软件支援由网路升级软件

### 1.4.4 安全启动

支持安全启动及升级

AES/DES/SM4 硬件加解密.

SHA/TRNG/Secure Efuse 安全硬件.

## 1.5 地址空间映像

起始地址 [31:0]	结束地址 [31:0]	空间功能	空间大小 (Byte)
0x01000000	0x017FFFFF	保留	8M
0x01800000	0x018FFFFF	保留	
0x01900000	0x01900FFF	ap_mailbox	4K
0x01901000	0x01901FFF	ap_system_ctrl	4K
0x01902000	0x019EFFFF	保留	
0x01F00000	0x01F0FFFF	保留	64K
0x01F10000	0x01FFFFFF	保留	
0x02000000	0x02FFFFFF	保留	64K
0x03000000	0x03000FFF	TOP_MISC 控制寄存器	4K
0x03001000	0x03001FFF	PINMUX 控制寄存器	4K
0x03002000	0x03002FFF	CLKGEN/PLL 控制寄存器	4K
0x03003000	0x03003FFF	RSTGEN 控制寄存器	4K
0x03004000	0x03005FFF	保留	
0x03006000	0x03006FFF	保留	4K
0x03007000	0x03008FFF	保留	
0x03009000	0x03009FFF	保留	4K
0x0300A000	0x0300AFFF	保留	4K
0x0300B000	0x0300FFFF	保留	
0x03010000	0x03010FFF	WATCH DOG0 控制寄存器	4K
0x03011000	0x03011FFF	WATCH DOG1 控制寄存器	4K
0x03012000	0x03012FFF	WATCH DOG2 控制寄存器	4K
0x03020000	0x03020FFF	GPIO0 控制寄存器	4K
0x03021000	0x03021FFF	GPIO1 控制寄存器	4K
0x03022000	0x03022FFF	GPIO2 控制寄存器	4K
0x03023000	0x03023FFF	GPIO3 控制寄存器	4K
0x03024000	0x0302FFFF	保留	
0x03030000	0x03030FFF	WGN0 控制寄存器	4K
0x03031000	0x03031FFF	WGN1 控制寄存器	4K
0x03032000	0x03032FFF	WGN2 控制寄存器	4K
0x03033000	0x0303FFFF	保留	
0x03040000	0x0304FFFF	KEYSCAN 控制寄存器	64K
0x03050000	0x0305FFFF	EFUSE 控制寄存器	64K
0x03060000	0x03060FFF	PWM0 控制寄存器	4K
0x03061000	0x03061FFF	PWM1 控制寄存器	4K
0x03062000	0x03062FFF	PWM2 控制寄存器	4K
0x03063000	0x03063FFF	PWM3 控制寄存器	4K
0x03064000	0x0309FFFF	保留	
0x030A0000	0x030AFFFF	TIMER 控制寄存器	64K

0x030C0000	0x030CFFFF	保留	
0x030D0000	0x030D0FFF	保留	4K
0x030D1000	0x030D1FFF	保留	4K
0x030D2000	0x030D2FFF	保留	4K
0x030D3000	0x030DFFFF	保留	
0x030E0000	0x030EFFFF	TEMPSEN 控制寄存器	64K
0x030F0000	0x030FFFFFF	SARADC 控制寄存器	64K
0x04000000	0x0400FFFF	I2C0 控制寄存器	64K
0x04010000	0x0401FFFF	I2C1 控制寄存器	64K
0x04020000	0x0402FFFF	I2C2 控制寄存器	64K
0x04030000	0x0403FFFF	I2C3 控制寄存器	64K
0x04040000	0x0404FFFF	I2C4 控制寄存器	64K
0x04050000	0x0405FFFF	保留	
0x04060000	0x0406FFFF	SPI_NAND 控制寄存器	64K
0x04070000	0x0407FFFF	ETH0 控制寄存器	
0x04080000	0x0408FFFF	保留	
0x04100000	0x04107FFF	I2S0 控制寄存器	64K
0x04108000	0x0410FFFF	I2S Global 控制寄存器	64K
0x04110000	0x0411FFFF	I2S1 控制寄存器	64K
0x04120000	0x0412FFFF	I2S2 控制寄存器	64K
0x04130000	0x0413FFFF	I2S3 控制寄存器	64K
0x04140000	0x0414FFFF	UART0 控制寄存器	64K
0x04150000	0x0415FFFF	UART1 控制寄存器	64K
0x04160000	0x0416FFFF	UART2 控制寄存器	64K
0x04170000	0x0417FFFF	UART3 控制寄存器	64K
0x04180000	0x0418FFFF	SPI0 控制寄存器	64K
0x04190000	0x0419FFFF	SPI1 控制寄存器	64K
0x041A0000	0x041AFFFF	SPI2 控制寄存器	64K
0x041B0000	0x041BFFFF	SPI3 控制寄存器	64K
0x041C0000	0x041CFFFF	UART4 控制寄存器	64K
0x041D0000	0x041DFFFF	AUDSRC 控制寄存器	64K
0x041E0000	0x042FFFFFF	保留	
0x04300000	0x0430FFFF	eMMC 控制寄存器	64K
0x04310000	0x0431FFFF	SD0 控制寄存器	64K
0x04320000	0x0432FFFF	SD1 控制寄存器	
0x04330000	0x0433FFFF	DMA 控制寄存器	64K
0x04340000	0x0434FFFF	USB 控制寄存器	64K
0x04350000	0x0435FFFF	保留	
0x04400000	0x0441FFFF	ROM 内存空间	128K
0x04420000	0x0442FFFF	保留	
0x05000000	0x05000FFF	保留	4KB

0x05020000	0x05020FFF	RTCSYS_Timer 控制寄存器	4KB
0x05021000	0x05021FFF	RTCSYS_GPIO 控制寄存器	4KB
0x05022000	0x05022FFF	RTCSYS_UART 控制寄存器	4KB
0x05023000	0x05023FFF	RTCSYS_INTR 控制寄存器	4KB
0x05024000	0x05024FFF	RTCSYS_MBOX 控制寄存器	4KB
0x05025000	0x05025FFF	RTCSYS_CTRL 控制寄存器	4KB
0x05026000	0x05026FFF	RTCSYS_CORE	4KB
0x05027000	0x05027FFF	RTCSYS_IO 控制寄存器	4KB
0x05028000	0x05028FFF	RTCSYS_OSC 控制寄存器	4KB
0x05029000	0x05029FFF	保留	4KB
0x0502A000	0x0502AFFF	RTCSYS_32kless 控制寄存器	4KB
0x0502B000	0x0502BFFF	RTCSYS_I2C 控制寄存器	4KB
0x0502C000	0x0502CFFF	RTCSYS_SAR 控制寄存器	4KB
0x0502D000	0x0502DFFF	RTCSYS_WDT 控制寄存器	4KB
0x0502E000	0x0502EFFF	RTCSYS_IRRX 控制寄存器	4KB
0x05200000	0x053FFFFF	RTCSYS_SRAM	8KB
0x05400000	0x057FFFFF	RTCSYS_SPINOR	4MB
0x08000000	0x08001FFF	保留	8K
0x08004000	0x08005FFF	DDR Controler 控制寄存器	8K
0x08006000	0x08007FFF	保留	8K
0x08008000	0x08009FFF	DDR AXI Monitor 控制寄存器	8K
0x0800A000	0x0800BFFF	DDR Global 控制寄存器	8K
0x08010000	0x08011FFF	保留	8K
0x08012000	0x08013FFF	保留	8K
0x08014000	0x09FFFFFF	保留	
0x0A000000	0x0A07FFFF	ISP 控制寄存器	512K
0x0A080000	0x0A0803FF	sc_top 控制寄存器	1K
0x0A080400	0x0A080BFF	保留	2K
0x0A080C00	0x0A080CFF	osd enc 控制寄存器	256B
0x0A080D00	0x0A080FFF	保留	768B
0x0A081000	0x0A081FFF	保留	4K
0x0A082000	0x0A082FFF	img_v 控制寄存器	4K
0x0A083000	0x0A083FFF	img_d 控制寄存器	4K
0x0A084000	0x0A084FFF	sc_d 控制寄存器	4K
0x0A085000	0x0A085FFF	sc_v1 控制寄存器	4K
0x0A086000	0x0A086FFF	sc_v2 控制寄存器	4K
0x0A087000	0x0A087FFF	sc_v3 控制寄存器	4K
0x0A088000	0x0A088FFF	DISP 控制寄存器	4K
0x0A089000	0x0A089FFF	保留	4K
0x0A08A000	0x0A08AFFF	dsi_mac 控制寄存器	4K
0x0A08B000	0x0A08BFFF	cmdq 控制寄存器	4K

0x0A08C000	0x0A08CFFF	保留	4K
0x0A08D000	0x0A08DFFF	保留	4K
0x0A08E000	0x0A09FFFF	保留	72K
0x0A0A0000	0x0A0AFFFF	IVE 控制寄存器	64K
0x0A0A0000	0x0A0BFFFF	保留	64K
0x0A0C0000	0x0A0C1FFF	Idc 控制寄存器	8K
0x0A0C2000	0x0A0C3FFF	VI0/MIPI_RX0 控制寄存器	8K
0x0A0C4000	0x0A0C5FFF	VI1/MIPI_RX1 控制寄存器	8K
0x0A0C6000	0x0A0C7FFF	VI2/MIPI_RX2 控制寄存器	8K
0x0A0C8000	0x0A0C9FFF	VIPSYS 控制寄存器	8K
0x0A0CA000	0x0A0CFFFF	保留	24K
0x0A0D0000	0x0A0D0FFF	CSI_PHY 控制寄存器	4K
0x0A0D1000	0x0A0D1FFF	DSI_PHY 控制寄存器	4K
0x0A0D2000	0x0A0DFFFF	保留	
0x0B000000	0x0B00FFFF	JPEG codec 控制寄存器	64K
0x0B010000	0x0B01FFFF	H.264 codec 控制寄存器	64K
0x0B020000	0x0B02FFFF	H.265 codec 控制寄存器	64K
0x0B030000	0x0B03FFFF	保留	
0x0C000000	0x0C00FFFF	保留	
0x10000000	0x1000FFFF	SPI_NOR 内存空间	256M
0x30000000	0x3000FFFF	保留	
0x80000000	0x8000FFFF	DDR 内存空间	2G

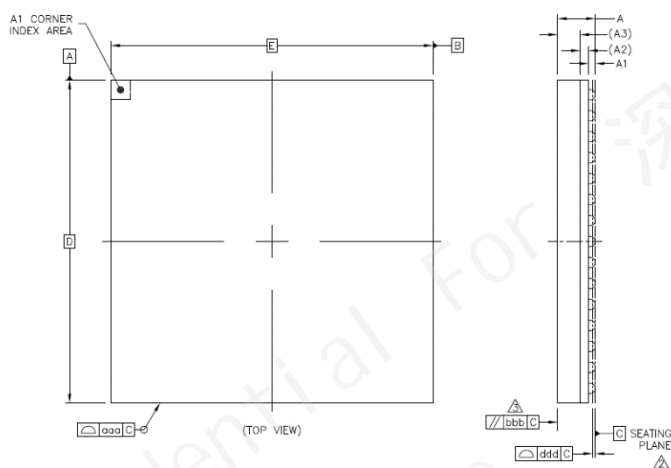
\*对保留地址空间进行读写操作，将可能产生无法预期之结果

## 2 硬件特性

### 2.1 封装与管脚分布

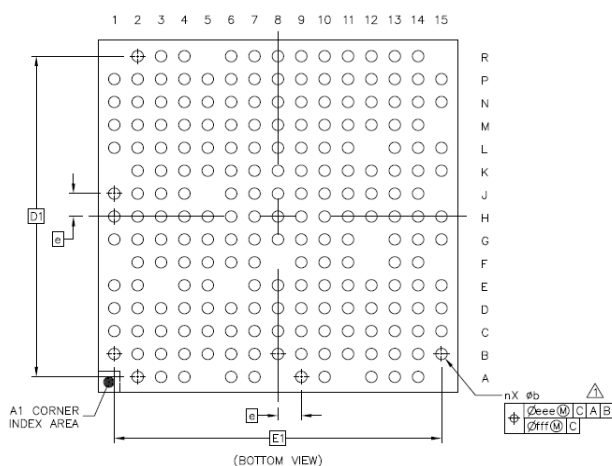
#### 2.1.1 封装 CV1810H/CV1811H/CV1812H/CV1813H

CV1810H/CV1811H/CV1812H/CV1813H 使用 LFBGA 封装, 封装尺寸为 10mmx10mmx1.3mm. 管脚间距为 0.65mm. 管脚总数为 205 个. 详细封装尺寸请参考下图.



	SYMBOL	COMMON DIMENSIONS		
		MIN.	NOM.	MAX.
TOTAL THICKNESS	A	---	---	1.3
STAND OFF	A1	0.16	---	0.28
SUBSTRATE THICKNESS	A2	---	0.28	REF
MOLD THICKNESS	A3	---	0.7	REF
BODY SIZE	D	---	10	BSC
	E	---	10	BSC
BALL DIAMETER		---	0.3	
BALL OPENING		---	0.275	
BALL WIDTH	b	0.27	---	0.37
BALL PITCH	e	---	0.65	BSC
BALL COUNT	n	---	205	
EDGE BALL CENTER TO CENTER	D1	---	9.1	BSC
	E1	---	9.1	BSC
BODY CENTER TO CONTACT BALL	SD	---	---	BSC
	SE	---	---	BSC
PACKAGE EDGE TOLERANCE	aaa	---	0.1	
MOLD FLATNESS	bbb	---	0.2	
COPLANARITY	ddd	---	0.08	
BALL OFFSET (PACKAGE)	eee	---	0.15	
BALL OFFSET (BALL)	fff	---	0.08	

图表 2-1 CV1810H/CV1811H/CV1812H/CV1813H 封装外观尺寸, 上视图



	SYMBOL	COMMON DIMENSIONS		
		MIN.	NOR.	MAX.
TOTAL THICKNESS	A	---	---	1.3
STAND OFF	A1	0.16	---	0.26
SUBSTRATE THICKNESS	A2	---	0.26	REF
MOLD THICKNESS	A3	---	0.7	REF
BODY SIZE	D	---	10	BSC
	E	---	10	BSC
BALL DIAMETER		---	0.3	
BALL OPENING		---	0.275	
BALL WIDTH	b	0.27	---	0.37
BALL PITCH	e	---	0.65	BSC
BALL COUNT	n	---	205	
EDGE BALL CENTER TO CENTER	D1	---	9.1	BSC
	E1	---	9.1	BSC
BODY CENTER TO CONTACT BALL	SD	---	---	BSC
	SE	---	---	BSC
PACKAGE EDGE TOLERANCE	aaa	---	0.1	
MOLD FLATNESS	bbb	---	0.2	
COPLANARITY	ddd	---	0.08	
BALL OFFSET (PACKAGE)	eee	---	0.15	
BALL OFFSET (BALL)	fff	---	0.08	

图表 2-2. CV1810H/CV1811H/CV1812H/CV1813H 封装外观尺寸, 底视图

## 2.1.2 管脚分布 CV1810H/CV1811H/CV1812H/CV1813H

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
A		PAD_MIPL_T XM4	VSSC	PAD_MIPIRX 0N		PAD_MIPIRX 3P	PAD_MIPIRX 4P		VIVO_D2	VIVO_D3		VIVO_D10	USB_VBUS _DET	USB_DP		A
B	PAD_MIPL_T XP3	PAD_MIPL_T XM3	PAD_MIPL_T XP4	PAD_MIPIRX 0P	PAD_MIPIRX 1N	PAD_MIPIRX 2N	PAD_MIPIRX 4N	PAD_MIPIRX 5N	VIVO_D1	VIVO_D5	VIVO_D7	VIVO_D9	USB_ID	USB_DM	PAD_ETH_RX H__EPHY_T XP	B
C	PAD_MIPL_T XP2	PAD_MIPL_T XM2	CAM_PD0	CAM_MCLK 0	PAD_MIPIRX 1P	PAD_MIPIRX 2P	PAD_MIPIRX 3N	PAD_MIPIRX 5P	VIVO_CLK	VIVO_D6	VIVO_D8	USB_VBUS _EN	VSSC	PAD_ETH_RX P__EPHY_T XN	GP10_RTX _EPHY_RTX XN	C
D	PAD_MIPL_T XP1	PAD_MIPL_T XM1	CAM_MCLK 1	IIC3_SCL	VSSC	VDD18A_MI PI	VDD18A_MI PI	VSSC	VSSC	VIVO_D4	VDD18A_PL L_N	VCC18A_US B	VSSC	PAD_ETH_TX H__EPHY_R XP	PAD_ETH_TX P__EPHY_R XN	D
E	PAD_MIPL_T XP0	PAD_MIPL_T XM0		CAM_PD1	CAM_RST0		VSSC	VDDCAP18_ VIVO	VSSC	VIVO_D0	VDDIO18_1 H	VDD18A_ET H	ADC1	ADC2	ADC3	E
F		PAD_AUD_ AOUTL	VSSC	IIC3_SDA	VDD18A_AU D	VSSC	VSSC		VDDIO_VIV O	VDDIO_SD1	VSSC		VSSC	SD1_D2		F
G	PAD_AUD_ AVREF	PAD_AUD_ AOUTR	VSS18A_AU D	PAD_VOUT	VSSC	VSSC	VSSC	VSSC	VSSC	VSSC	VDD33A_ET H		SD1_D3	SD1_CLK	SD1_CMD	G
H	PAD_AUD_ AINL_MIC	VSS18A_AU D	VIN3V	VDDIO_SD0	VSSC	VSSC	VSSC	VSSC	VSSC	VCC33A_US B	VDD09A_ET H	RSTN	PWM0_BUC K	SD1_D1	SD1_D0	H
J	PAD_AUD_ AINR_MIC	VSS18A_AU D	VSS18A_AU D	VDDC		VDD09A_MI PI	VSSC	VSSC	VSSC	VDDC	VDDC	VDDC	IIC2_SCL	IIC2_SDA		J
K		SD0_CD	SD0_D1	VDDC	VDDC	VDDC	VSSC	VSSC	VSSC	VDDC	VDDC	VDDC	UART2_RX	UART2_CTS	UART2_TX	K
L	SD0_CLK	SD0_D0	SD0_CMD	VDDC	VDDC	VSSC	VSSC	VSSC	VSSC	VDDC	VDDC_RTC		PTEST	CLK32K	UART2_RTS	L
M	SD0_D3	SD0_D2	VDDIO_EM MC	UART0_RX	UART0_TX	JTAG_CPU_ TRST	VSSC	VDDQ_DRA M	VDDQ_DRA M	VDDIO_RTC	PWR_ON	PWR_GPIO 2	PWR_GPIO 0	CLK25M		M
N	SD0_PWR_ EN	VSSC	SPK_EN	JTAG_CPU_ TCK	VDDQ_DRA M	JTAG_CPU_ TMS	VSSC	VSSC	VDDQ	VDD18A	PWR_WAK EUP1	PWR_WAK EUP0	PWR_GPIO 1	VDDBKUP	RTC_XIN	N
P	EMMC_DAT 3	EMMC_DAT 0	EMMC_DAT 2	EMMC_RST N	AUX0	IIC0_SDA	VSSC	VDDQ	VDDQ	PWR_SEQ3	PWR_VBAT _DET	PWR_SEQ1	PWR_BUTT ON1	VSSC	RTC_XOUT	P
R		EMMC_DAT 1	EMMC_CMD	EMMC_CLK		IIC0_SCL	VSSC	VDDQ	VDDQ	GPIO_ZQ_ PAD_ZQ	PWR_RSTN	PWR_SEQ2	XTAL_XIN	XTAL_XOUT		R
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	

图表 2-3 CV1810H/CV1811H/CV1812H/CV1813H 管脚分布图.

## 2.2 管脚信息描述

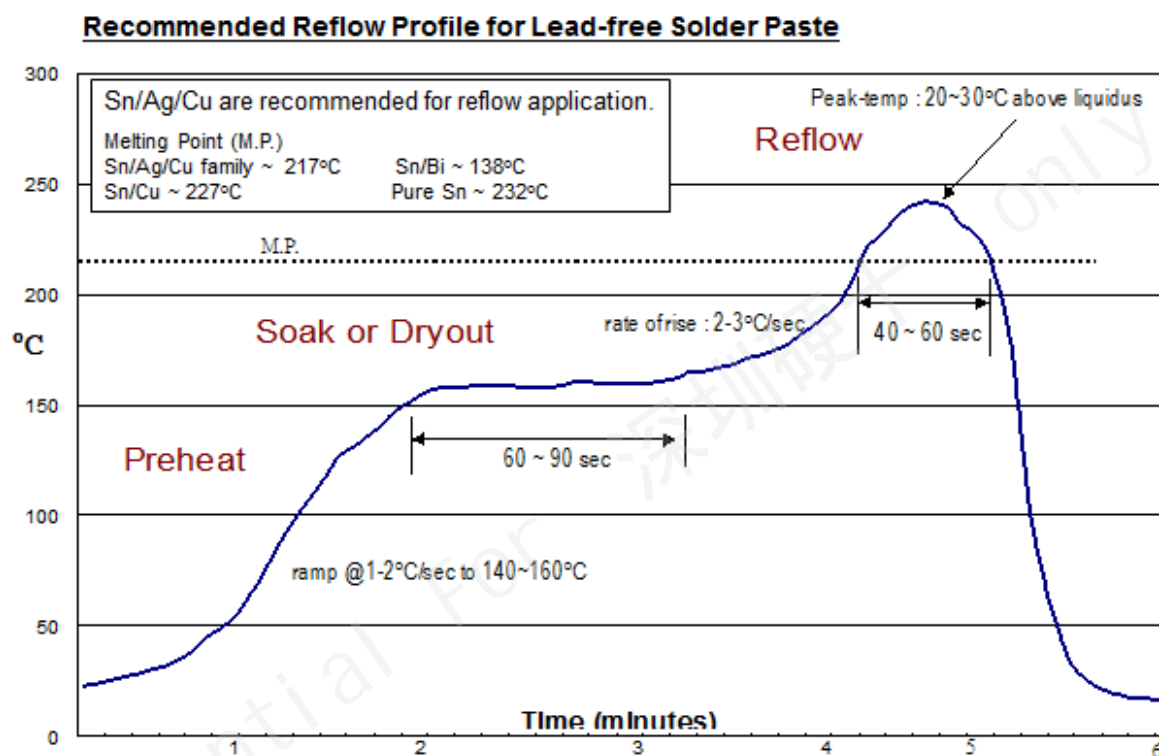
请参照 CV1811H\_CV1812H\_CV1813H\_PINOUT\_CN.xlsx



## 2.3 焊接工艺建议

无铅回流焊工艺曲线请参照 图表 2-4

CV1810H/CV1811H/CV1812H/CV1813H 请参考 Sn/Ag/Cu



图表 2-4 无铅回流焊工艺曲线

无铅回流焊工艺参数请参照 表格 2-1

- 以下参数仅为推荐值供参考, 客户端需根据实际生产情况做相对映调整.

表格 2-1 无铅回流焊工艺参数

区域	时间	升温速率	峰值温度	降温速率
预热区 (40~150°C)	60~120sc	1~2°C/sec		
均温区 (150~200°C)	60~90sec	< 1°C/sec		
回流区 (>熔点 20~30°C)	40~60sec	2~3°C/sec	Sn/Ag/Cu 237~247°C Sn/Cu 247~257°C Pure Sn 252~262°C	
冷却区 (Tmax ~ Tamb)				1~4°C/sec

因环境保护因素, 目前暂不提供有铅回流焊的参数.

## 2.4 潮敏参数

### 2.4.1 晶视智能产品防潮包装

本章节制定了芯片 (潮敏产品) 的存储及焊接时使用原则. 相关术语

- Floor life (开封保存时间): 指的是环境  $< 30^{\circ}\text{C}/60\% \text{ RH}$  的环境下, 拆开防潮包装到 reflow 之间允许停留的最长时间.
- Shelf life (密封保存时间): 防潮包装密封之后的正常存储时间.

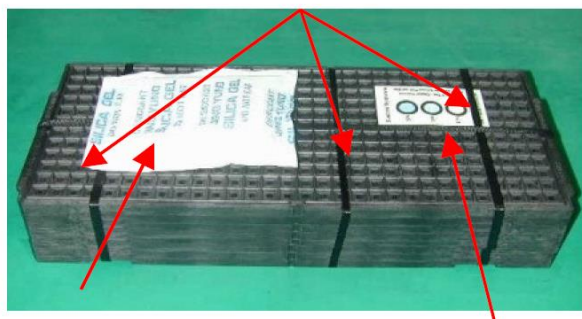
#### 2.4.1.1 包装信息

防潮真空包内含有(1) 芯片及 tray 盘. (2) 干燥包 (3) 湿度卡(HIC)



图表 2-5 真空干燥包装信息.

TRAY 10 + 1 STACK 打帶方式:三短一長  
STRAP METHOD:3S1L



乾燥包  
DESICCANT

濕度卡  
HUMIDITY INDICATOR CARD

图表 2-6 干燥包, 湿度卡, 芯片及 tray 盘

#### 2.4.1.2 潮敏产品进料检验

SMT 前打开真空防潮袋后, 检视湿度卡. 湿度卡有非常多种不同样式. 但若显示已经受潮. 则必须经过烘烤后才能 SMT 使用. 烘烤的相关时间温度参数请见表格 2-3

开封后若重新包装. 在 < 30°C/60% RH 的环境下没有暴露超过 2 小时, 则可以只更换干燥包后进行真空干燥包装. 若超过 2 小时. 建议重新烘烤后更换干燥包后才重新密封包装.

#### 2.4.1.3 存放及使用. (参考 JEDEC J-STD-033)

密封保存时间. (Shelf life)

密封的真空防潮包, 存放在 40°C/90% RH 的环境下, 能够保存至少 12 个月.

开封保存时间. (Floor life)

SMT 前, 开封后湿度计说明没有受潮的元件. 在 30°C/60% RH 的环境, 可以不烘烤直接使用的时间如表格 2-2 里的 Level 3 (本芯片的 Floorlife 分级是 Level 3)

表格 2-2 湿度分级及其开封保存时间 (floor life)

**Moisture classification level and floor life**

Level	Floor Life (out of bag) at factory ambient $\leq 30^{\circ}\text{C}/60\% \text{ RH}$ or as stated
1	Unlimited at $\leq 30^{\circ}\text{C}/85\% \text{ RH}$
2	1 year
2a	4 weeks
3	168 hours
4	72 hours
5	48 hours
5a	24 hours
6	Mandatory bake before use. After bake, must be reflowed within the time limit specified on the label

#### 2.4.1.4 重新烘烤

开封后发现已受潮, SMT 前, 或是要重新装回真空包装, 都应先经过烘烤. 烘烤温度及时间参考表格 2-3.

烘烤后, 经过防潮密封, shelf life 可重新计算.

烘烤后, 若未防潮密封, 则保存时间参考 (floor life)

**表格 2-3 烘烤温度及时间表**

Package Thickness	Level	Bake @ $125^{\circ}\text{C}$	Bake @ $40^{\circ}\text{C} \leq 5\% \text{ RH}$
$\leq 1.4 \text{ mm}$	2a	4 h.	5 days
	3	7 h.	11 days
	4	9 h.	13 days
	5	10 h.	14 days
	5a	14 h.	19 days
$\leq 2.0 \text{ mm}$	2a	18 h.	21 days
	3	24 h.	33 days
	4	31 h.	43 days
	5	37 h.	52 days
	5a	48 h.	68 days
$\leq 4.0 \text{ mm}$	2a	48 h.	67 days
	3	48 h.	67 days
	4	48 h.	68 days
	5	48 h.	68 days
	5a	48 h.	68 days

## 2.5 电性能参数

### 2.5.1 功耗参数

典型场景 : 1080P + Video Encode + AI ~500mW

其他场景 : TBD

### 2.5.2 温度和热阻参数(CV1810H/CV1811H/CV1812H/CV1813H)

芯片的热阻  $\theta_{JA}$ ,  $\theta_{JB}$ ,  $\theta_{JC}$  值. 按 JEDEC 2s2p PCB 所做的仿真结果表格 2-4

**表格 2-4 CV1810H/CV1811H/CV1812H/CV1813H 热阻参数**

PCB Condition	Package Size(mm )	Theta JA (C/W)			Psi Jt (C/W)	Theta JC (C/W)	Theta JB (C/W)
		0 m/s	1 m/s	2 m/s			
JEDEC 2s2p PCB	10x10	31.6	28.2	27.2	0.35	6.20	15.80

芯片的温度相关参数如表格 2-5

**表格 2-5 温度相关参数**

	最小值	最大值	Note
工作环境温度 $T_{amb}$	-30°C	70°C	1
芯片结温 $T_{junc}$ 建议值	-30°C	85°C ~ 105°C	2
破坏性结温	-40°C	+125°C	3

1. 工作环境温度最大值, 在不违反结温的前题下, 需视该场景之功耗与散热条件而定.
2. 芯片结温建议的范围主要考量温度过高时, 可能因散热条件不好. 而引发 thermal run-away 造成温度失控进入破坏性结温范围而损坏芯片. 另外. 长时间工作在高温也会稍微加速芯片老化. 减低使用年限.
3. 使用的 DRAM 保证的结温只有 -40°C~115°C. 超过范围 dram 内的内容无法保证完整性.
4. 芯片工作在破坏性结温时, 可能导致芯片发生不可逆的物理损坏.

## 2.5.3 破坏性电压

破坏性电压参数如表格 2-6. 工作在破坏性电压之上时, 可能造成不可逆的物理损坏.

**表格 2-6 破坏性电压参数 (CV1810H/CV1811H/CV1812H/CV1813H)**

Parameter		Max	Unit
VDDC	Core power	1.05V	V
VDDC_RTC	Core power for RTC domain (自带 LDO)		
VDD09A_EPHY	Core power for Ethernet PHY		
VDD09A_MIPI	Core power for MIPI PHY		
VDD18A	Analog power for xtal	1.98	V
VDD18A_AUD	Analog power for Audio ADC/DAC		
VDD18A_EPHY	Analog power for Ethernet PHY		
VDD18A_MIPI	Analog power for MIPI		
VDD18A_USB	Analog power for USB PHY		
VDD18A_PLL_N	Analog power for PLL		
VDDIO18_1	IO Power for domain 1		
VDD33A_EPHY	Analog power for Ethernet PHY	3.465	V
VCC33A_USB	Analog power for USB PHY		
VIN3V	3V power source for VOUT_VO (SDIO)		
VDDIO_EMMC	IO power for EMMC domain	3.465	V
VDDIO_SD0	IO power for SD0 domain(from VOUT_VO)	3.465	V
VDDIO_SD1	IO power for SD1 domain	3.465	V
VDDIO_VIVO	IO power for VIVO domain	3.465	V
VDDIO_RTC	IO power for RTC domain (backup power)	1.98	V
VDDBKUP	Shunt LDO	1.98	V
VDDQ	IO & DRAM Power for DDR3L/DDR3	1.65	V
VDDQ_DRAM			

## 2.5.4 上下电顺序 (CV1810H/CV1811H/CV1812H/CV1813H)

原则上芯片可以分成下列几群. 同一群电源域同时上电/下电. 不同群. 则按下列几种状况分开上下电时间.

Always on domain

VDDIO\_RTC (1.8V)

VDDC\_RTC (0.9V) (内建 LDO)

VDDIO\_SD1

VDDBKUP (Shunt LDO)

Core power domain

VDDC

VDD09A\_EPHY (analog)

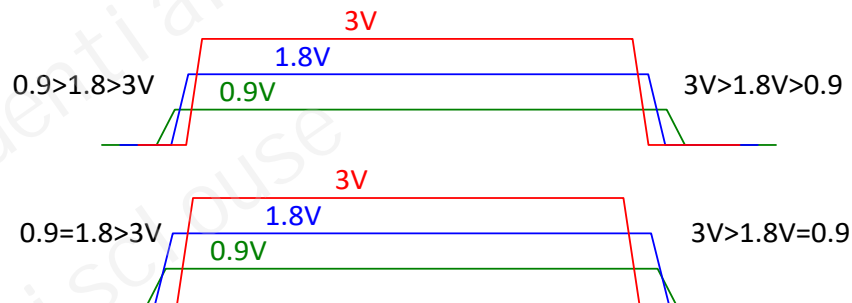
VDD09A\_MIPI (analog)

1.8V IO domain

VDD18A (analog)

VDD18A\_AUD (analog)  
VDD18A\_EPHY(analog)  
VDD18A\_MIPI(analog)  
VDD18A\_USB(analog)  
VDD18A\_PLL\_N(analog)  
VDDIO18\_1  
18OD33 IO domain (视电压决定他是属于 1.8V domain / 3V domain)  
VDDIO\_EMMC  
VDDIO\_SD0 (default 3V mode)  
VDDIO\_SD1 (也是 no die domain)  
VDDIO\_VIVO  
3V domain  
VDD33A\_EPHY  
VCC33A\_USB  
VIN3V  
DDR IO & DRAM domain  
VDDQ  
VDDQ\_DRAM

原则上, 0.9V 和 1.8V 可以同时上电, 或是 0.9V 先. 1.8V 后, **但 3V 必须在 1.8V 已经建立的前题下才能上电. (违反顺序可能造成不可逆的损坏)**. 而下电则是上电的反序.



可能造成风险的上下电行为有:

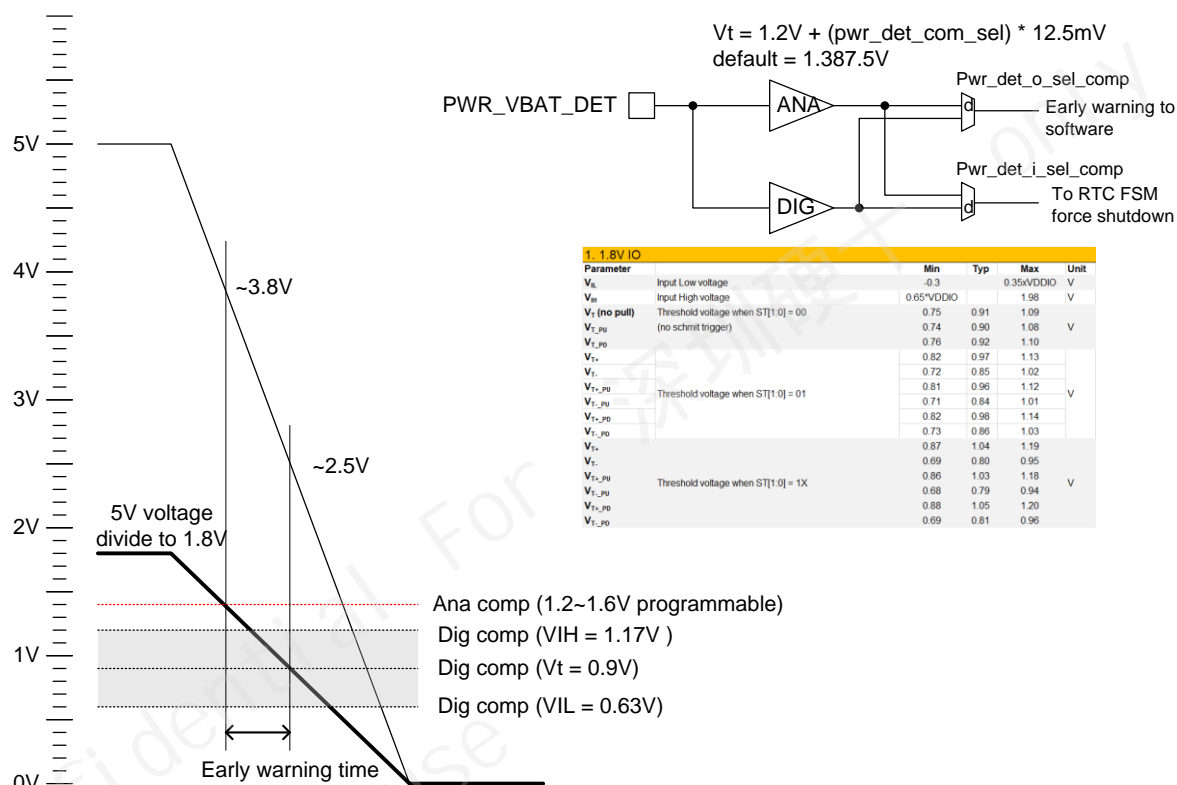
1. 上电时, VDD3 若 > 2V 时, VDD18 仍未达到 1.8V-10%. 可能造 3V 电路损坏.
2. 下电时, VDD3 < 2V 前, VDD18 已低于 1.8V-10% .
3. 上电时, VDD18 > 0.7V 时, 而 VDD09 仍在 0.5V 以下, 可能造成 efuse 误动作.
4. 下电时, VDD09 < 0.5V 时, VDD18 仍 > 0.7V , 也可能造成 efuse 误动作.

芯片有提供三支管脚 PWR\_SEQ1, PWR\_SEQ2, PWR\_SEQ3 的管脚 (VDDIO\_RTC domain) 协控制电源的开关. 预设 SEQ1 是 0.9V & 1.8V. SEQ2 控制 3V. SEQ3 不一定要使用. 有些插电系统可能 0.9V 1.8V 都是用 RC 决定开关. 唯独希望到芯片的 3V 仍需要 SEQ2 控制. 以免烧毁.

开机时 SEQ1 -> SEQ2 -> SEQ3

关机时 SEQ3 -> SEQ2 -> SEQ1

而 PWR\_VBAT\_DET 则用作主电源的状态侦测. 若电压偏低, 则软件会先收到中断 (例如停止写 flash 以防档案系统损毁). 电压再往下, RTC 模块就会主动启动下电程序. PWR\_VBAT\_DET 也需要是 logic high 才能开机.



实际使用上, 可以细分下列六种状况. 建议如下.

Power	Control	插电应用 (1) Ext RTC/no RTC	插电应用 (2) Internal RTC	插电应用 (3) 32Kless
Main 0.9V	Always on	VDDC VDD09A_EPHY VDD09A_MIPI	VDDC VDD09A_EPHY VDD09A_MIPI	VDDC VDD09A_EPHY VDD09A_MIPI
Main 1.8V	Always on	VDD18A VDD18A_AUD VDD18A_EPHY VDD18A_MIPI VDD18A_USB VDD18A_PLL_N VDDIO18_1 VDDIO_EMMC	VDD18A VDD18A_AUD VDD18A_EPHY VDD18A_MIPI VDD18A_USB VDD18A_PLL_N VDDIO18_1 VDDIO_EMMC	VDD18A VDD18A_AUD VDD18A_EPHY VDD18A_MIPI VDD18A_USB VDD18A_PLL_N VDDIO18_1 VDDIO_EMMC



Power	Control	插电应用 (1) Ext RTC/no RTC	插电应用 (2) Internal RTC	插电应用 (3) 32Kless
		VDDIO_SD0 VDDIO_VIVO VDDIO_SD1 VDDIO_RTC VDDBKUP	VDDIO_SD0 VDDIO_VIVO VDDIO_SD1 VDDIO_RTC	VDDIO_SD0 VDDIO_VIVO
Main 3.0V	SEQ2	VDD33A_EPHY VCC33A_USB VIN3V VDDIO_EMMC VDDIO_SD0 VDDIO_SD1 VDDIO_VIVO	VDD33A_EPHY VCC33A_USB VIN3V VDDIO_EMMC VDDIO_SD0 VDDIO_SD1 VDDIO_VIVO	VDD33A_EPHY VCC33A_USB VIN3V VDDIO_EMMC VDDIO_SD0 VDDIO_VIVO
Main VDDQ	always on	VDDQ VDDQ_DRAM	VDDQ VDDQ_DRAM	VDDQ VDDQ_DRAM
VDDBACKUP	Coin Batt	For external RTC	VDDBKUP	
V18RTC (low iddq LDO)	Always on , from Coin batt	No need	No need	VDDBKUP VDDIO_RTC VDDIO_SD1

Power	Control	电池应用 (4) Ext RTC/no RTC	电池应用 (5) Internal RTC	电池应用 (6) 32Kless
Main 0.9V	SEQ1	VDDC VDD09A_EPHY VDD09A_MIPI	VDDC VDD09A_EPHY VDD09A_MIPI	VDDC VDD09A_EPHY VDD09A_MIPI
Main 1.8V	SEQ1	VDD18A VDD18A_AUD VDD18A_EPHY VDD18A_MIPI VDD18A_USB VDD18A_PLL_N VDDIO18_1 VDDIO_EMMC VDDIO_SD0 VDDIO_VIVO	VDD18A VDD18A_AUD VDD18A_EPHY VDD18A_MIPI VDD18A_USB VDD18A_PLL_N VDDIO18_1 VDDIO_EMMC VDDIO_SD0 VDDIO_VIVO	VDD18A VDD18A_AUD VDD18A_EPHY VDD18A_MIPI VDD18A_USB VDD18A_PLL_N VDDIO18_1 VDDIO_EMMC VDDIO_SD0 VDDIO_VIVO
Main 3.0V	SEQ2	VDD33A_EPHY VCC33A_USB VIN3V VDDIO_EMMC VDDIO_SD0 VDDIO_VIVO	VDD33A_EPHY VCC33A_USB VIN3V VDDIO_EMMC VDDIO_SD0 VDDIO_VIVO	VDD33A_EPHY VCC33A_USB VIN3V VDDIO_EMMC VDDIO_SD0 VDDIO_VIVO
Main VDDQ	SEQ2 or 3	VDDQ	VDDQ	VDDQ

Power	Control	电池应用 (4) Ext RTC/no RTC	电池应用 (5) Internal RTC	电池应用 (6) 32Kless
		VDDQ_DRAM	VDDQ_DRAM	VDDQ_DRAM
<b>VDDBACKUP</b>	Coin Batt	For external RTC	VDDBKUP	
<b>V18RTC (low iddq LDO)</b>	Always on , from Coin batt	No need	No need	VDDBKUP VDDIO_RTC
<b>VAO18</b>	from Main batt	WIFI other AO device VDDIO_RTC VDDIO_SD1 VDDBKUP	WIFI other AO device VDDIO_RTC VDDIO_SD1	WIFI other AO device VDDIO_SD1
<b>VAO33</b>	from Main batt	WIFI other AO device	WIFI other AO device	WIFI other AO device

## 2.5.5 电源 DC/AC 电气参数

表格 2-7 CV1810H/CV1811H/CV1812H/CV1813H 电源电气参数 (建议的运作条件)

Parameter		Min	Typ	Max	Unit
<b>VDDC</b>	Core power	0.81	0.9	0.99	V
<b>VDDC_RTC</b>	Core power for RTC domain (Internal LDO, Cap only)	0.81	0.9	0.99	V
<b>VDD09A_EPHY</b>	Core power for Ethernet PHY	0.81	0.9	0.99	V
<b>VDD09A_MIPi</b>	Core power for MIPI PHY	0.81	0.9	0.99	V
<b>VDD18A</b>	Analog power for xtal	1.62	1.8	1.98	V
<b>VDD18A_AUD</b>	Analog power for Audio ADC/DAC	1.62	1.8	1.98	V
<b>VDD18A_EFUSE</b>	Analog power for efuse	1.62	1.8	1.98	V
<b>VDD18A_EPHY</b>	Analog power for Ethernet PHY	1.62	1.8	1.98	V
<b>VDD18A_MIPi</b>	Analog power for MIPI	1.62	1.8	1.98	V
<b>VDD18A_USB</b>	Analog power for USB PHY	1.62	1.8	1.98	V
<b>VDD18A_PLL_N</b>	Analog power for PLL	1.62	1.8	1.98	V
<b>VDD33A_EPHY</b>	Analog power for Ethernet PHY	2.97	3.3	3.465	V
<b>VCC33A_USB</b>	Analog power for USB PHY	2.97	3.3	3.465	V
<b>VIN3V</b>	3V power source for VOUT_VO (SDIO)	2.85	3.0/3.3	3.15/3.465	V
					V
<b>VDDIO18_1</b>	IO Power for domain 1	1.62	1.8	1.98	V
<b>VDDIO_EMMC</b>	IO power for EMMC domain	1.71	1.8	1.89	V
		2.85	3.0/3.3	3.15/3.465	
<b>VDDIO_SD0</b>	IO power for SD0 domain(from VOUT_VO)	1.71	1.8	1.89	V
		2.85	3.0/3.3	3.465	
<b>VDDIO_SD1</b>	IO power for SD1 domain	1.71	1.8	1.89	V

Parameter		Min	Typ	Max	Unit
		2.85	3.0/3.3	3.465	
<b>VDDIO_VIVO</b>	IO power for VIVO domain	1.71 2.85	1.8 3.0/3.3	1.89 3.465	V
<b>VDDIO_RTC</b>	IO power for RTC domain IO & LDO	1.3V	1.8	+10%	V
<b>VDDBKUP</b>	IO power for extreme low power RTC domain (backup)	1.3V	1.8	1.89	V
<b>VDDQ</b> <b>VDDQ_DRAM</b>	IO & DRAM Power for DDR3L IO & DRAM Power for DDR3	1.283 1.425	1.35 1.50	1.417 1.575	V
<b>Tjunc</b>	Junction Temperature (Max reduce from 125C due to DRAM)	-40	25	115 (note)	°C

Note. 使用的 DRAM 保证的结温只有 -40°C~115°C. 超过范围 dram 内的内容无法保证完整性.

## 2.5.6 1.8V IO 电气参数

适用 domain (VDDIO18\_0, VDDIO18\_1, VDDIO18\_RM0, VDDIO\_RTC)

**表格 2-8 1.8V IO 电气参数**

Parameter		Min	Typ	Max	Unit
<b>V<sub>IL</sub></b>	Input Low voltage	-0.3		0.35xVDDIO	V
<b>V<sub>IH</sub></b>	Input High voltage	0.65*VDDIO		1.98	V
<b>V<sub>T</sub> (no pull)</b>	Threshold voltage when ST[1:0] = 00 (no schmit trigger)	0.75	0.91	1.09	V
<b>V<sub>T_PU</sub></b>		0.74	0.90	1.08	
<b>V<sub>T_PD</sub></b>		0.76	0.92	1.10	
<b>V<sub>T+</sub></b>	Threshold voltage when ST[1:0] = 01	0.82	0.97	1.13	V
<b>V<sub>T-</sub></b>		0.72	0.85	1.02	
<b>V<sub>T+_PU</sub></b>		0.81	0.96	1.12	
<b>V<sub>T+_PD</sub></b>		0.71	0.84	1.01	
<b>V<sub>T+_PD</sub></b>		0.82	0.98	1.14	
<b>V<sub>T+_PD</sub></b>		0.73	0.86	1.03	
<b>V<sub>T+</sub></b>	Threshold voltage when ST[1:0] = 1X	0.87	1.04	1.19	V
<b>V<sub>T-</sub></b>		0.69	0.80	0.95	
<b>V<sub>T+_PU</sub></b>		0.86	1.03	1.18	
<b>V<sub>T+_PD</sub></b>		0.68	0.79	0.94	
<b>V<sub>T+_PD</sub></b>		0.88	1.05	1.20	
<b>V<sub>T+_PD</sub></b>		0.69	0.81	0.96	
<b>I<sub>I</sub></b>	Input leakage (V <sub>I</sub> = 1.8V or 0V)			+/-10u	A
<b>I<sub>oz</sub></b>	Tri-state output leakage current (V <sub>O</sub> =1.8V or 0V)			+/-10u	A
<b>R<sub>PU</sub></b>	Pull up resistor	55k	79k	121k	Ω
<b>R<sub>PD</sub></b>	Pull down resistor	51k	87k	169k	Ω
<b>V<sub>OL</sub></b>	Output low voltage			0.45	V
<b>V<sub>OH</sub></b>	Output high voltage	1.35			V
<b>I<sub>OL</sub></b>	Low level output current @ V <sub>OL</sub> (max) DS[1:0] = 00 DS[1:0] = 01 DS[1:0] = 10 DS[1:0] = 11	7.6 15.2 22.6 29.7	12.8 25.3 37.4 49	18.0 35.5 52.2 67.9	mA mA mA mA
<b>I<sub>OH</sub></b>	High level output current @ V <sub>OH</sub> (max) DS[1:0] = 00 DS[1:0] = 01 DS[1:0] = 10 DS[1:0] = 11	4.8 9.5 14.3 18.9	10.8 21.5 32.1 42.4	18.9 37.4 55.9 73.9	mA mA mA mA

## 2.5.7 18OD33 IO (VDDIO=1.8V) 电气参数

适用 domain (VDDIO\_EMMC, VDDIO\_SD0)

**表格 2-9 18OD33 IO (VDDIO=1.8V) 电气参数**

Parameter		Min	Typ	Max	Unit
<b>V<sub>IL</sub></b>	Input Low voltage	-0.3		0.58	V
<b>V<sub>IH</sub></b>	Input High voltage	1.27		2.00	V

Parameter		Min	Typ	Max	Unit
<b>V<sub>T</sub> (no pull)</b>	Threshold voltage when ST = 0	0.91	0.97	1.03	V
<b>V<sub>T_PU</sub></b>	(no schmit trigger)	0.90	0.96	1.02	
<b>V<sub>T_PD</sub></b>		0.91	0.97	1.06	
<b>V<sub>T+</sub> (no pull)</b>	Threshold voltage when ST = 1	1.03	1.07	1.12	V
<b>V<sub>T-</sub> (no pull)</b>		0.75	0.83	0.91	
<b>V<sub>T+_PU</sub></b>		1.02	1.06	1.11	
<b>V<sub>T-_PU</sub></b>		0.74	0.82	0.90	
<b>V<sub>T+_PD</sub></b>		1.03	1.08	1.13	
<b>V<sub>T-_PD</sub></b>		0.75	0.83	0.92	
<b>I<sub>I</sub></b>	Input leakage (V <sub>I</sub> = 1.8V or 0V)			+/-10u	A
<b>I<sub>oz</sub></b>	Tri-state output leakage current (V <sub>O</sub> =1.8V or 0V)			+/-10u	A
<b>R<sub>PU</sub></b>	Pull up resistor	33k	60k	92k	Ω
<b>R<sub>PD</sub></b>	Pull down resistor	34k	61k	158k	Ω
<b>V<sub>OL</sub></b>	Output low voltage			0.45	V
<b>V<sub>OH</sub></b>	Output high voltage	1.40			V
<b>I<sub>OL</sub></b>	Low level output current @ V <sub>OL</sub> (max)				
	DS[2:0] = 000	4.9	7.8	11.1	mA
	DS[2:0] = 001	7.4	11.7	16.4	mA
	DS[2:0] = 010	9.8	15.5	21.7	mA
	DS[2:0] = 011	12.2	19.2	26.7	mA
	DS[2:0] = 100	14.6	23.0	31.9	mA
	DS[2:0] = 101	17.0	26.6	36.8	mA
	DS[2:0] = 110	19.4	30.2	41.6	mA
	DS[2:0] = 111	21.7	33.7	46.2	mA
<b>I<sub>OH</sub></b>	High level output current @ V <sub>OH</sub> (max)				
	DS[2:0] = 000	3.6	6.2	9.5	mA
	DS[2:0] = 001	5.4	9.3	14.3	mA
	DS[2:0] = 010	7.2	12.4	19.1	mA
	DS[2:0] = 011	9.0	15.4	23.8	mA
	DS[2:0] = 100	10.8	18.5	28.5	mA
	DS[2:0] = 101	12.6	21.6	33.1	mA
	DS[2:0] = 110	14.4	24.6	37.8	mA
	DS[2:0] = 111	16.2	27.7	42.5	mA

## 2.5.8 18OD33 IO (VDDIO=3.0V) 电气参数

适用 domain (VDDIO\_EMMC, VDDIO\_SD0)

**表格 2-10 18OD33 IO (VDDIO=3.0V) 电气参数**

Parameter		Min	Typ	Max	Unit
<b>V<sub>IL</sub></b>	Input Low voltage	-0.3		0.25*VDDIO	V
<b>V<sub>IH</sub></b>	Input High voltage	0.625*VDDIO		3.3	V
<b>V<sub>T</sub> (no pull)</b>	Threshold voltage when ST = 0	0.82	0.95	1.11	V
<b>V<sub>T_PU</sub></b>	(no schmit trigger)	0.81	0.93	1.09	
<b>V<sub>T_PD</sub></b>		0.83	0.96	1.13	
<b>V<sub>T+</sub> (no pull)</b>	Threshold voltage when ST = 1	1.00	1.10	1.23	V
<b>V<sub>T-</sub> (no pull)</b>		0.75	0.90	1.08	
<b>V<sub>T+_PU</sub></b>		1.00	1.09	1.21	

Parameter		Min	Typ	Max	Unit
$V_{T\_PU}$		0.73	0.88	1.05	
$V_{T\_PD}$		1.01	1.11	1.25	
$V_{T\_PD}$		0.75	0.91	1.09	
$I_I$	Input leakage ( $V_I = 3.0V$ or $0V$ )			+/-10u	A
$I_{OZ}$	Tri-state output leakage current ( $V_O=3.0V$ or $0V$ )			+/-10u	A
$R_{PU}$	Pull up resistor	33k	60k	93k	$\Omega$
$R_{PD}$	Pull down resistor	34k	62k	285k	$\Omega$
$V_{OL}$	Output low voltage			0.125*VDDIO	V
$V_{OH}$	Output high voltage	0.75*VDDIO			V
$I_{OL}$	Low level output current @ $V_{OL}$ (max)				
	DS[2:0] = 000	3.1	5.5	8.6	mA
	DS[2:0] = 001	4.7	8.2	12.7	mA
	DS[2:0] = 010	6.2	10.8	16.9	mA
	DS[2:0] = 011	7.7	13.4	20.8	mA
	DS[2:0] = 100	9.3	16.1	24.9	mA
	DS[2:0] = 101	10.8	18.7	28.8	mA
	DS[2:0] = 110	12.3	21.2	32.6	mA
	DS[2:0] = 111	13.8	23.7	36.3	mA
$I_{OH}$	High level output current @ $V_{OH}$ (max)				
	DS[2:0] = 000	5.0	7.5	10.5	mA
	DS[2:0] = 001	7.5	11.2	15.7	mA
	DS[2:0] = 010	10.1	14.9	21.0	mA
	DS[2:0] = 011	12.6	18.6	26.2	mA
	DS[2:0] = 100	15.1	22.3	31.4	mA
	DS[2:0] = 101	17.6	26.0	36.5	mA
	DS[2:0] = 110	20.1	29.8	41.8	mA
	DS[2:0] = 111	22.6	33.4	46.9	mA

## 2.5.9 Audio GPIO 电气参数

**表格 2-11 Audio GPIO 电气参数**

Parameter		Min	Typ	Max	Unit
$V_{IL}$	Input Low voltage	-0.3		0.55	V
$V_{IH}$	Input High voltage	1.2		1.98	V
$V_{T+}$	Threshold voltage with schmitt trigger	0.8	0.95	1.1	V
$V_{T-}$		0.65	0.82	0.99	
$I_I$	Input leakage ( $V_I = 1.8V$ or $0V$ )			+/-4u	A
$I_{OZ}$	Tri-state output leakage current ( $V_O=1.8V$ or $0V$ )			+/-4u	A
$V_{OL}$	Output low voltage			0.4	V
$V_{OH}$	Output high voltage	1.4			V
$I_{OL}$	Low level output current @ $V_{OL}$ (max)	4.9	9.9	18.4	mA
$I_{OH}$	High level output current @ $V_{OH}$ (max)	11.3	17.1	26.1	mA

## 2.5.1 ETH GPIO 电气参数

**表格 2-12 ETH GPIO 电气参数**

Parameter		Min	Typ	Max	Unit
$V_{IL}$	Input Low voltage	-0.3		0.3*VDD18A	V
$V_{IH}$	Input High voltage	0.7*VDD18A		1.98	V
$V_{T+}$	Threshold voltage with schmitt trigger	0.84	0.99	1.14	V
$V_{T-}$		0.66	0.83	1.01	
$I_I$	Input leakage ( $V_I = 1.8V$ or $0V$ )			+/-1.3u	A
$I_{OZ}$	Tri-state output leakage current ( $V_O=1.8V$ or $0V$ )			+/-1.3u	A
$V_{OL}$	Output low voltage			0.4	V
$V_{OH}$	Output high voltage	VDD18A-0.4			V
$I_{OL}$	Low level output current @ $V_{OL}$ (max) DS=0	8.8	15.7	27.3	mA
	Low level output current @ $V_{OL}$ (max) DS=1	10.2	17.8	30.5	
$I_{OH}$	High level output current @ $V_{OH}$ (max) DS=0	4.0	5.3	7.4	mA
	High level output current @ $V_{OH}$ (max) DS=1	4.7	6.2	8.5	

## 2.5.2 MIPI Rx 电气参数

MIPI D-PHY High Speed(MIHS)电气参数如表格 2-13,表格 2-14 所示。

MIPI D-PHY Low Power(MILP)电气参数如表格 2-15,表格 2-16 所示。

**表格 2 -13. MIPI D-PHY High Speed(MIHS)差分 DC 电气参数**

参数	符号	资料速度	最小值	典型值	最大值	单位
Common Mode Voltage Range (VP+VM)/2	VCM(MIHS)	≤1.5Gbps	70	200	330	mV
		>1.5Gbps				
Internal Termination Resister Value	ZID(MIHS)	≤1.5Gbps	80	100	125	ohm
		>1.5Gbps				
Single-ended threshold for HS termination enable	VTERM-EN(MIHS)	≤1.5Gbps	--	--	450	mV
		>1.5Gbps				

**表格 2 -14. MIPI D-PHY High Speed(MIHS)差分 AC 电气参数**

参数	符号	资料速度	最小值	典型值	最大值	单位
Differential Input Threshold Voltage (VP – VM)	VIDTH(MIHS)	≤1.5Gbps	-70	--	70	mV
		>1.5Gbps	-40	--	40	
Single-ended Input Voltage VP,VM	VIS(MIHS)	≤1.5Gbps	-40	--	460	mV
		>1.5Gbps				
Common-mode interface beyond 450MHz	ΔVCMRX	≤1.5Gbps	--	--	100	mV
		>1.5Gbps				
Common-mode interface 50MHz-450MHz	ΔVCMRX(LF)	≤1.5Gbps	-50	--	50	mV
		>1.5Gbps	-25	--	25	
Single-ended threshold for HS termination enable	VTERM-EN	≤1.5Gbps	--	--	450	mV
		>1.5Gbps				
Common-mode termination	CCM	≤1.5Gbps	--	--	60	pF
		>1.5Gbps				

**表格 2 -15 MIPI D-PHY Low Power(MILP)差分 DC 电气参数**

参数	符号	最小值	典型值	最大值	单位
Logic 1 input voltage	VIHLP	740	--	--	mV
Logic 0 input voltage	VILLP	--	--	550	mV
Input hysteresis	VHYST	25	--	--	mV



**表格 2-16 MIPI D-PHY Low Power(MILP)差分 AC 电气参数**

参数	符号	最小值	典型值	最大值	单位
Input pulse rejection	eSPIKE	--	--	300	V·ps
Minimum pulse width response	TMIN-RX	20	--	--	ns
Peak interference amplitude	VINT	--	--	200	mV
Interference frequency	fINT	450	--	--	MHz

### 2.5.3 Sub-LVDS 电气参数

电气参数如表格 2-17,表格 2-18 所示。

**表格 2-17 Sub-LVDS(SL)差分 DC 电气参数**

参数	符号	最小值	典型值	最大值	单位
Common Mode Voltage Range (VP+VM)/2	VCM(SL)	600	900	1200	mV
Internal Termination Resister Value	ZID(SL)	80	100	120	mV

**表格 2-18 Sub-LVDS(SL)差分 AC 电气参数**

参数	符号	最小值	典型值	最大值	单位
Differential Input Threshold Voltage (VP-VM)	WIDTH(SL)	-70	--	70	mV
Single-ended Input Voltage VP,VM	VIS(SL)	400	--	1400	mV

### 2.5.4 HiSPi 电气参数

HiSPi 分为 SLVS (HSSL)和 HiVCM(HSHI),各自的电气参数如表格 2-19,表格 2-20 所示。

**表格 2-19 HiSPi 差分 DC 电气参数**

参数	符号	最小值	典型值	最大值	单位
Common Mode Voltage Range (VP+VM)/2	VCM(HSSL)	50	200	350	mV
	VCM(HSHI)	660	900	1170	
Internal Termination Resister Value	ZID(HSSL)	80	100	125	mV
	ZID(HSHI)	80	100	125	

**表格 2-20 HiSpi 差分 AC 电气参数**

参数	符号	最小值	典型值	最大值	单位
Differential Input Threshold Voltage (VP – VM)	VIDTH(HSSL)	-70	--	70	mV
	VIDTH(HSHI)	-100	--	100	
Single-ended Input Voltage VP, VM	VIS(HSSL)	-40	--	490	mV
	VIS(HSHI)	550	--	1350	

## 2.5.5 MIPI /LVDS Tx 电气参数

**表格 2-21 MIPI HS Transmitter DC Specifications**

Symbol	Description	Min	Typ	Max	Units	Notes
V <sub>CMTX</sub>	HS transmit static common-mode voltage	150	200	250	mV	
ΔV <sub>CMTX(L,0)</sub>	VCMTX mismatch when output is Differential-1 or Differential-0	–	–	5	mV	
V <sub>OD</sub>	HS transmit differential voltage	140	200	270	mV	
ΔV <sub>OD</sub>	VOD mismatch when output is Differential-1 or Differential-0	–	–	14	mV	
V <sub>OHS</sub>	HS output high voltage	–	–	360	mV	
Z <sub>OS</sub>	Single ended output impedance	40	50	62.5	Ω	
ΔZ <sub>OS</sub>	Single ended output impedance mismatch	–	–	20	%	

**表格 2-22 MIPI HS Transmitter AC Specifications**

Parameter	Description	Min	Typ	Max	Units	Notes
ΔV <sub>CMTX(HF)</sub>	Common-level variations above 450MHz	–	–	15	mV <sub>RMS</sub>	
ΔV <sub>CMTX(LF)</sub>	Common-level variation between 50-450MHz	–	–	25	mV <sub>PEAK</sub>	
t <sub>R</sub> and t <sub>F</sub>	20%-80% rise time and fall time	–	–	0.3	UI	1, 2
		–	–	0.35	UI	1, 3
		100	–	–	ps	4

**Note:**

1. UI is unit interval. Example: 1UI = 1ns for 1Gbps speed.
2. Applicable when supporting maximum HS bit rates ≤ 1 Gbps (UI ≥ 1 ns).
3. Applicable when supporting maximum HS bit rates > 1 Gbps (UI ≤ 1 ns) but ≤ 1.5 Gbps (UI ≥ 0.667 ns).
4. Applicable when supporting maximum HS bit rates ≤ 1.5 Gbps. However, to avoid excessive radiation, bit rates < 1 Gbps (UI ≥ 1 ns), should not use values below 150 ps.

**表格 2-23 MIPI LP Transmitter DC Specifications**

Parameter	Description	Min	Typ	Max	Units	Notes
V <sub>OH</sub>	Thevenin output high level	1.1	1.2	1.3	V	1
		0.95	–	1.3	V	2

Parameter	Description	Min	Typ	Max	Units	Notes
<b>V<sub>OL</sub></b>	Thevenin output low level	-50	—	50	mV	—
<b>Z<sub>OLP</sub></b>	Output impedance of LP transmitter	110	—	—	Ω	

**Note:**

1. Applicable in normal Low Power mode when the supported data rate  $\leq 1.5$  Gbps.
2. Applicable in normal Low Power mode when the supported data rate  $> 1.5$  Gbps.

**表格 2-24 MIPI LP Transmitter AC Specifications**

Parameter	Description	Min	Typ	Max	Units	Notes
<b>T<sub>RLP</sub>/T<sub>FLP</sub></b>	15%-85% rise time and fall time	—	—	25	ns	
<b>T<sub>REOT</sub></b>	30%-85% rise time and fall time	—	—	35	ns	
<b>T<sub>LP-PULSE-TX</sub></b>	Minimu pulse width	20	—	—	ns	
<b>ΔV/Δt<sub>SR</sub></b>	Slew rate @ C <sub>LOAD</sub> = 0 to 70pF (Falling Edge Only)	30	—	300	mV/ns	1
		25	—	300	mV/ns	2
<b>C<sub>LOAD</sub></b>	Load capacitance	0	—	70	pF	

**Note:**

1. Applicable in normal Low Power mode when the supported data rate  $\leq 1.5$  Gbps.
2. Applicable in normal Low Power mode when the supported data rate  $> 1.5$  Gbps.

**表格 2-25 LVDS Transmitter DC/AC Specifications**

Symbol	Description	Min	Typ	Max	Units	Notes
<b>V<sub>OS</sub></b>	LVDS common mode offset voltage	1.125	1.25	1.375	V	
<b> ΔV<sub>OS(1,0)</sub> </b>	VOS mismatch when output is Differential-1 or Differential-0	—			mV	
<b>V<sub>OD</sub></b>	LVDS transmit differential voltage	247	350	454	mV	
<b> ΔV<sub>OD</sub> </b>	VOD mismatch when output is Differential-1 or Differential-0	—	—	50	mV	
<b>T<sub>RLP</sub>/T<sub>FLP</sub></b>	15%-85% rise time and fall time (DUT side)		—	0.3UI	ns	

## 2.5.6 SDIO 电气参数

EMMC / SD0 / SD1 请参阅 2.5.7 及 2.5.8

## 2.5.7 VI RAW/BT.601/BT.656/BT.1120 电气参数

請依照 IO 所在 domain 參參閱 2.5.7 及 2.5.8

PS. 若混杂使用两种不同的 IO (例如 18OD33 在 1.8V mode 和 1.8V GPIO) 電氣參數會不同. 但有经过仿真, 差异性微小. 能满足一般应用需求.

## 2.5.8 VO BT.601/BT.656/BT.1120/8080 电气参数

請依照 IO 所在 domain 參閱 2.5.7 及 2.5.8

PS. 若混雜使用兩種不同的 IO (例如 18OD33 在 1.8V mode 和 1.8V GPIO) 電氣參數會不同, 但有經過仿真, 差異性微小, 能滿足一般應用需求.

## 2.5.9 AUDIO CODEC 电气参数

**表格 2-26 Audio CODEC 总体指标表**

参数	最小值	典型值	最大值	单位	说明
模拟电路电源 <b>AVDD</b>	1.62	1.8	1.98	V	
<b>VREF</b>		1.4/1.8 *VDD		V	

**表格 2-27 Audio DAC 电气参数**

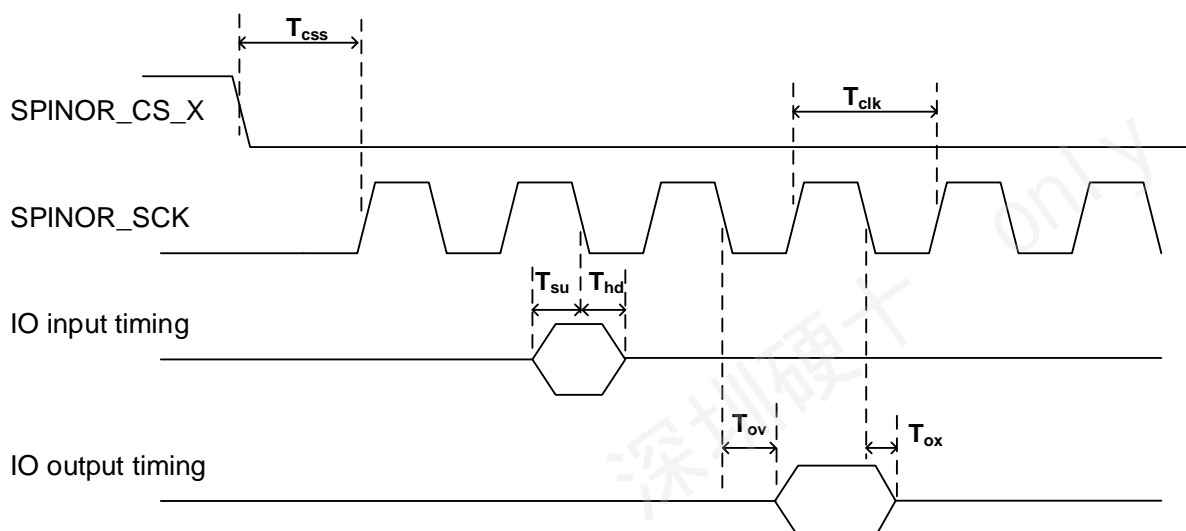
参数	最小值	典型值	最大值	单位	说明
满幅输出幅度		1.55		Vpp	最大输出信号摆幅

**表格 2-28 Audio ADC 电气参数**

参数	最小值	典型值	最大值	单位	说明
最大输入幅度		1.75		Vpp	最大输入信号摆幅

## 2.6 接口时序

### 2.6.1 SPI NOR 接口时序



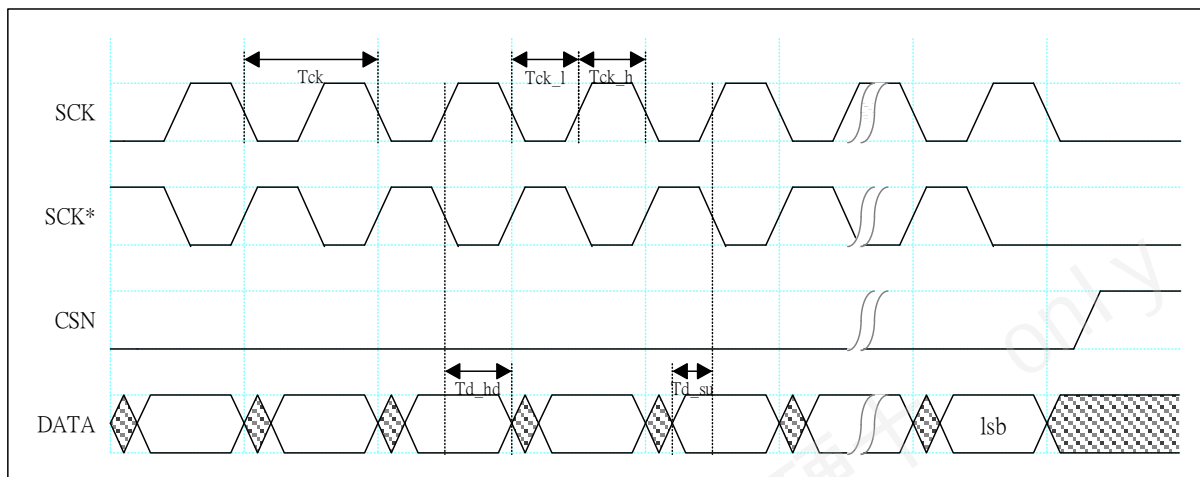
图表 2-7 SPI NOR 接口时序图

\*IO input timing / IO output timng 意指在 1xI/O, 2xI/O, 4xI/O 下 各个用来传输 SPI\_NOR CMD/DATA 的 IO timing, 这包含 SPINOR\_SDI、SPINOR\_SDO、SPINOR\_HOLD\_X、SPINOR\_WP\_X

表格 2-29 SPI\_NOR 接口时序参数表

符号	描述	最小	一般	最大	单位
$T_{css}$	CS 负缘距第一时钟缘时间	13.4	-	-	ns
$T_{clk}$	时钟周期	13.4	-	-	ns
$T_{su}$	输入信号建立时间要求	3.5	-	-	ns
$T_{hd}$	输入信号保持时间要求	0	-	-	ns
$T_{ov}$	输出信号有效延时	-	-	2.6	ns
$T_{ox}$	输出信号保持时间	-1.5	-	-	ns

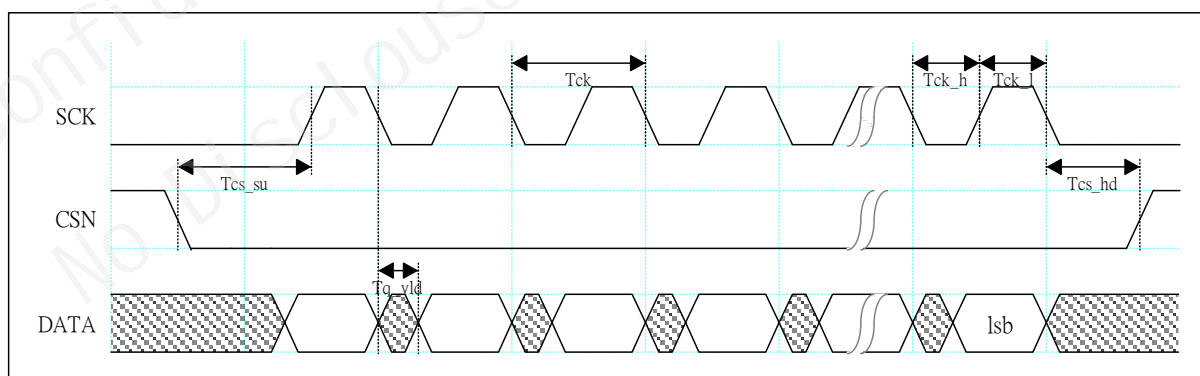
## 2.6.2 SPI NAND 接口时序



图表 2-8 SPI NAND 输入方向时序图

表格 2-30 SPI NAND 输入方向时序

参数	符号	最小值	典型值	最大值	单位
时钟周期	Tck	10.66		170.56	ns
输入信号建立时间要求	Td_su	2.00			ns
输入信号保持时间要求	Td_hd	1.20			ns



图表 2-9 SPI NAND 输出方向时序图

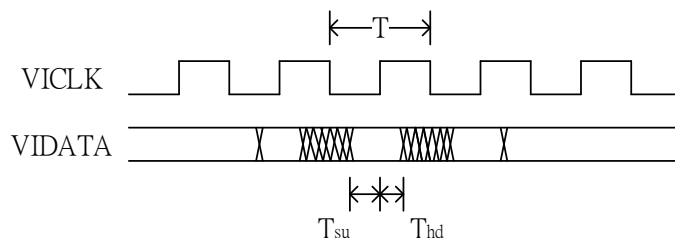
表格 2-31 SPI NAND 输出方向时序

参数	符号	最小值	典型值	最大值	单位
时钟周期	Tck	10.66		170.56	ns

参数	符号	最小值	典型值	最大值	单位
时钟高电平周期	Tck_h	5.33		85.28	ns
时钟低电平周期	Tck_l	5.33		85.28	ns
输出 CS 建立时间	Tcs_su	10.66			ns
输出 CS 保持时间	Tcs_hd	10.66			ns
输出信号延时	Tq_vld	-1.00		2.00	ns

### 2.6.3 VI 接口时序

VI 接口时序如图表 2-10 所示。



图表 2-10 VI 接口时序图

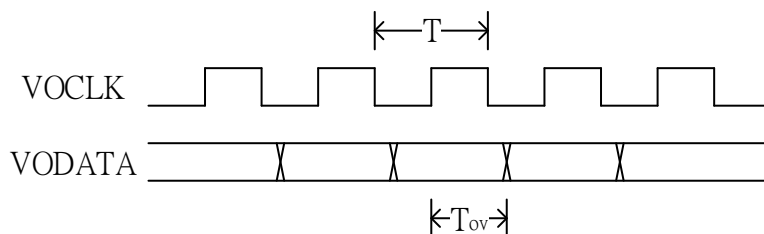
其中 VI 接口时序参数如表格 2-32 所示。

表格 2-32 VI 接口时序参数表

	Symbol	Min	Typ	Max	Unit
<b>VICLK clock cycle</b>	$T$	6.73			ns
<b>VIDATA setup time</b>	$T_{su}$	1.9			ns
<b>VIDATA hold time</b>	$T_{hd}$	0.8			ns

### 2.6.4 VO 接口时序

VO 接口时序如图表 2-11 所示。



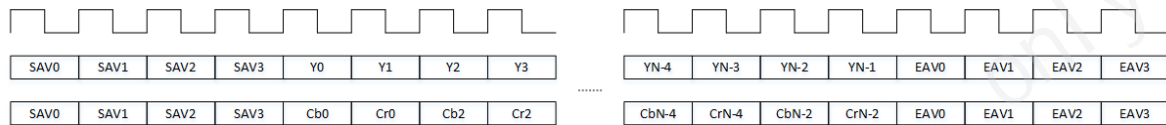
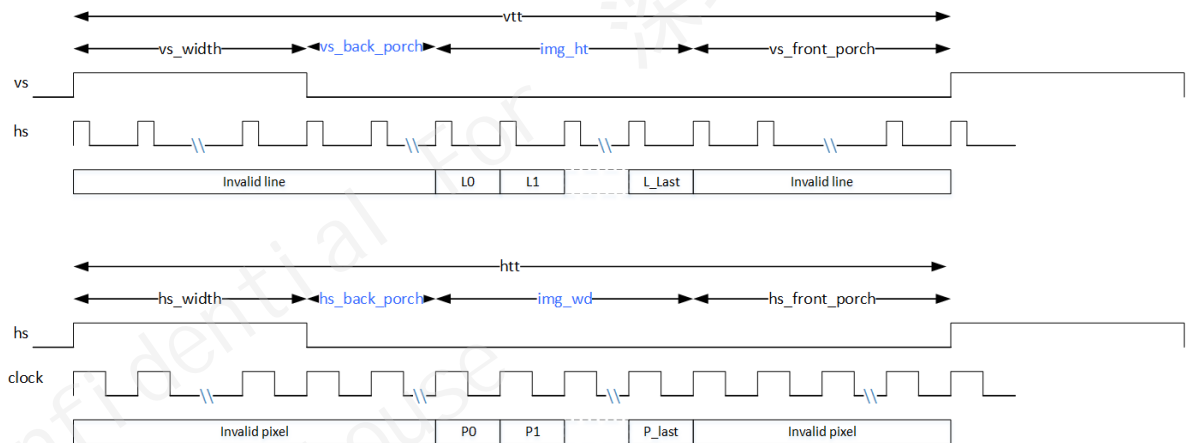
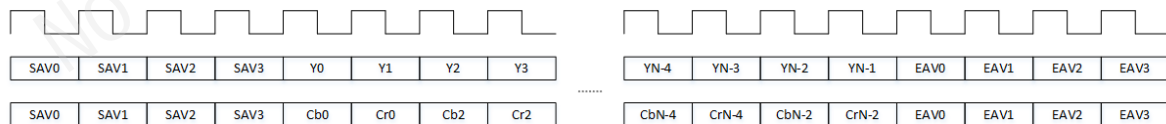
图表 2-11 VO 接口时序图

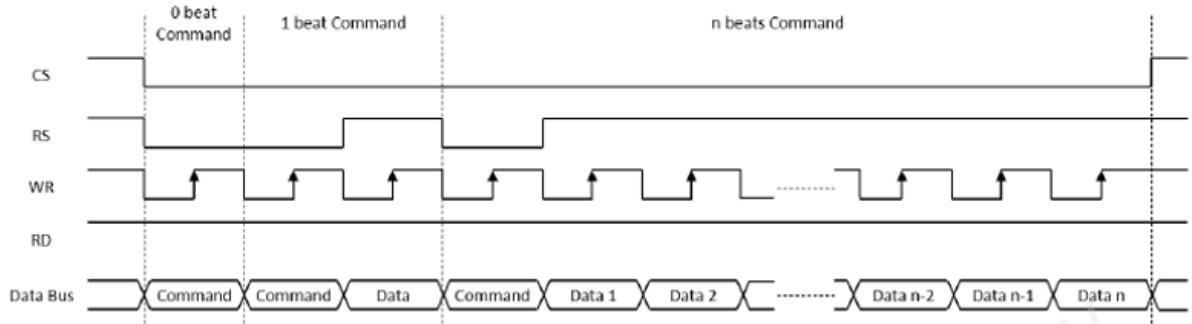
其中 VO 接口时序参数如表格 2-33 所示。



**表格 2-33 VO 接口时序参数表**

	Symbol	Min	Typ	Max	Unit
<b>VOCLK clock cycle</b>	T		6.73		ns
<b>VODATA delay time</b>	T <sub>ov</sub>	T/2-1.5		T/2+1.5	ns

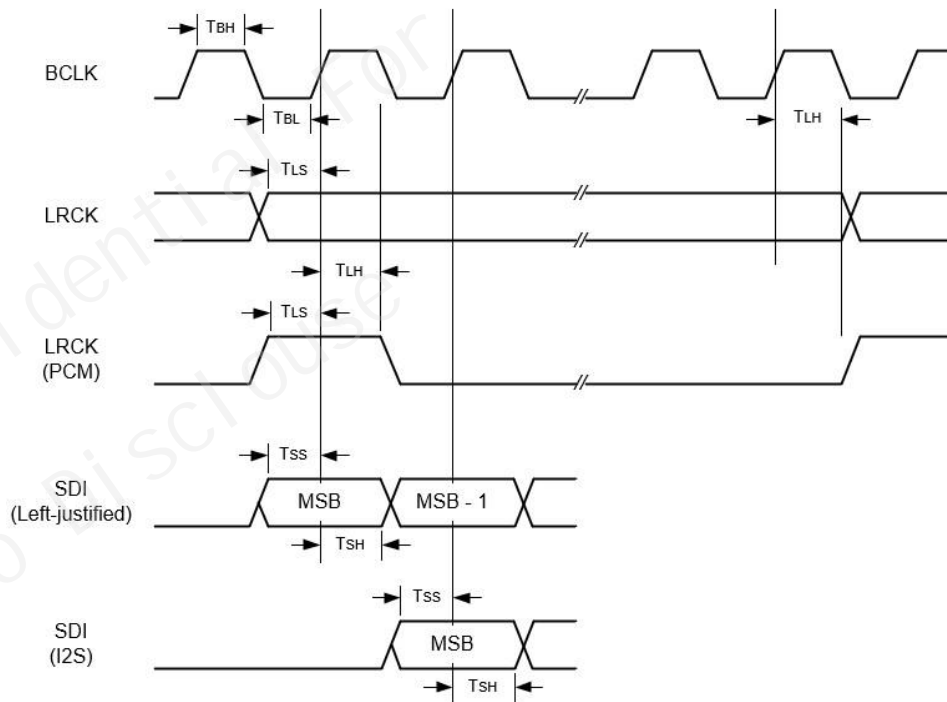

**图表 2-12 BT.656 接口时序图**

**图表 2-13 BT.601 接口时序图**

**图表 2-14 BT.1120 接口时序图**



图表 2-15 8080 接口时序图

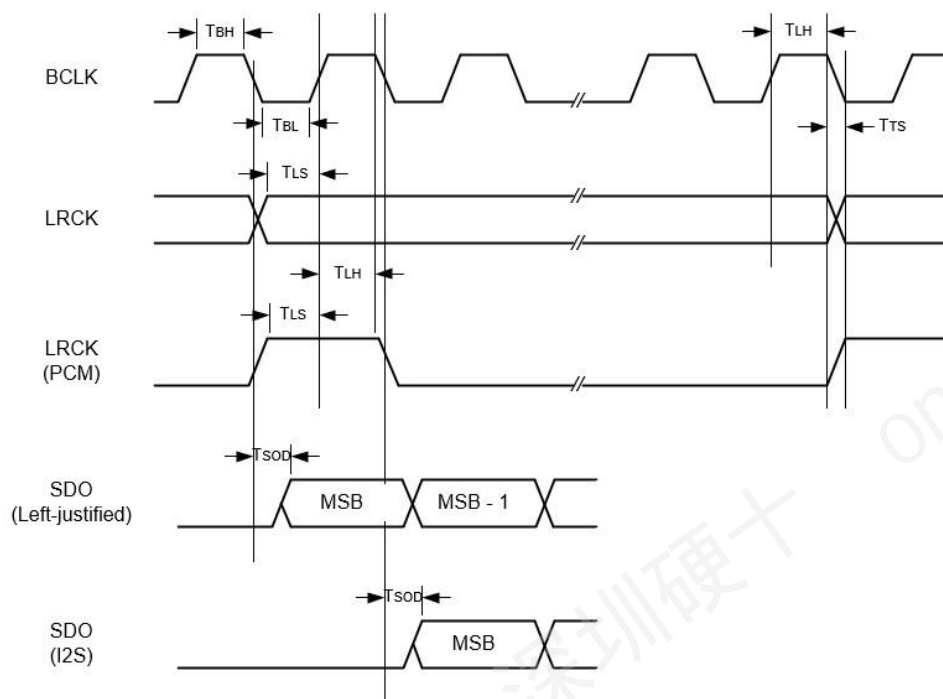
## 2.6.5 AIAO (I2S/PCM) 接口时序

外接 Audio Codec，I2S 模式和 PCM 模式接口接收时序如图表 2-16 所示。



图表 2-16 I2S & PCM 接口接收时序图

I2S 模式和 PCM 模式接口发送时序如图表 2-17 所示。

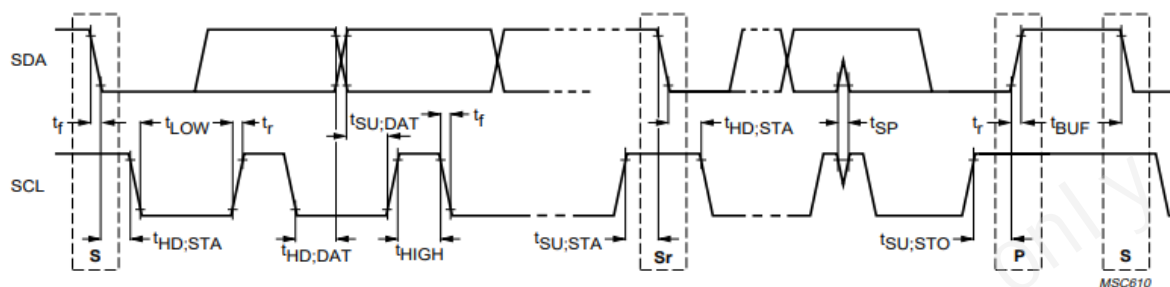

**图表 2-17 I2S & PCM 接口发送时序图**

接口时序参数如表格 2-34 所示。

**表格 2-34 I2S/PCM 接口时序参数表**

符号	参数	最小值	典型值	最大值	单位
$T_{BL}$	BCLK 低位准脉冲宽度 (主模式和从模式)	40	-	-	ns
$T_{BH}$	BCLK 高位准脉冲宽度 (主模式和从模式)	40	-	-	ns
$T_{LS}$	LRCK 相对于 BCLK 上升沿的建立时间 (从模式)	10	-	-	ns
$T_{LH}$	LRCK 相对于 BCLK 上升沿的保持时间 (从模式)	10	-	-	ns
$T_{SS}$	SDI 相对于 BCLK 上升沿的建立时间 (主模式和从模式)	10	-	-	ns
$T_{SH}$	SDI 相对于 BCLK 上升沿的保持时间 (主模式和从模式)	10	-	-	ns
$T_{Ts}$	BCLK 下降沿相对于 LRCK 的时钟偏斜 (主模式)	0	-	10	ns
$T_{sod}$	SDO 相对于 BCLK 下降沿的信号延时时间 (主模式和从模式)	0	-	10	ns

## 2.6.6 I2C 接口时序.

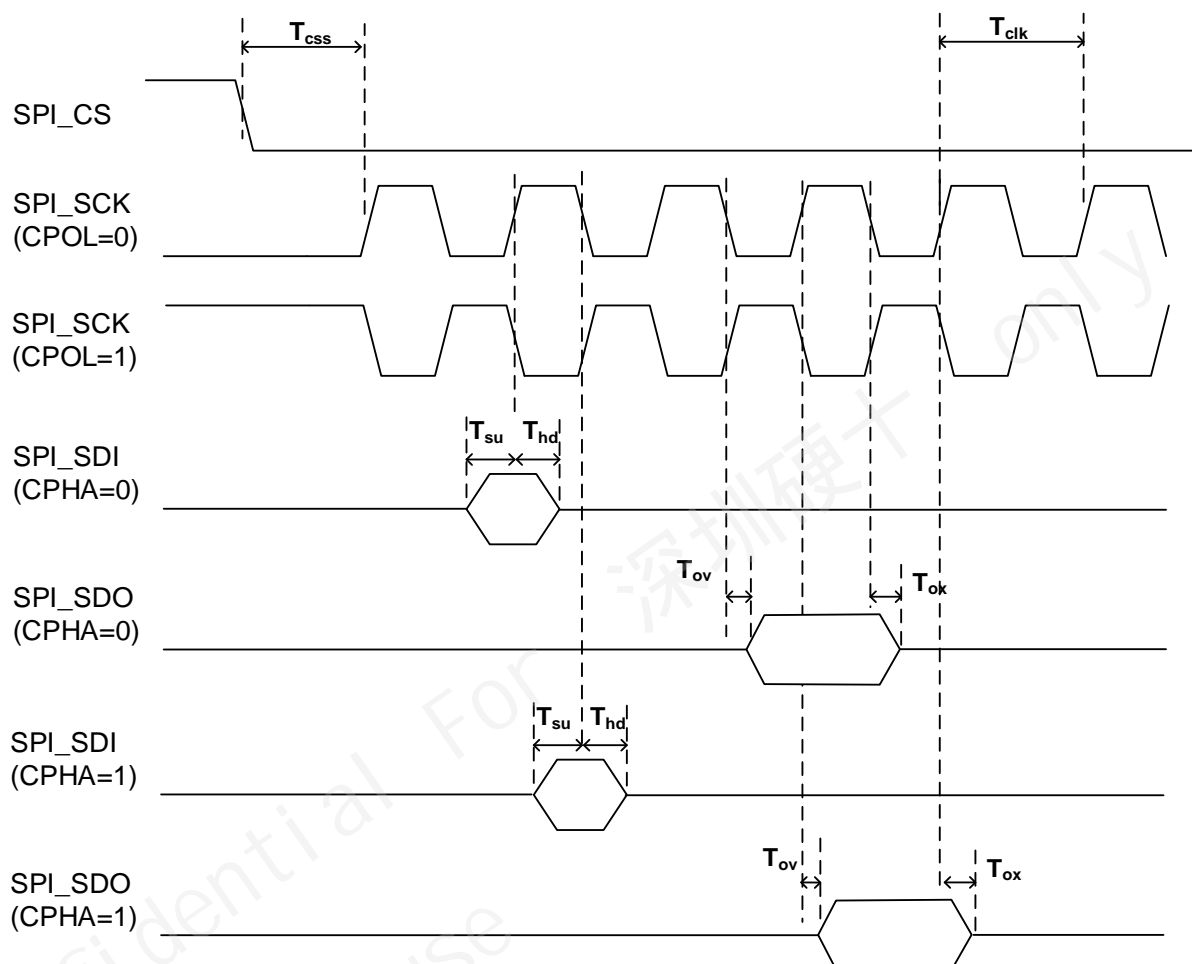


图表 2-18 I2C 接口时序图

表格 2-35 I2C 接口时序参数表

PARAMETER	SYMBOL	STANDARD-MODE		FAST-MODE		UNIT
		MIN.	MAX.	MIN.	MAX.	
SCL clock frequency	$f_{SCL}$	0	100	0	400	kHz
Hold time (repeated) START condition. After this period, the first clock pulse is generated	$t_{HD;STA}$	4.0	—	0.6	—	$\mu s$
LOW period of the SCL clock	$t_{LOW}$	4.7	—	1.3	—	$\mu s$
HIGH period of the SCL clock	$t_{HIGH}$	4.0	—	0.6	—	$\mu s$
Set-up time for a repeated START condition	$t_{SU;STA}$	4.7	—	0.6	—	$\mu s$
Data hold time: for CBUS compatible masters (see NOTE, Section 10.1.3) for I <sup>2</sup> C-bus devices	$t_{HD;DAT}$	5.0 0 <sup>(2)</sup>	— 3.45 <sup>(3)</sup>	— 0 <sup>(2)</sup>	— 0.9 <sup>(3)</sup>	$\mu s$ $\mu s$
Data set-up time	$t_{SU;DAT}$	250	—	100 <sup>(4)</sup>	—	ns
Rise time of both SDA and SCL signals	$t_r$	—	1000	$20 + 0.1C_b^{(5)}$	300	ns
Fall time of both SDA and SCL signals	$t_f$	—	300	$20 + 0.1C_b^{(5)}$	300	ns
Set-up time for STOP condition	$t_{SU;STO}$	4.0	—	0.6	—	$\mu s$
Bus free time between a STOP and START condition	$t_{BUF}$	4.7	—	1.3	—	$\mu s$
Capacitive load for each bus line	$C_b$	—	400	—	400	pF
Noise margin at the LOW level for each connected device (including hysteresis)	$V_{nL}$	$0.1V_{DD}$	—	$0.1V_{DD}$	—	V
Noise margin at the HIGH level for each connected device (including hysteresis)	$V_{nH}$	$0.2V_{DD}$	—	$0.2V_{DD}$	—	V

## 2.6.7 SPI 接口时序



图表 2-19 SPI 接口时序图

表格 2-36 SPI 接口时序参数表.

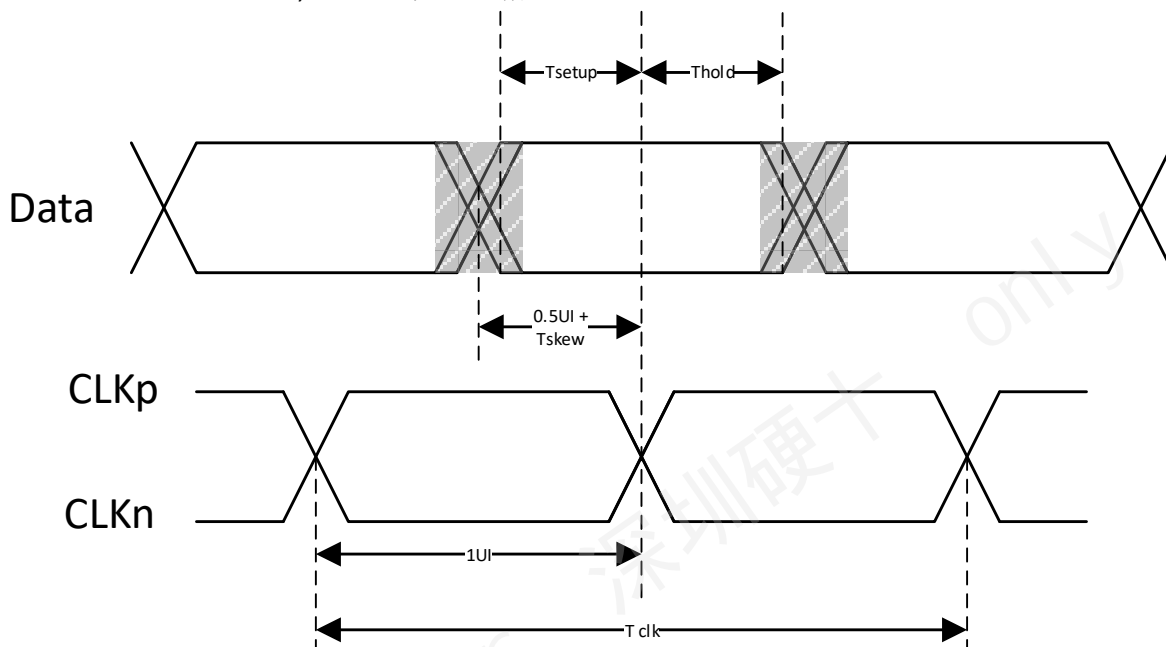
符号	描述	最小值	典型值	最大值	单位
$F_{clk}$	SCK 频率		-	46.8	MHz
$T_{css}$	CS 负缘距第一时钟缘时间	21.4	-	-	ns
$T_{clk}$	时钟周期	21.4	-	-	ns
$T_{su}$	输入信号建立时间要求	9.5	-	-	ns
$T_{hd}$	输入信号保持时间要求	0	-	-	ns
$T_{ov}$	输出信号有效延时	-	-	3	ns
$T_{ox}$	输出信号保持时间	-3	-	-	ns

## 2.6.8 MIPI Rx 接口时序

MIPI Rx 的速度区间为  $0.08\text{Gbps} \leq \text{资料速度} \leq 1.5\text{Gbps}$

### A.0.08Gbps≤資料速度≤1.5Gbps

时序图如图表 2-20 表示,时序参数如表格 2-37 所示



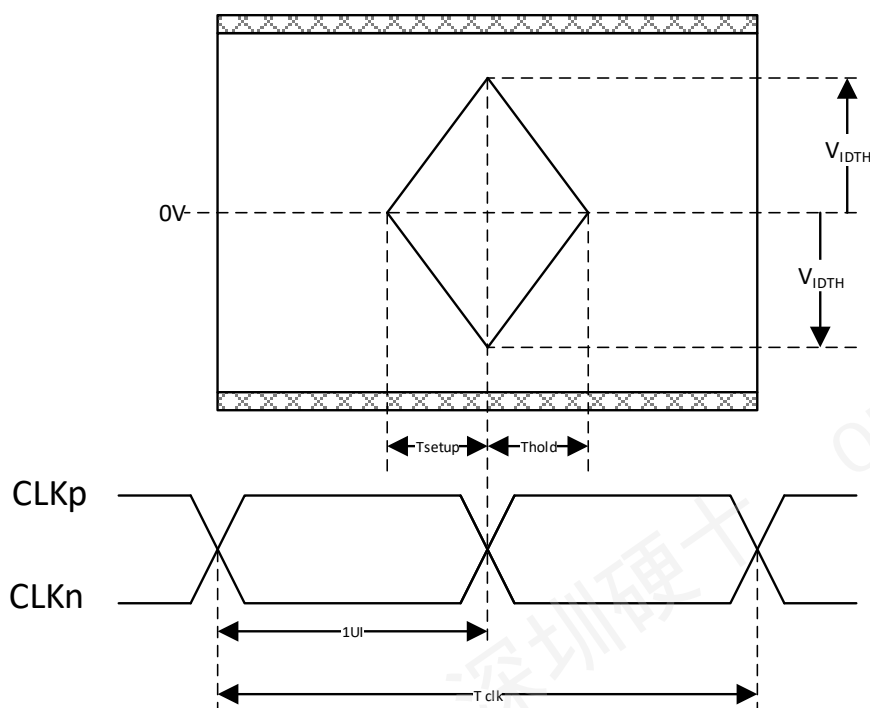
图表 2-20. MIPI Rx 在 0.08Gbps≤資料速度≤1.5Gbps 时的时钟数据时序图

表格 2-37 MIPI Rx 在 0.08Gbps≤資料速度≤1.5Gbps 时的时序参数表

參數	符號	資料速度區間	最小值	典型值	最大值	單位
資料速度	Data Rate	$0.08\text{G}\leq\text{Data Rate}\leq1\text{G}$	0.08		1	Gbps
		$1\text{G}<\text{Data Rate}\leq1.5\text{G}$	1		1.5	
差分時鐘週期	Tclk	$0.08\text{G}\leq\text{Data Rate}\leq1\text{G}$	2		25	ns
		$1\text{G}<\text{Data Rate}\leq1.5\text{G}$	1.33		2	
發射端資料到時鐘歪斜時間	T <sub>SKEW</sub>	$0.08\text{G}\leq\text{Data Rate}\leq1\text{G}$	-0.15		0.15	UIHS *
		$1\text{G}<\text{Data Rate}\leq1.5\text{G}$	-0.2		0.2	
接收端差分時鐘建立時間	T <sub>SETUP</sub>	$0.08\text{G}\leq\text{Data Rate}\leq1\text{G}$	0.15			UIHS
		$1\text{G}<\text{Data Rate}\leq1.5\text{G}$	0.2			
接收端差分時鐘保持時間	T <sub>HOLD</sub>	$0.08\text{G}\leq\text{Data Rate}\leq1\text{G}$	0.15			UIHS
		$1\text{G}<\text{Data Rate}\leq1.5\text{G}$	0.2			
* UIHS= 1/資料速度 = 差分時鐘週期/2						

## 2.6.9 Sub-LVDS 接口时序

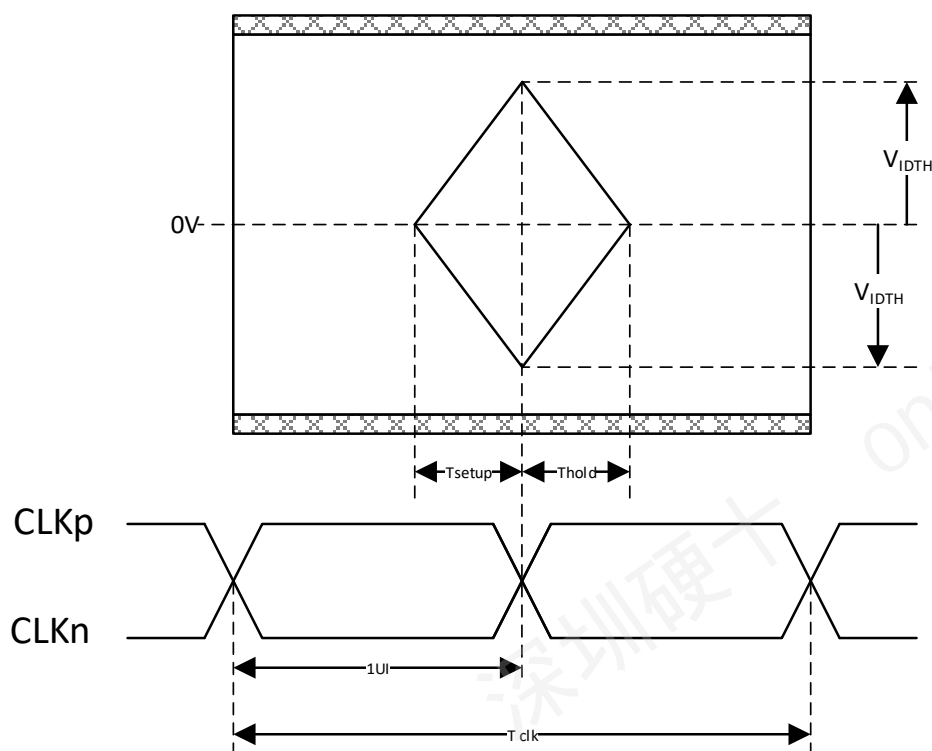
Sub-LVDS 时钟数据时序图如图表 2-21 表示,时序参数如表格 2-38 所示


**图表 2-21. Sub-LVDS 时钟数据时序图**
**表格 2-38. Sub-LVDS 时序参数表**

參數	符號	最小值	典型值	最大值	單位
資料速度	Data Rate	--	--	1.5	Gbps
位元標準時間	UI	666.6	--	--	ns
差分時鐘週期	Tclk	1333.3	--	--	ns
接收端差分時鐘建立時間	T <sub>SETUP</sub>	0.15	--	--	UI
接收端差分時鐘保持時間	T <sub>HOLD</sub>	0.15	--	--	UI
Differential Input Threshold Voltage (VP – VM)	WIDTH(SL)	-70	--	70	mV
* UI= 1/資料速度 = 差分時鐘週期/2					

## 2.6.10 HiSPi 接口时序

HiSPi 时钟数据时序图如图表 2-22 表示,时序参数如表格 2-39 所示



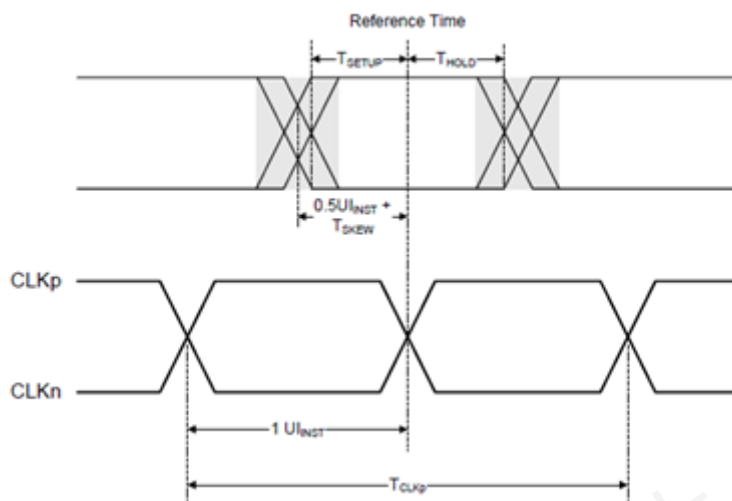
图表 2-22. HiSPi 时钟数据时序图

表格 2-39. HiSPi 时序参数表

參數	符號	最小值	典型值	最大值	單位
資料速度	Data Rate	--	--	1.5	Gbps
位元標準時間	UI	666.6	--	--	ns
差分時鐘週期	Tclk	1333.3	--	--	ns
接收端差分時鐘建立時間	T <sub>SETUP</sub>	0.15	--	--	UI
接收端差分時鐘保持時間	T <sub>HOLD</sub>	0.15	--	--	UI
Differential Input Threshold Voltage (VP – VM)	WIDTH(HSSL)	-70	--	70	mV
	WIDTH(HSHI)	-100	--	100	
* UI= 1/資料速度 = 差分時鐘週期/2					

## 2.6.11 MIPI Tx 接口时序





**图表 2-23 MIPI TX 接口数据对时钟时序图**

**表格 2-40 Data-Clock Timing Specifications for  $\geq 0.08\text{Gbps}$  and  $\leq 1\text{Gbps}$**

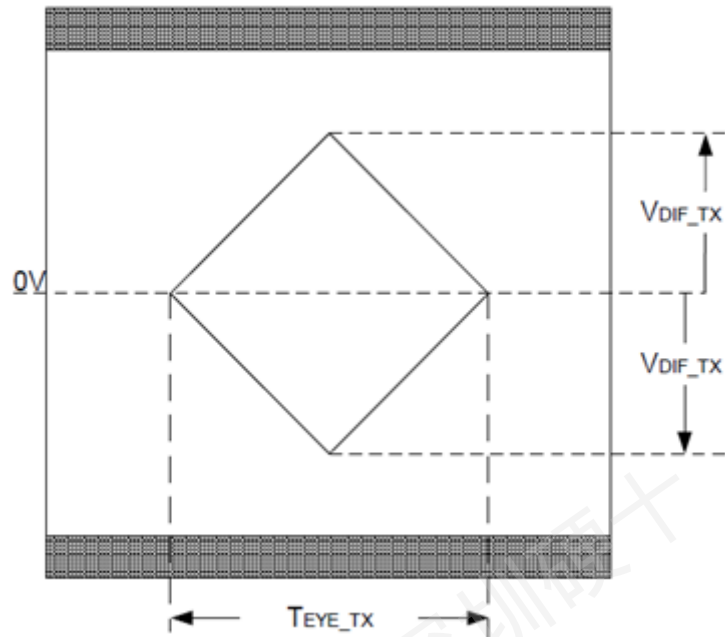
Symbol	Description	Min	Nom	Max	Units	Notes
$T_{\text{SKEW[TX]}}$	TX Data to Clock Skew	-0.15		0.15	UI <sub>HS</sub>	

**表格 2-41 Data-Clock Timing Specifications for  $> 1\text{Gbps}$  and  $\leq 1.5\text{Gbps}$**

Symbol	Description	Min	Nom	Max	Units	Notes
$T_{\text{SKEW[TX]}}$	TX Data to Clock Skew	-0.2		0.2	UI <sub>HS</sub>	

**表格 2-42 Data-Clock Timing Specifications for  $> 1.5\text{Gbps}$  and  $\leq 2.5\text{Gbps}$**

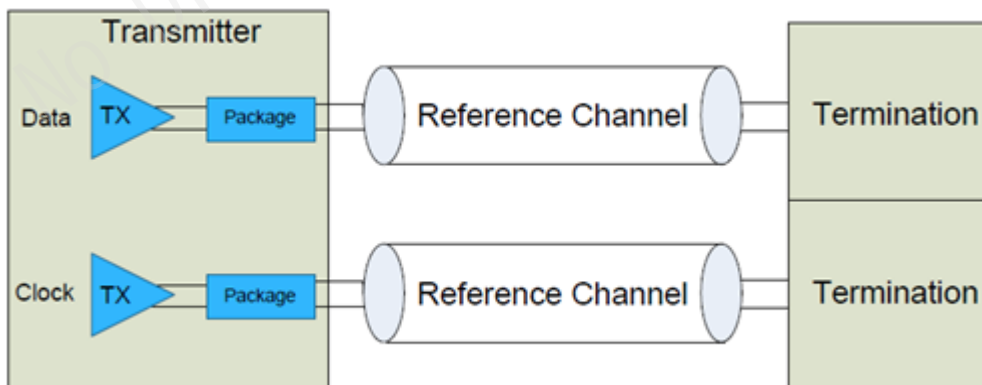
Symbol	Description	Min	Nom	Max	Units	Notes
$T_{\text{SKEW[TX]}}$	TX Data to Clock Skew	-0.2		0.2	UI <sub>HS</sub>	
$TJ_{\text{TX}}$	TX Data to Clock Total Jitter			0.3	UI <sub>HS</sub>	
$DJ_{\text{TX}}$	TX Data to Clock Deterministic Jitter			0.2	UI <sub>HS</sub>	
$RJ_{\text{TX}}$	TX Data to Clock Random Jitter			0.1	UI <sub>HS</sub>	



图表 2-24 TX EYE Diagram Specification

表格 2-43 Transmitter Eye Diagram Specification

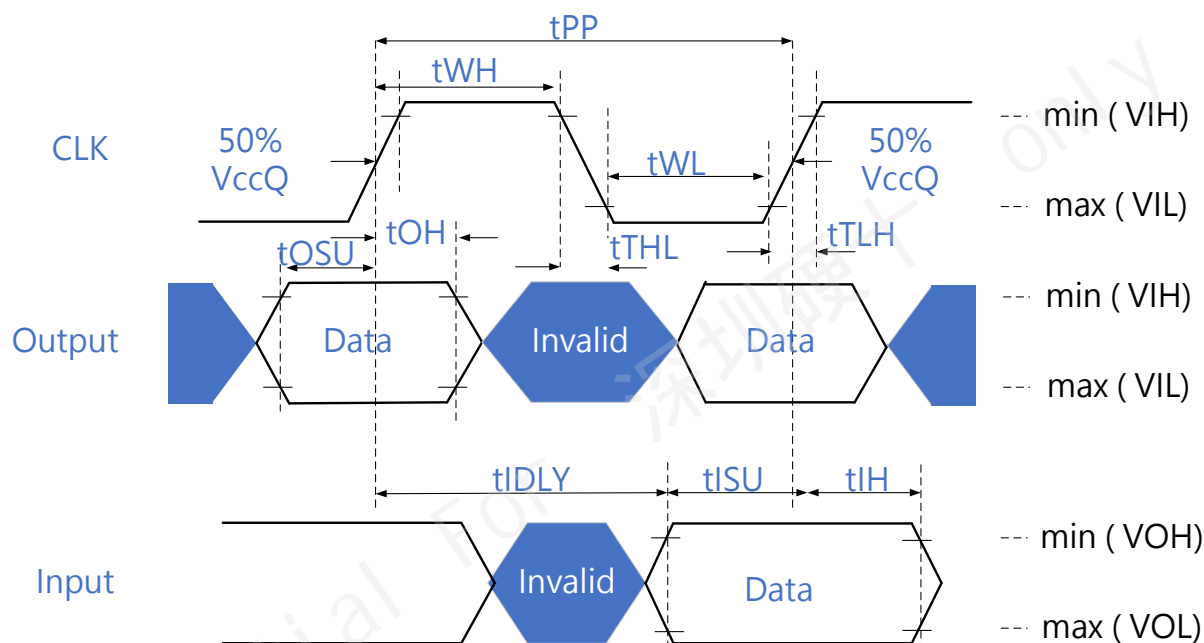
Bit Error Rate	T<sub>EYE_TX</sub>	V<sub>DIF_TX</sub>
10 <sup>-12</sup>	0.5UI	40mV
10 <sup>-6</sup> (Prorated for Validation)	0.53UI	47mV



图表 2-25 Transmitter Eye Diagram Validation Setup

## 2.6.12 SDIO/MMC 接口时序

单沿的数据输入输出方向时序如图表 2-26 所示。



图表 2-26 SDIO/MMC 单沿(SDR) 的数据输入输出时序图.

表格 2-44 SDIO/MMC 单沿 DS(default speed) 模式时序参数表

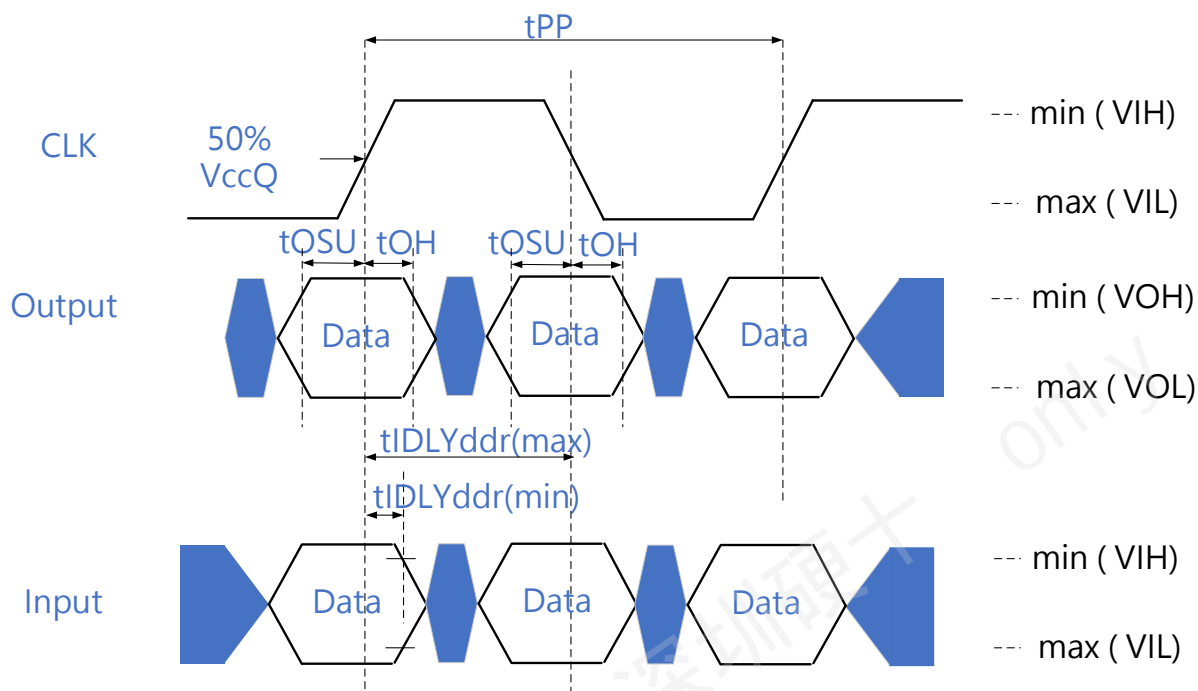
参数	符号	最小值	典型值	最大值	单位	备注
<b>Clock CLK</b>						
Clock frequency	fPP	0	-	26	MHz	fpp=1/tpp
Data transfer Mode						CL≤30pF
Clock frequency Identification Mode	fOD	0	-	400	KHz	CL≤30pF
Clock high time	tWH	10	-	-	ns	CL≤30pF
Clock low time	tWL	10	-	-	ns	CL≤30pF
Clock rise time	tTLH	-	-	10	ns	CL≤30pF
Clock fall time	tTHL	-	-	10	ns	CL≤30pF
<b>Inputs CMD, DAT (referenced to CLK)</b>						
Input set-up time	tISU	6	-	-	ns	CL≤30pF

参数	符号	最小值	典型值	最大值	单位	备注
Input hold time	tIH	8.3	-	-	ns	CL≤30pF
<b>Outputs CMD, DAT (referenced to CLK)</b>						
Output set-up time	tOSU	5	-	-	ns	CL≤30pF
Output hold time	tOH	5	-	-	ns	CL≤30pF

**表格 2-45 SDIO/MMC 单沿 HS(High speed) 模式 时序参数表**

参数	符号	最小值	典型值	最大值	单位	备注
<b>Clock CLK</b>						
Clock frequency Data transfer Mode	fpp	0	-	52	MHz	fpp=1/tp CL≤30pF
Clock high time	tWH	6.5	-	-	ns	CL≤30pF
Clock low time	tWL	6.5	-	-	ns	CL≤30pF
Clock rise time	tTLH	-	-	3	ns	CL≤30pF
Clock fall time	tTHL	-	-	3	ns	CL≤30pF
<b>Inputs CMD, DAT (referenced to CLK)</b>						
Input set-up time	tISU	6	-	-	ns	CL≤30pF
Input hold time	tIH	2.5	-	-	ns	CL≤30pF
<b>Outputs CMD, DAT (referenced to CLK)</b>						
Output set-up time	tOSU	6	-	-	ns	CL≤30pF
Output hold time	tOH	3	-	-	ns	CL≤30pF

双沿的数据输入输出方向时序如图表 2-27 所示。

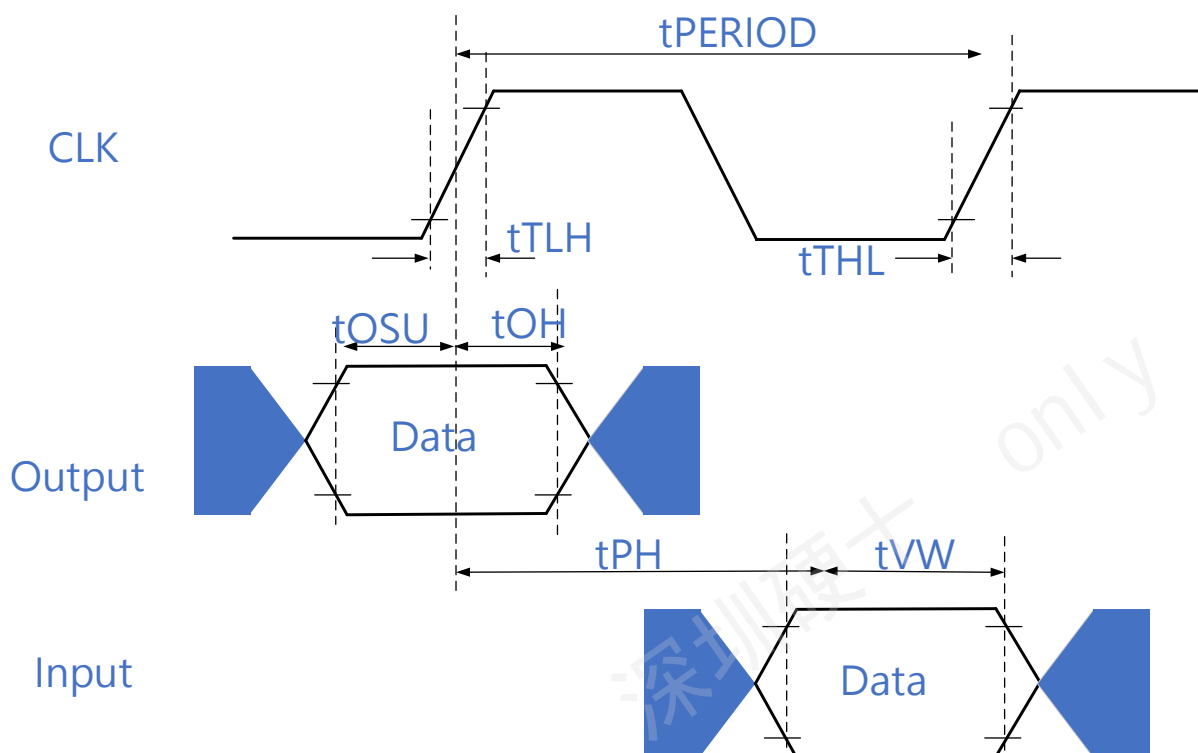


图表 2-27 SDIO/MMC 双沿 DDR50 模式的数据输入输出方向时序图

表格 2-46 SDIO/MMC 双沿 DDR50 模式时序参数表

参数	符号	最小值	典型值	最大值	单位	备注
<b>Clock CLK</b>						
Clock frequency Data transfer Mode	fP	0	-	52	MHz	fpp=1/tpp CL≤30pF
<b>Inputs DAT (referenced to CLK)</b>						
Input delay time during data transfer	tIDLYddr	1.5	-	7	ns	CL≤20pF
<b>Outputs DAT (referenced to CLK)</b>						
Output set-up time	tOSU	3	-	-	ns	CL≤20pF
Output hold time	tOH	2.5	-	-	ns	CL≤20pF

HS200 与 SDR104 的数据输入输出方向时序如图表 2-28。



图表 2-28 SDIO/MMC HS200 与 SDR104 模式的数据命令输出方向时序图

表格 2-47 SDIO/MMC HS200 与 SDR104 模式输出参数表

参数	符号	最小值	典型值	最大值	单位	备注
Output set-up time	$t_{OSU}$	1.4	-	-	ns	$C_{DEVICE} \leq 6pF$
Output hold time	$t_{OH}$	0.8	-	-	ns	

表格 2-48 SDIO/MMC HS200 与 SDR104 模式输入时序参数表

参数	符号	最小值	典型值	最大值	单位	备注
Phase difference between device TX CMD/DAT and RX CLK	$t_{PH}$	0	-	2	UI	Unit Interval (UI) is one bit nominal time. For 200Mhz, UI=5ns
Input valid data window	$t_{VW}$	0.575	-	-	UI	TVW=2.88ns at 200MHz