山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202300130234 | 姓名： 陈俊宏 | | 班级： 4 |
| 实验题目：时序系统实验 | | | |
| 实验学时：2 | | 实验日期： | |
| 实验目的： | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法： | | | |
| 实验步骤：  （1）原理图输入：根据电路图，连接好相应的部件  （2）管脚锁定：使用adpt\_in\out进行  （3）原理图编译、适配和下载，原理图如图所示：    在实验平台上分析其正确性。 | | | |
| 结论分析与体会：  这次的实验让我对于时序电路有了一个深入的理解。该实验让我理解了如何用异步时序电路和连续时序电路的配合实现时序系统的运行。  该实验实际上是对异步时序电路和连续时序电路的应用。对于连续时序电路的输出就直接通过节拍计数器输出；对于异步时序电路的异步处理则是通过判断连续时序电路的一个周期是否结束为准，而连续时序电路的结束与否就在于最后一位输出是否为“1”，所以只需把连续时序电路的最后一位输出接到异步时序电路的clk处即可。而对于异步时序电路的进位，它的初始数据必须是0001，且左移时右边进数必须是0，循环一个周期可知，把异步时序电路的最后一位输出接到右进数即sl即可满足需求。  结果演示： | | | |