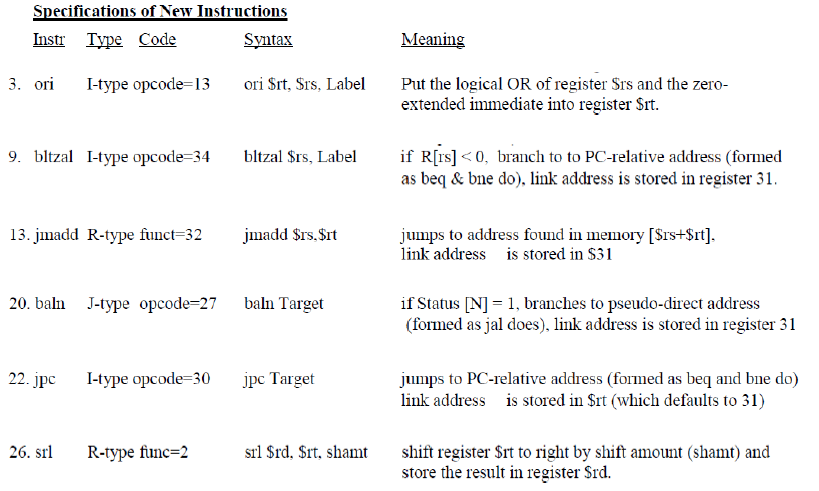
**CSE3038 – Computer Organization**

**Project #2 Report**

**Group Members**:

Ömer Faruk Çakı – 150117821

Cem Güleç - 150117828



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Instruction** | **RegDst** | **ALUsrc** | **MemtoReg** | **RegWrite** | **Mem Read** | **Mem Write** | **Branch** | **ALUop1** | **ALUop2** | **jump** | **baln** | **Reg31** | **link** | **Reg31\_rt** | **Link\_rt** | **jmadd** | **jpc** | **bltzal** |
| **R-Type** | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |  |  |  |  |  |  |  |  |  |
| **lw** | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |  |  |  |  |  |  |  |  |  |
| **sw** | X | 1 | X | 0 | 0 | 1 | 0 | 0 | 0 |  |  |  |  |  |  |  |  |  |
| **beq** | X | 0 | X | 0 | 0 | 0 | 1 | 0 | 1 |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **ori** | 0 | 1 | 0 | 1 | X | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **bltzal** | 1 | X | 0 | 1 | X | 0 | 1 | 0 | 1 | 0 | X | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| **jmadd** | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| **baln** | 0 | X | X | 1 | X | 0 | 1 | X | X | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| **jpc** | 0 | X | X | 1 | X | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| **srl** | 1 | 0 | 0 | 1 | X | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Binvert hiç gerekmeyebilir (equality check tarzı bir şey olmazsa direct kaldır)  
srl uygularken eğer bir karışıklık olur gibiyse selection bitler extend edilmesi gerekebilir

**Ori**\* nothing has changed on the datapath

**Srl**

\*\* a new wire added to carry shamt to ALU as a new input

**Baln**

\*\* status registerdan Alu ya yeni bir input gönderdim  
\*\* ayrıca status register çıkışı da baln muxuna gidiyor  
\*\* baln, link, reg31 sinyalleri control unite eklendi  
\*\* status register yanına 1 mux daha eklendi  
\*\* link\_rt (r type), reg31\_rt (r type) sinyalleri alu control’e eklendi  
\*\* register file yanındaki mux biraz geriye çekildi yanına bir mux daha geldi  
\*\* yeni gelen mux 31. Registera yazma işini hallediyor  
\*\* writedata pathi düzeltilip OR gateye sokuldu

**Jmadd**  
\*\*jump sinyali control unite  
\*\*jmadd alu controle  
\*\*datamemory yanına bir or  
\*\*yukarıya ekstra mux  
\*\*regwrite yerine bir xor

**Jpc**

Yukarıdan 2.muxda yeni bir XOR gate geldi

**Bltzal**

Datapath üzerinde değişiklik olmadı  
Verilogda, processor.v’de 1 bitlik variable oluştur (aluya input). Alunun içinde rs registerin değeri[31] yap. Andle , negatifse 1 çıkar