



南京理工大学  
NANJING UNIVERSITY OF SCIENCE & TECHNOLOGY

# 电工电子综合实验 设计报告

专    业： 通信工程  
姓    名： 张悦熠  
学    号： 9211040G0637  
指导老师： 丁淑艳

2023    年    5    月    29    日

# 目录

一、实验目的 .....	3
二、实验要求 .....	3
三、主要元器件及功能 .....	4
CD4518 计数器 .....	4
CD4511 译码器、显示器 .....	5
四、电路原理及功能 .....	6
脉冲发生电路、计时电路 .....	6
清零电路 .....	8
电路级联汇总 .....	9
仿真问题及解决 .....	12
五、实验小结和心得 .....	12
六、附录 .....	14

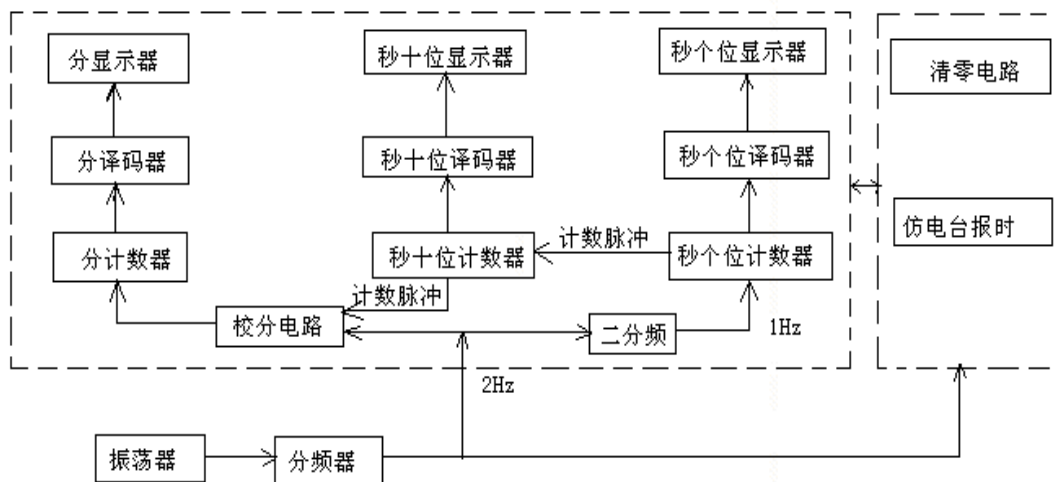
## 实验五 多功能计时电路的设计 数字钟

### 一、实验目的

1. 通过实验掌握十进制加法计数、译码、显示电路的工作过程。
2. 通过实验深入掌握电路的分频原理和数字信号的测量方法。
3. 熟悉集成电路构成的计数、译码、显示器件的外部功能及其使用方法。

### 二、实验要求

1. 脉冲发生电路：为计时器提供脉冲信号。
2. 计时电路：完成 0 分 00 秒 ~ 9 分 59 秒的计时功能。
3. 设计清零电路：具有开机自动清零功能；在任何时候，按动清零开关，可进行计时器手动清零。
4. 译码显示电路：显示计时电路产生的数字信息。
5. 系统级联调试：将以上电路进行级联完成计时器的所有功能。



三、电路中使用到的主要元器件的功能

1. CD4518 计数器

图 5.1 所示为 CD4518 双十进制同步加法计数器引脚图，CD4518 具有两个独立的十进制计数器，每个计数器都包含四个二进制技术单元。它们可以分别计数，也可以进行同步加法计数。每个计数器都有两个时钟输入端口：CP 和 EN。CP 端口上升沿有效，EN 端口下降沿有效。这意味着我们可以根据实际需要选择不同的时钟输入方式。CD4518 计数器的功能见表 5.1。它可以实现多种计数模式，包括二进制计数、BCD 计数、同步加法计数和异步复位等。在使用 CD4518 计数器时，我们需要根据具体应用需求选择不同的计数模式和时钟输入方式。此外，还需要注意计数器的复位操作，以确保计数器的正常工作。

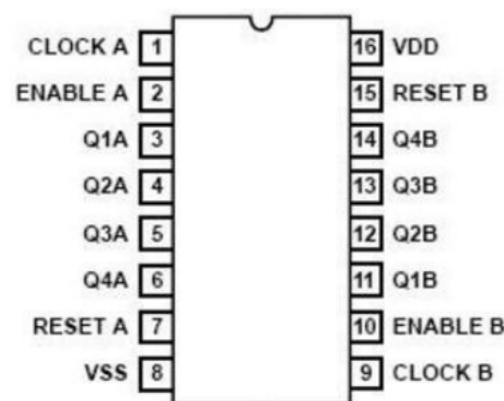


图 3.1 CD4518 引脚图

	输入			输出			
	Cr	CP	EN	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
清零	1	x	x	0	0	0	0
计数	0	↑	1	BCD 码加法计数			
保持	0	x	0	保持			
计数	0	0	↓	BCD 码加法计数			
保持	0	1	x	保持			

表 3.1 CD4518 功能表

## 2. CD4511 译码器

CD4511 是一种 BCD 至七段数码管译码器，主要用于将 BCD 码转换为对应的七段数码管显示信号。它具有四个 BCD 输入端口（A、B、C、D）和七个七段数码管输出端口（a、b、c、d、e、f、g）。CD4511 可以将输入的 BCD 码转换为对应的七段数码管显示信号，以便用户可以直接将其连接到七段数码管上进行显示。它还具有一个脉冲输入端口（LE），用于在输入 BCD 码后将其锁存，以便在显示时保持一定的稳定性。

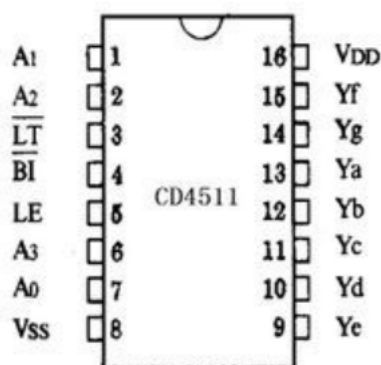


图 3.2 CD4511 引脚图

## 3. 显示器

七段型发光二极管是一种常见的数码显示器，可以用于显示数字、字母和一些符号。在数字电路中，七段型发光二极管通常由数字译码器和驱动电路组成。由于七段型发光二极管的阴极是共用的，因此需要通过数字译码器将输入的二进制代码转换为相应的七段段码，然后再通过驱动电路将相应的高电平信号输出给七段型发光二极管的各个段，以显示所需的数字或字母。

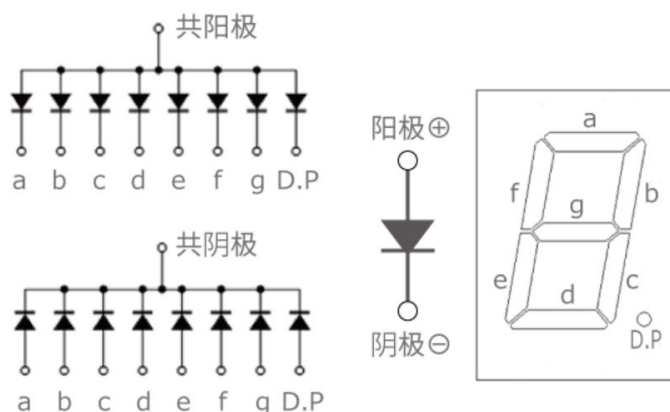


图 3.3 七段形数码显示器原理示意图

#### 四、电路原理及功能

电路一共分为脉冲发生电路、计时电路、清零电路三个部分，接下来对每一个部分进行介绍：

##### 1.脉冲发生电路：

电路元件：32768Hz 晶体管、22MΩ 电阻 1 个、20PF 电容 1 个、10 PF 电容 1 个、CD4060 分频器 1 个、74LS74D 触发器 1 个、5V 直流电源。

原理：脉冲发生电路提供计时电路的时钟并为报时电路提供驱动信号。秒信号发生器采用 32768Hz 的石英晶体多谐振振荡器作为脉冲信号源，能提供较为精确的秒脉冲信号。分频器 CD4060 最可实现最大为 214 的分频，所以可输出的最低频率为 2Hz；D 触发器 74LS74 可以实现脉冲信号的二分频（D 触发器实现二分频的方法为将 D 触发器的 Q 端与 D 端连接在一起），所以在 CD4060 的 Q14 端接一个 D 触发器，即可以输出频率为 1Hz 的脉冲信号，即可实现秒信号发生电路。CD4060 的 Q4 端输出 2KHz 的脉冲信号，Q5 输出 1KHz 的脉冲信号，用于报时电路。

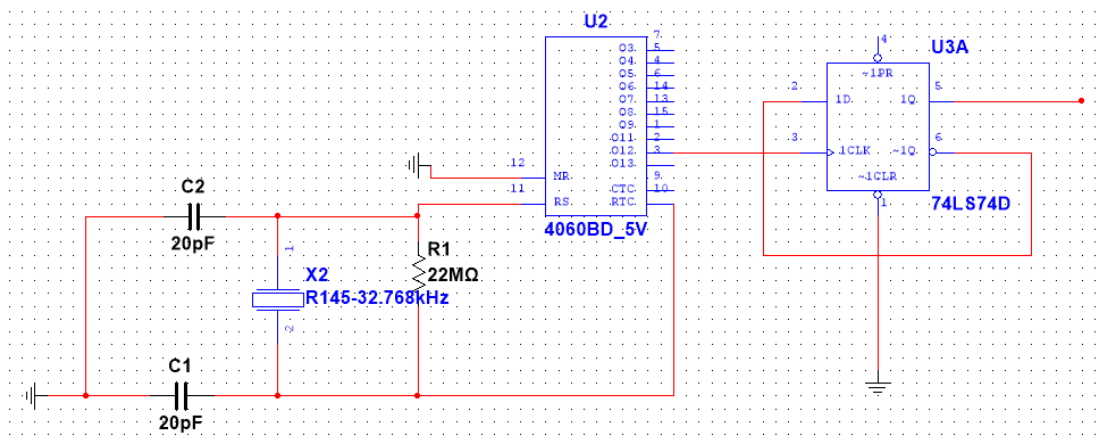


图 4.1 脉冲电路 multisim 仿真示意图

##### 2.计时电路：

电路元件：CD4518 三个、74LS00 一个、CD4069 一个、300Ω 电阻三个、LED 数码显示管三个、直流电源等。

在计时电路中，直接使用 CD4518 BCD 码计数器实现秒个位、分位的十进制计数功能，而秒十位计数器需要六进制计数器，于是将 74LS161 做成一个从 0000 — 0101 的模六计数器实现。在连接时，将脉冲发生电路产生的 1Hz 脉冲信号送入秒个位计数器（CD4518）的 CP 端，秒个位中的输出 1Q4 通过一非门接入 74LS161 的时钟端作为时钟信号完成个位与十位的级联。做秒十位记数时，用反馈置位法，将 2Q1 和 2Q3 通过一与非门接入置数端同时数据输入端均接地，实现模六功能。将计数 2Q3 位作为驱动信号送入分计数器（CD4518）的 EN 端，同时 CP 端接地，此时 CD4518 下降沿有效，于是数字计数器整体的计数功能即可实现。而显示电路则采用三 CD4511 显示译码器和三个七段共阴数码管，电

路从 0 分 00 秒计到 9 分 59 秒，译码显示电路用三片四线七线译码器 CD4511 进行译码，而采用共阴极七段 LED 数码管进行循环显示。CD4511 的输入接到相应计数器的输出，而它的输出端与数码管的相应端相连，数码管的共阴极通过 300Ω 的电阻接地，这是为了防止电压过大而导致显示器坏掉，完成后的电路如图下所示。

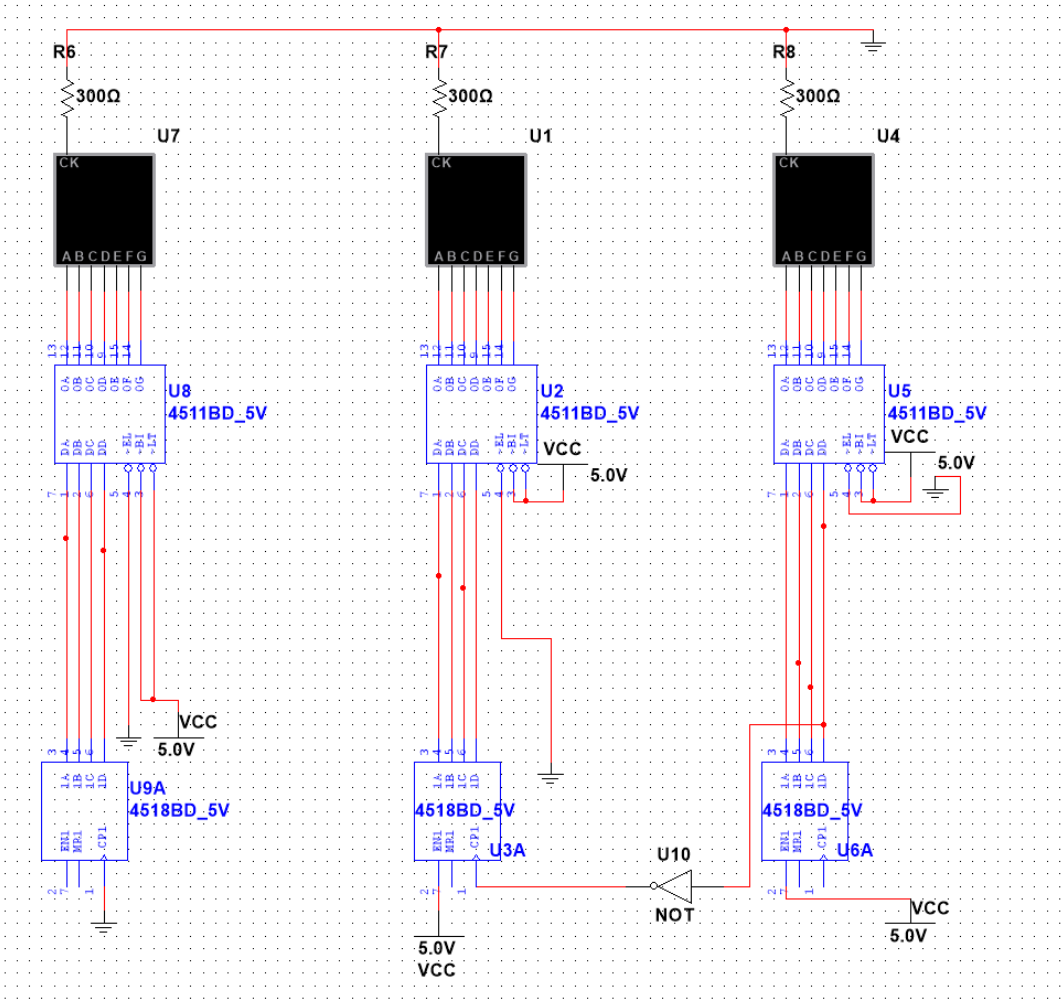


图 4.2 计时电路 multisim 仿真示意图

其中 U6A 的 CP1 将连接脉冲发生器的 1Hz 的信号，U9A 的 EN1 将连接到校分电路的输出端口，U9A 和 U6A 的 MP1 将连接清零电路的输出，而 U3A 的 MP1 将连接一个或门，或门的输输入端是清零电路的输出和当 U3A 为 6 的时候。

在这里我们使用了三个 4518 的芯片，使用芯片的一致性更强，同时对比使用一块 74LS61，需要连接的线路更少。

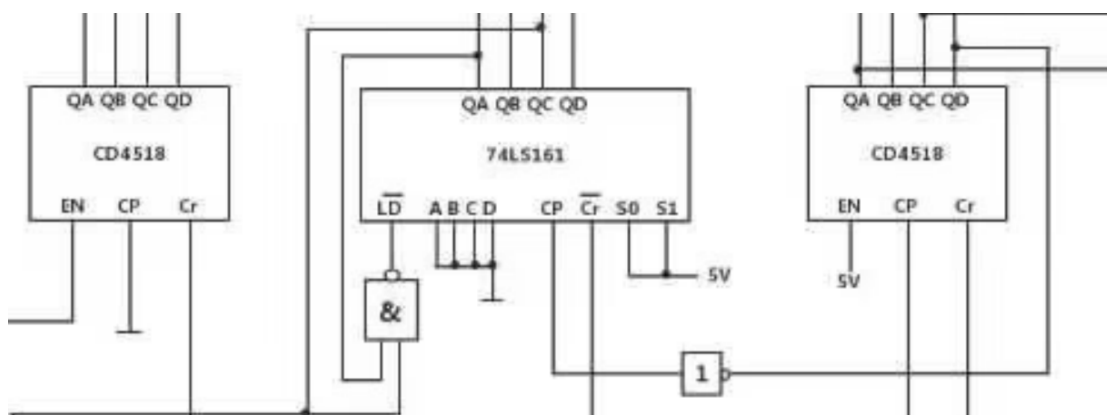


图 4.3 使用 74LS61 的原理图

### 3. 清零电路

电路元件：10kΩ 电阻 1 个，22uF 的电容 1 个，CD4069 缓冲器 1 个，5V 直流电源。

清零电路需要实现两个功能：开机清零和任意时刻选择清零。为了实现这些功能，需要将秒个位和分位的清零端（即 CD4518 管脚 7 和 15）连接到电路的第一个非门之后。而秒十位的清零端（即 74LS161 管脚 1）则需要连接到第二个非门之后。

在刚开机时，由于电容上的电压不能突变，电容两端为低电平。经过第一个非门后，输出为高电平，将信号传递到 CD4518 的管脚 7 和 15，实现秒个位和分位的清零。接着，经过第二个非门后，输出为低电平，将信号传递到 74LS161 的管脚 1，实现秒十位的清零。这样，就可以实现开机清零的功能。

当按下开关时，电容被短路，第一个非门的输入端变为低电平，两个非门的输出端分别为高电平和低电平。这样，就实现了控制清零的功能，也称为异步清零。此时，秒个位和分位的清零端仍连接在 CD4518 管脚 7 和 15 上，而秒十位的清零端仍连接在 74LS161 管脚 1 上。通过开关的控制，可以在任意时刻实现清零操作。

以下为清零电路的设计图：

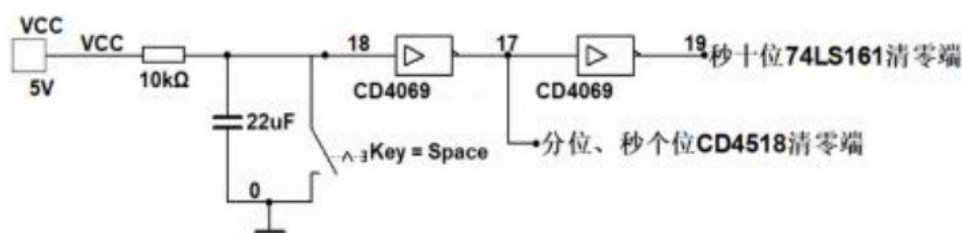


图 4.4 清零电路设计示意图

根据清零电路的设计图，我们可以利用 multisim 进行仿真，两个非门共同使用一块 CD4069 完成非的功能。



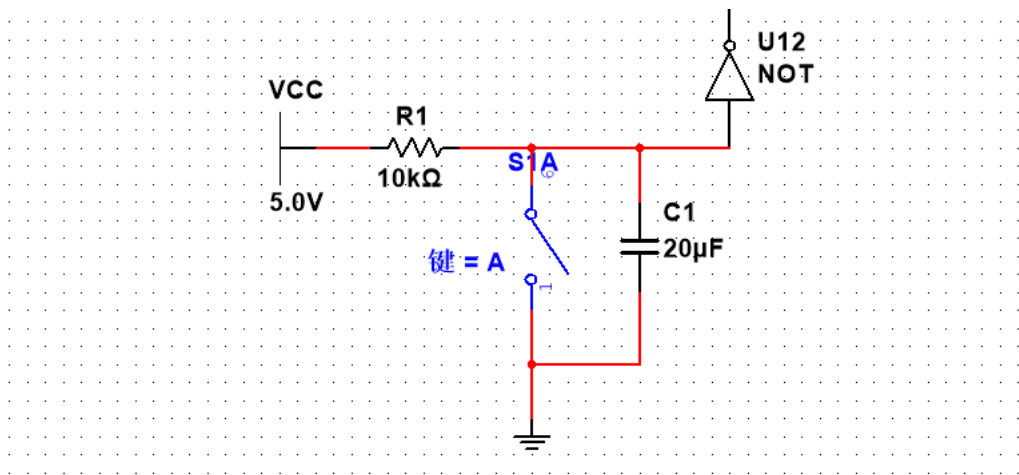


图 4.5 清零电路 multisim 仿真图

#### 4.电路级联汇总：

基于上述电路工作原理以及电路主次体分析可知，该电路搭建顺序为：脉冲发生电路→秒个位计数及译码显示电路→秒十位计数及译码显示电路→分位计数及译码显示电路→校分电路→清零电路。搭建上述电路前，可按照电路结构框图进行整体布局，将各芯片在面包板上合理定位。电路搭建过程中，基于平行布线原则，在保证布线合理、正确的前提下，提高电路布局的美观性。根据电路设计要求，设计该数字计时器整体电路。

我们将这两个功能汇总绘制原理图：

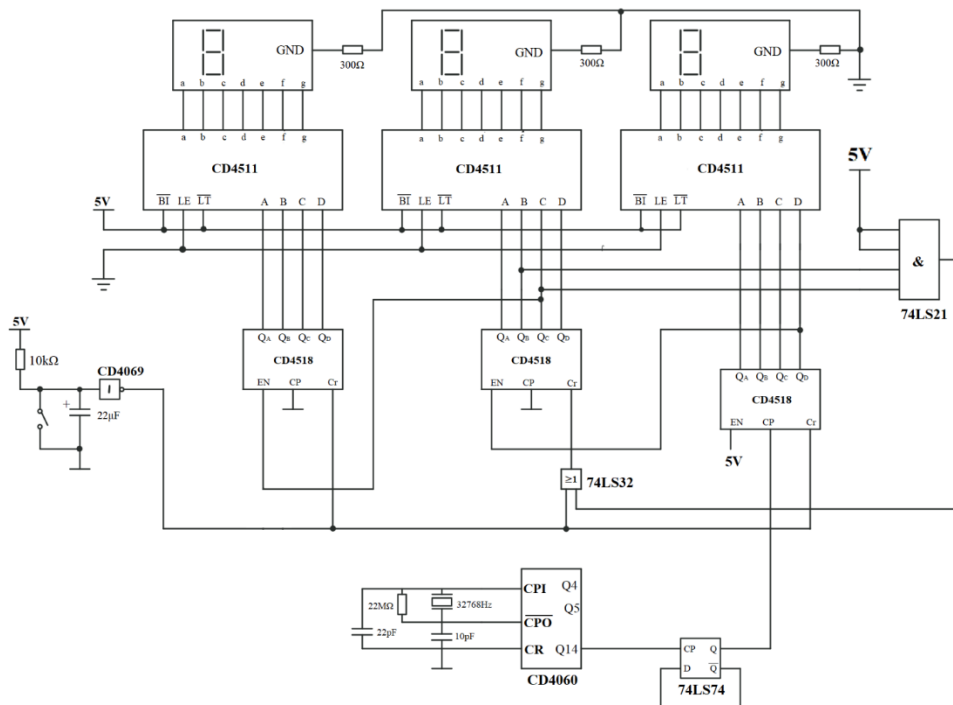


图 4.6 电路原理图

下面是电路连接示意图（所有功能的）：

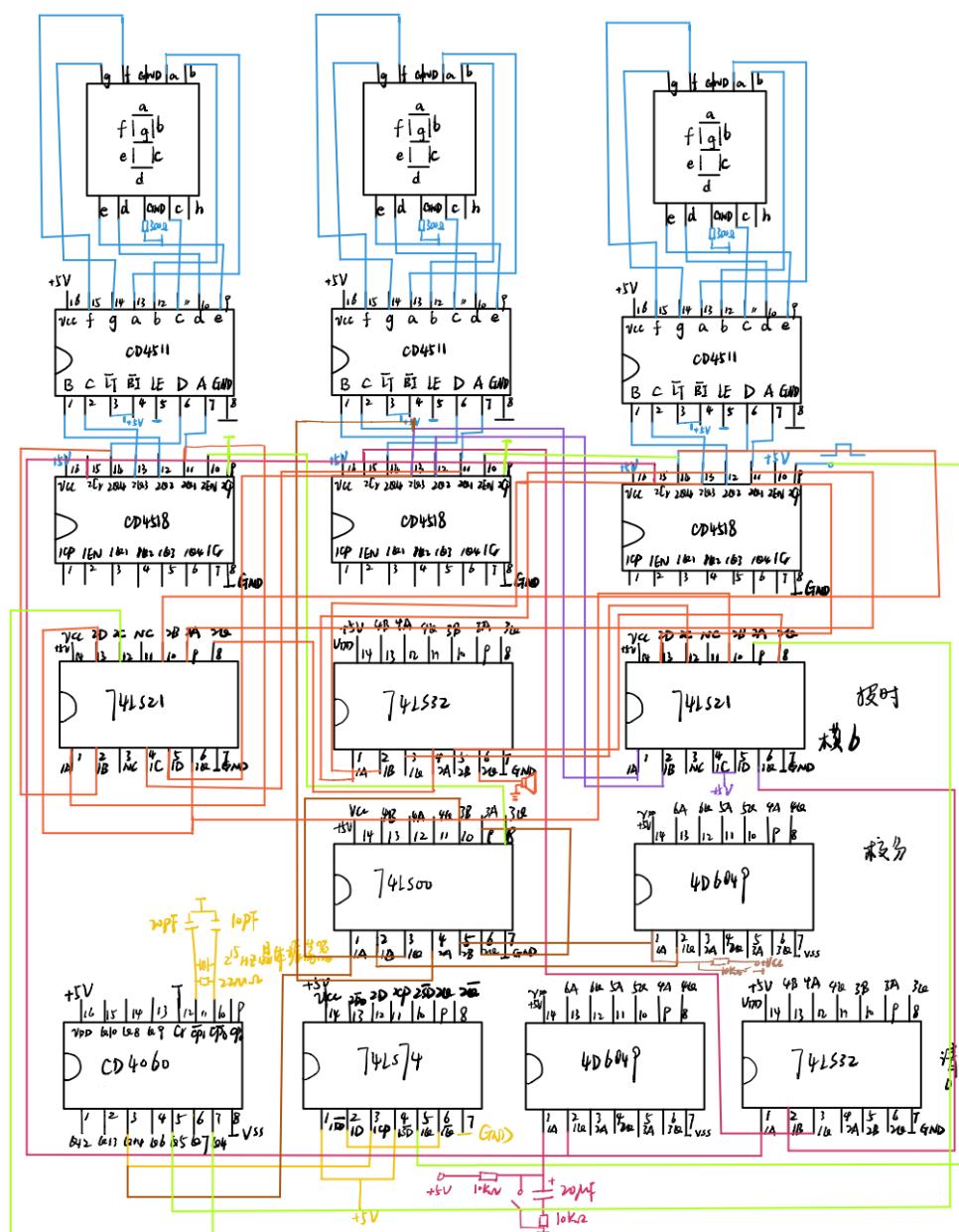


图 4.7 电路实际连接图

仿真过程中遇到的问题及解决方案：

将原理图进行绘制，即可得到以下的仿真图：

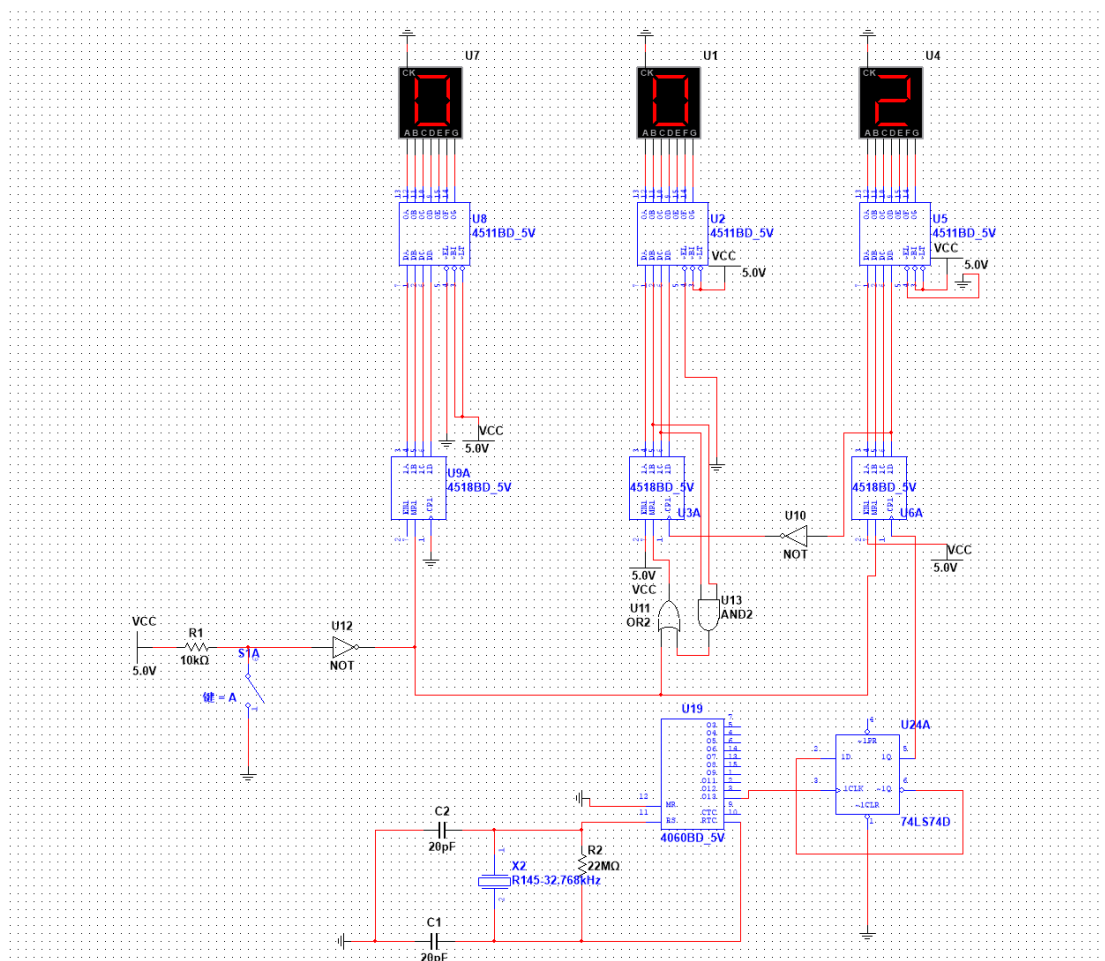


图 4.8 完整电路仿真图

**问题 1：** 在使用 multisim 进行仿真的时候，由于使用了晶振，会导致仿真的计算速度变慢，也就是现实中的一秒钟相当于仿真里面的几微秒，所以会很长时间看不到数字的变化，因此，我们可以将晶振这一部分的脉冲发生电路更改为信号源，从而直接获得方波。

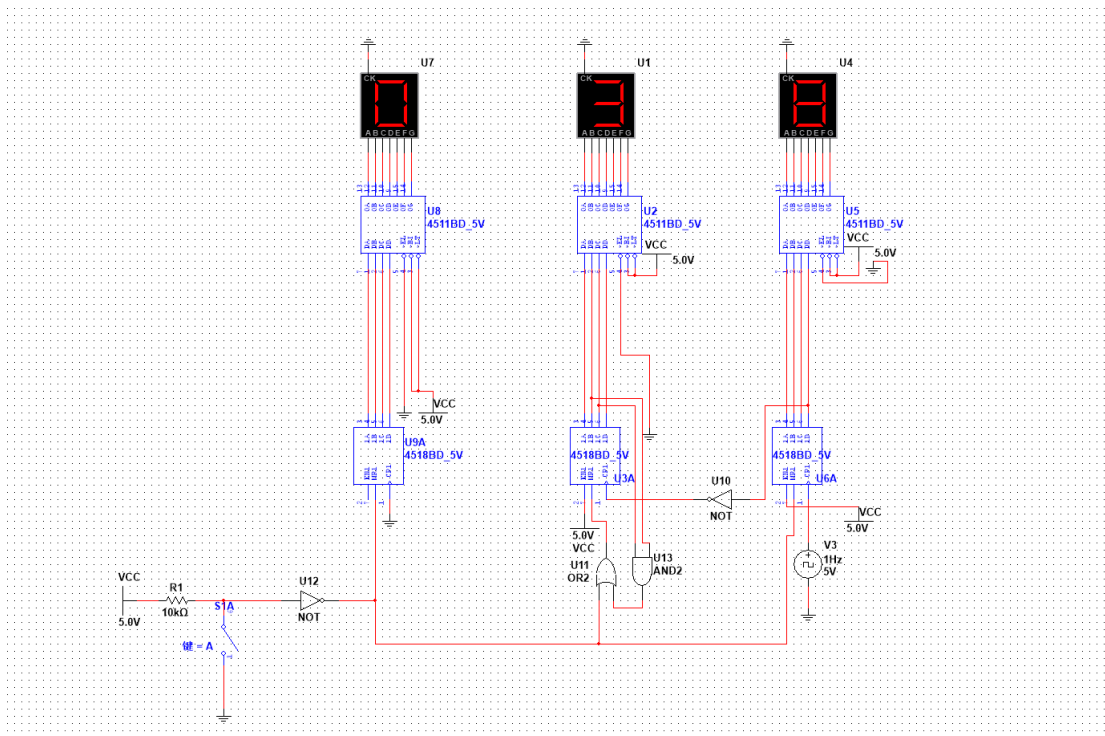


图 4.9 修改后的电路仿真图

但是我们会发现 multisim 中的 1s 仍然不是现实中的 1s，我们可以在设置中调整：

Simulation → Analyses and simulation → 设置 Maximum time step 和 initial time step (调大)，然后仿真速度将会变快，如果还是没能达到很快的效果，那么将方波发生器调到 20Hz 左右。

**问题 2：** 仿真的时候会出现数字停在某一个位置不动的情况，检查后发现是开关处电容的问题，需要将电容给去掉，仿真才能够更好的进行。

## 五、实验小结和心得

在这学期的电子线路实验课中，我受益匪浅。通过实践，我不仅更加深入地理解了理论知识，而且还提高了我的动手能力。我认为，做好课前预习工作并理解电路原理是非常重要的。在每门学科中，预习工作都是至关重要的，特别是在实验课上。只有充分了解电路原理，才能获得充足的理论支持，才能更快更好的解决问题。

在预习过程中，我与同学讨论电路的搭建，理清逻辑关系，从脉冲电路到先完成，然后搭建最基本的计时电路，决定用三块 CD4518（替换一块四位二进制计数器 74LS161），然后将第二块 4518 的 Q3 引出，去搭建校分电路。再将三个 4518 的清 0 端引出做清 0 电路。最后把 4518 的输出拿出去做报时电路，一步接一步级联，最终实现所有的功能。

在搭建电路的过程中会遇到很多的问题，在这个过程中我学会到了如何才能更快更好的找到问题，解决问题，下面列出几个我在搭建电路的时候发现的问题：

### 1. 脉冲发生电路有时候不会工作

解决方法：通过摇动晶振，可能是由于晶振的接触不良导致的，然后对电容进行放电，放完电之后重新插入，有时候也能解决问题。

### 2. 数码管显示不完全

解决方法：对应着八个显示管看，每一根线对应的是哪一个，连接译码器是否错误，然后，使用这个方法，我检查出了有两根线连接到译码器同一端，然后这样解决了显示不完全的问题。第二个数码管也出现了显示不完全的问题，但是经过检查之后发现连线没有问题，后来我将示波器的输出端口接入到不能显示的一端的贴片上，发现这端无论如何都没有输出，于是我认为是芯片出现了问题，然后换了一块芯片，最终解决了问题。

搭建技巧：在搭建的过程中，我认为先要把电路搭好，然后把空位留在右边，这样会比较容易连接，在布线上会更加的美观，使用更少的线缆，然后多个电路共用一个逻辑门，这样可以使得芯片的数目减少，另外，对于需要拐弯的线，可以先用一根直的导线连接到一个位置，然后使用另外一根导线连接到目标位置，这样就是直角转弯，可以使线缆贴近面包板，更加的美观，但是最后因为追求速度，所以在搭建的过程中一些线的连接很潦草，还有很大的进步空间，由于没有现成的线缆可以使用，所以也导致了很多根线的长度都不符合要求，后面也使用了很多的黑色线缆，通过剥线钳进行剪切，然后再连接到面包板上面。然后还需要调整心态，在搭建的时候需要一步一步来，不要背别人的搭建进度乱了自己的进度。

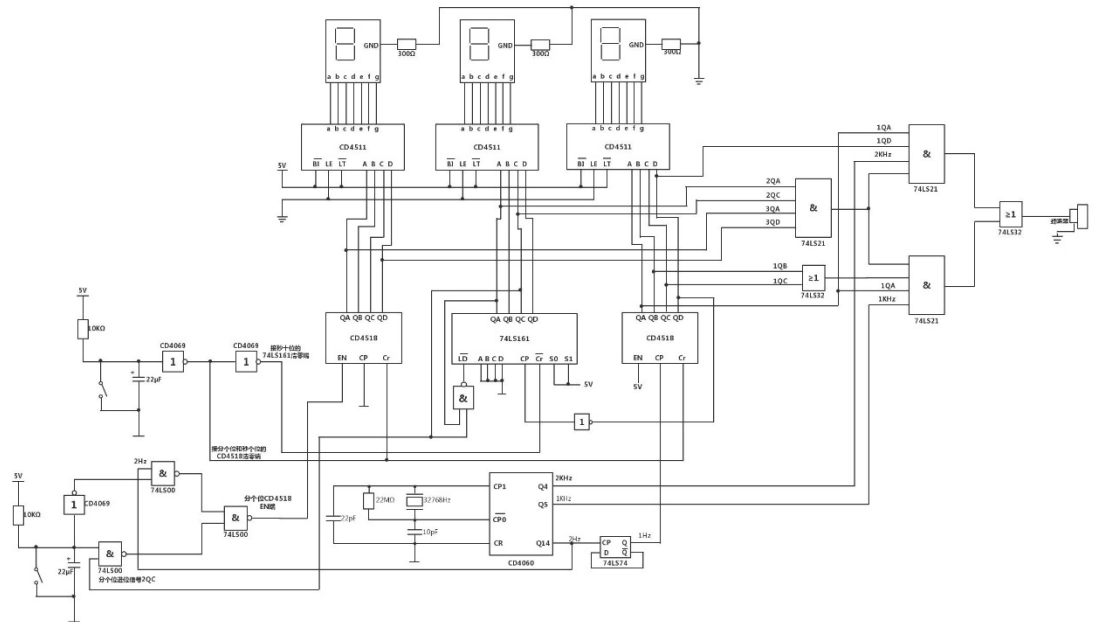
通过这一次数字钟的实验，我学习到了示波器的使用，特别是如何通过示波器来测试电路里出现的错误，还验证了数字电路上课的时候学习的内容，应用和实践相结合，让我更加能够理解这个学科的内容。实验的过程很顺利，我认为和前面四次课程中学习到的知识有关，老师的指导也循序渐进，特别是第四次的实验也为这次的实验打下了基础，在最后听到计时器正确报数的时候，好像宣布了我的电路已经完成，非常的有成就感，很希望在今后的学习中能够有更多的实验学习，能够提高我们的动手能力。

## 六、附录

### 1. 器件清单

名称	型号	数量
显示器	共阴	3
译码器	CC4511	3
BCD 码计数器	CC4518	2
分频器	CC4060	1
D 触发器	74LS74	1
非门	CC4069	1
二入与非门	74LS00	1
四入与门	74LS21	2
二入或门	74LS32	1
晶振	32768Hz	1
蜂鸣器		1
电容	10p	1
	20p	1
	22u	2
电阻	300	3
	10k	2
	22M	1

### 3. 其他参考线路图



### 3. 元件功能表:

### 74LS74 逻辑功能表

	输入				输出	
	CP	$\overline{R_D}$	$\overline{S_D}$	D	$Q_N$	$\overline{Q_{N+1}}$
清零	×	0	1	×	0	1
置“1”	×	1	0	×	1	0
送“0”	↑	1	1	0	0	1
送“1”	↑	1	1	1	1	0
保持	0	1	1	×	保持	
不允许	×	0	0	×	不确定	

### CD4518 逻辑功能表

	输入			输出			
	Cr	CP	EN	$Q_D$	$Q_C$	$Q_B$	$Q_A$
清零	1	×	×	0	0	0	0
计数	0	↑	1	BCD 码加法记数			
保持	0	×	0	保持			
计数	0	0	↓	BCD 码加法记数			
保持	0	1	×	保持			

74LS161 逻辑功能表

	输入									输出				
	$C_P$	$\overline{Cr}$	$\overline{LD}$	$S_1$	$S_0$	D	C	B	A	$Q_D$	$Q_C$	$Q_B$	$Q_A$	$Q_{CC}$
清零	×	0	×	×	×	×	×	×	×	0	0	0	0	0
送数	↑	1	0	×	×	d	c	b	a	d	c	b	a	0-1
记数	↑	1	1	1	1	×	×	×	×	二进制加法记数				
保持	×	1	1	0	1	×	×	×	×	不变				
保持	×	1	1	1	0	×	×	×	×	不变				

74LS00 逻辑功能表

输入		输出
B	A	Q
0	0	1
0	1	1
1	0	1
1	1	0

CD4069 逻辑功能表

输入 A	输出 Q
0	1
1	0
0	1
1	0

74LS21 逻辑功能表

输入				输出
A	B	C	D	Q
0	X	X	X	0
X	0	X	X	0
X	X	0	X	0
X	X	X	0	0
1	1	1	1	1



CD4511 逻辑功能表

	输入							输出							
	$\overline{LT}$	$\overline{BI}$	$LE$	D	C	B	A	g	f	e	d	c	b	a	字符
测灯	0	×	×	×	×	×	×	1	1	1	1	1	1	1	8
灭零	1	0	×	0	0	0	0	0	0	0	0	0	0	0	消隐
锁存	1	1	1	×	×	×	×	显示 $LE = 0 \rightarrow 1$ 时数据							
译码	1	1	0	0	0	0	0	0	1	1	1	1	1	1	0
	1	1	0	0	0	0	1	0	0	0	0	1	1	0	1
	1	1	0	0	0	1	0	1	0	1	1	0	1	1	2
	1	1	0	0	0	1	1	1	0	0	1	1	1	1	3
	1	1	0	0	1	0	0	1	1	0	0	1	1	0	4
	1	1	0	0	1	0	1	1	1	0	1	1	0	1	5
	1	1	0	0	1	1	0	1	1	1	1	1	0	0	6
	1	1	0	0	1	1	1	0	0	0	0	1	1	1	7
	1	1	0	1	0	0	0	1	1	1	1	1	1	1	8
	1	1	0	1	0	0	1	1	1	0	0	1	1	1	9

74LS32 逻辑功能表

输入		输出
B	A	Q
0	0	0
0	1	1
1	0	1
1	1	1

元件引脚图：

