2021试卷回忆版

1. TMS320F28335 内部,以	J下不属于片内外设(D)			
A. ADC 模块	B. EPWM 模块			
C. CAN 模块	D. FPV 模块			
2. TMS320F28335 内部是吗	d佛总线结构,不包含以下那条总线(B)			
A. 程序读	B. 程序写			
C. 数据读	D. 数据写			
3. 以下对 TMS320F28335 特	寺点描述错误的是(A)			
A. 是浮点芯片, 只能进行	硬件浮点运算			
B. 主频最高 150MHz, 可降	频,但不能超频			
C. 有哈佛总线结构				
D. 有片内 flash,可烧录	代码实行脱机运行			
4. TMS320F28335 DSP 中勝	f,用于指示中断服务程序入口地址的机构是(C)			
A. 中断使能	B. 中断控制寄存器			
C. 中断矢量表	D. 中断标志寄存器			
5. DSP 软件开发中,用于配置用户程序的指令和数据存储空间的文件是				
A.asm 文件	B. map 文件			
C. c 源文件	D. cmd 文件			
=,				
1. 基于核心算法和应用测	试的_BDTI作为 DSP 芯片选型统计算法程序_执行			
时间、存储器使用	和能耗等指标。			
2.1024*1024*16bit, 24	帧,处理速度48MB/s。			
3. COFF 最基本单位块_	,物理含义是一个块就是在存储器映像中占据连			
续空间的一块代码或数据	•			
4.16bit 定点中, Q3 表示	法最大值是,若变量 A[-325. 18, 264. 5487],			
则用 Q法。				
5. 流水线机制, 执行大致	分为取指,_译码,_取数和执行。			
6. EPWM 模块的 TB 计数模:	块共有三种,分别是增计数,减计数和_增减计			

数____。

- 7. TMS320F28335 中断可分为__外设级____中断, PIE 中断和 CPV 中断, PIE 中断模块将__8___路外设和管脚请求信号分为一组, 共 12 组。
- 8. TMS320F28335 芯片 XINTF 读写访问时序可分为三部分,分别是_建立时间____, 有效时间和 跟踪时间 。
- 9. 高速电路 PCB 走线不能用集总参数来描述,而应该用分布参数的_传输线___ 来描述。
- 10. DSP 开发最终目标,通过验证系统,满足功能和_技术___的指标要求。
- 11. 信号完整性问题主要包括_反射___,振铃,地弹和_串扰___。

\equiv

1. 简述实时数字信号处理概念,实时取决因素。

实时指的是系统必须在有限的时间内完成外部输入信号的指定处理,即信号处理 速度必须大于等于输入信号更新速度,而且从信号输入到处理后输出延迟必须足够小。

实时取决因素:运算量和芯片速度,而运算量包括数据率和算法复杂度。

- 2. 浮点, 定点, Q4表示法计算。(具体掌握即可)
- 3. 简述 DSP 子系统实现的 6 种方式及优缺点。

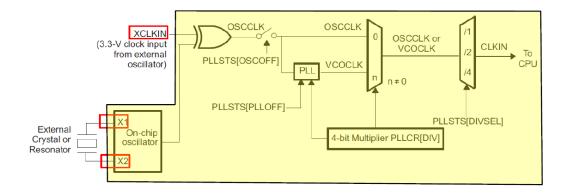
通用微计算机: 速度慢,不能用于实时系统,只能用于仿真研究

加速处理模块: 不适用于嵌入式系统

单片机:采用冯诺依曼总线结构,系统复杂,乘法运算速度慢,难以用于实时控制系统

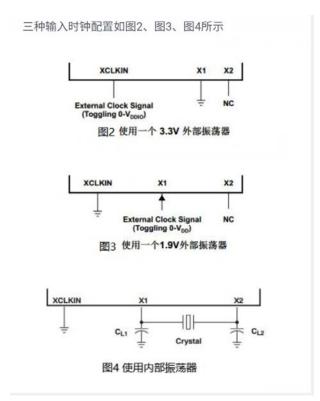
专用 DSP 芯片: 用于高速运算,速度快,但灵活性差,开发工具不完善可编程 FPGA 器件: 具有通用性、并行性,作为 DSP 芯片的协处理器通用可编程 DSP 芯片: 有着更适合于数字信号处理的硬件特点和指令系统,非常适用于实时性高的领域

4. TMS320F28335 芯片内核时钟结构如下,



(1) 该芯片时钟输入有几种方式,分别是什么?

三种



(2) 根据下图,若输入时钟 OSC 选用 30MHz,要 DSP 工作在 150MHz,则 PLLCR 寄存器 DIV 的数值是多少,PLLSTS 寄存器中 DIVSEL 的数值是多少?

DIVSEL: 10

DIV: 1010

Bits	Field	Value	Description (1) (2)		
15-9	Reserved		Reserved		
8:7	DIVSEL		Divide Select: This bit selects between /4, /2, and /1 for CLKIN to the CPU. The configuration of the DIVSEL bit is as follows:		
		00, 01	Select Divide By 4 for CLKIN		
		10	Select Divide By 2 for CLKIN		
		11	Select Divide By 1 for CLKIN. (This mode can be used only when PLL is off or bypassed.)		

Figure 23. PLLCR Register Layout



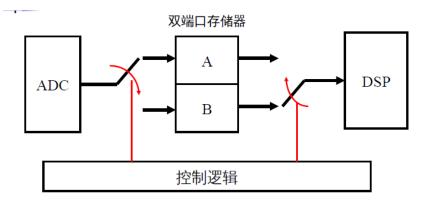
Table 21. PLLCR Bit Descriptions (1)

PLLCR[DIV] Value (3)	PLLSTS[DIVSEL] = 0 or 1	PLLSTS[DIVSEL] = 2	PLLSTS[DIVSEL] = 3
0000 (PLL bypass)	OSCCLK/4 (Default)	OSCCLK/2	OSCCLK
0001	(OSCCLK * 1)/4	(OSCCLK*1)/2	-
0010	(OSCCLK * 2)/4	(OSCCLK*2)/2	-
0011	(OSCCLK * 3)/4	(OSCCLK*3)/2	-
0100	(OSCCLK * 4)/4	(OSCCLK*4)/2	-
0101	(OSCCLK * 5)/4	(OSCCLK*5)/2	-
0110	(OSCCLK * 6)/4	(OSCCLK*6)/2	-
0111	(OSCCLK * 7)/4	(OSCCLK*7)/2	-
1000	(OSCCLK * 8)/4	(OSCCLK*8)/2	-
1001	(OSCCLK * 9)/4	(OSCCLK*9)/2	-
1010	(OSCCLK * 10)/4	(OSCCLK*10)/2	-
1011 - 1111	Reserved	Reserved	Reserved

时钟配置寄存器

5. 简述双端 DRAM,及其在 DSP 构建乒乓存储器的工作原理。

双端口DRAM设有两组物理地址、数据和读写控制信号。有效增加了DSP运算处理时间,提高了系统的实时性。



对 A 写数据时,则 DSP 从 B 中读取数据对 B 写数据时,则 DSP 从 A 中读取数据

6. 简述数据采集系统,简述串并比较型 ADC 的结构、工作原理及其优点。

数据采集系统:将模拟信号转化成数字信号的一定结构。

串并比较型 ADC 是将两个或者多个低分辨率的并行比较型 ADC 级联起来,形成一个高分辨率的 ADC,通常采用流水线结构,其优点是减少了比较器的数量,达到了更高的分辨率。

7. 简述高速电路定义,其在电路中的典型效应有哪些?

当延时超过此门限时,可定义为高速电路,一般门限为1/6或1/10。 典型效应有:反射信号、延时和时序错误、多次跨越逻辑电平门限错误、过冲与 下冲、串扰、电磁辐射

四、

1.

- (a) 图为 TMS320F28335 的 memory map, 该 DSP 内部有哪些程序员可数据存储器, 指出它们的区域(地址、空间大小)。指出该芯片可作为烧录的存储器区域(地址、空间大小)。
- (b) 若要扩展外部存储器,指出可使用的区域(地址、空间大小)。
- (c) 采用图存储器芯片(IS61LV51216), 画出与 DSP 连接示意图,并指出访问地址范围。

	存储块	片内存储器		片内存储器 外部存储器接口 XINTF		_							
	起始地址	数据空间	程序空间	数据空间	程序空间	1							
	0x00 0000	M0 向量-RA	M (32 x 32)	****		0x00 0000							
		(VMAP =				8							
	0x00 0040	M0 SARAM	f (1K x 16)			3							
	0x00 0400	M1 SARAM	· · · · · · · · · · · · · · · · · · ·										
	0x00 0800	外设帧0 PIE向量表 - RAM(256 x 16; (VMAP = 1 LENPIE = 1时使能) PIE向量表 - 安间		保留		8							
	0x00 0D00			空順									
<u></u>	0x00 0E00	外设帧0				3							
数据空	0x00 2000	保留 空间		XINTF区域0 (4K (受保护) DMA可	0 (4K x 16, XZCS0) MA可存取								
N N N N N N	0x00 5000	外设帧3(受保护) DMA可存取				0x00 5000							
元 44K	0x00 6000	外设帧3(受保护)	保留			8							
- W.	0x00 7000	介収収3 (文体が)	空间										
低64K 与24x/240x系列相同的数据空间 人		外设帧2 (受保护)											
12	0x00 8000	L0 SARAM (4K x 16, 5	安全区域,双映射)			3							
	0x00 9000	L1 SARAM (4K x 16, 5	安全区域,双映射)			3							
	0x00 A000	L2 SARAM (4K x 16, 5	安全区域,双映射)			3							
	0x00 B000					8							
	0x00 C000	L4 SARAM (4K x 1	16,DMA可存取)										
	0x00 D000	L5 SARAM (4K x 1											
	0x00 E000	L6 SARAM (4K x											
	0x00 F000	L7 SARAM (4K x				3							
	0x01 0000	mmonomine.	manning (Š							
		保留 空间		XINTF区域 6 (1M x 16, X	ZCS6) (DMA可存取)	0x10 0000 0x20 0000							
	0x30 0000			XINTF区域7 (1M x 16, X	ZCS7) (DMA可存取)	0x20 0000							
	0x33 FFF8	FLASH (256K x				8							
	0x34 0000	128位加				8							
0x38 0080 0x38 0090 0x38 0400 0x38 0800		用户OTP (1K x 16, 安全区域											
								0x3F 8000					
									L0 SARAM (4K x	16,安全区域,双映射)		-	3
<u></u>	0x3F 9000	L1 SARAM (4K x 16, 安全区域,双映射)		10 10 10 10 10 10 10 10 10 10 10 10 10 1	保留								
社	0x3F A000	L2 SARAM (4K x 1	16,安全区域,双映射)			3							
8	0x3F B000	L3 SARAM (4K x	16,安全区域,双映射)			9							
高64K 列相同	0x3F C000 <0x3F E000	保留	空间										
海原		BootROM	(8K x 16)			3							
高64K 与24x240x系列相同的程序空间	0x3F FFC0	BROM向量-RO VMAP=1ENP	OM (32 x 32) (PE = 0时使能)										
πΙ,													

2. 结合四次实验内容, 总结 DSP 方案设计基本步骤。