

# 2021试卷回忆版

## 一、

1. TMS320F28335 内部， 以下\_\_\_\_\_不属于片内外设（D）
- A. ADC 模块                      B. EPWM 模块
- C. CAN 模块                      D. FPV 模块
2. TMS320F28335 内部是哈佛总线结构， 不包含以下那条总线（B）
- A. 程序读                      B. 程序写
- C. 数据读                      D. 数据写
3. 以下对 TMS320F28335 特点描述错误的是（A）
- A. 是浮点芯片， 只能进行硬件浮点运算
- B. 主频最高 150MHz, 可降频， 但不能超频
- C. 有哈佛总线结构
- D. 有片内 flash， 可烧录代码实行脱机运行
4. TMS320F28335 DSP 中断， 用于指示中断服务程序入口地址的机构是（C）
- A. 中断使能                      B. 中断控制寄存器
- C. 中断矢量表                      D. 中断标志寄存器
5. DSP 软件开发中， 用于配置用户程序的指令和数据存储空间的文件是
- A. asm 文件                      B. map 文件
- C. c 源文件                      D. cmd 文件

## 二、

1. 基于核心算法和应用测试的\_BDTI\_\_\_\_\_作为 DSP 芯片选型统计算法程序\_执行时间\_\_\_\_、\_\_存储器使用\_\_\_\_和能耗等指标。
2. 1024\*1024\*16bit， 24 帧， 处理速度\_\_48MB/s\_\_\_\_。
3. COFF 最基本单位\_\_块\_\_\_\_， 物理含义是\_\_\_\_一个块就是在存储器映像中占据连续空间的一块代码或数据\_\_\_\_\_。
4. 16bit 定点中， Q3 表示法最大值是\_\_\_\_\_， 若变量 A[-325. 18, 264. 5487]， 则用 Q\_\_法。
5. 流水线机制， 执行大致分为取指， \_\_译码\_\_\_\_， \_\_取数\_\_\_\_和执行。
6. EPWM 模块的 TB 计数模块共有三种， 分别是增计数， \_\_减计数\_\_\_\_和\_\_增减计

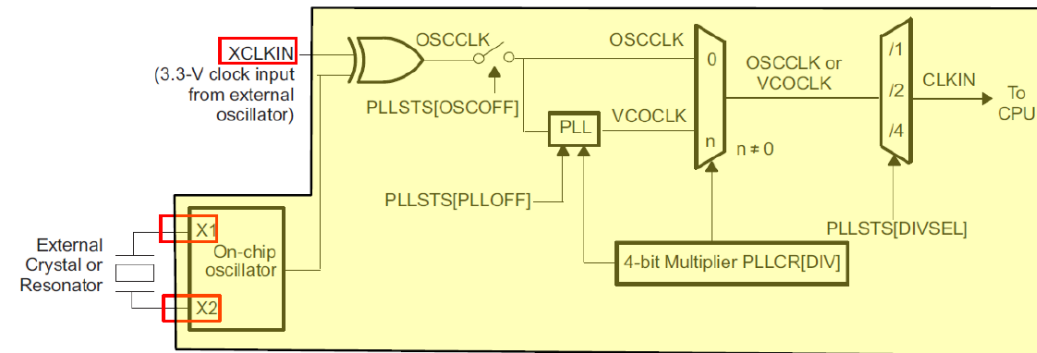
数\_\_\_\_\_。

7. TMS320F28335 中断可分为\_\_外设级\_\_\_\_中断， PIE 中断和 CPV 中断， PIE 中断模块将\_\_8\_\_\_\_路外设和管脚请求信号分为一组， 共 12 组。
8. TMS320F28335 芯片 XINTF 读写访问时序可分为三部分， 分别是\_建立时间\_\_\_\_， 有效时间和\_跟踪时间\_\_\_\_\_。
9. 高速电路 PCB 走线不能用集总参数来描述， 而应该用分布参数的\_传输线\_\_\_\_来描述。
10. DSP 开发最终目标， 通过验证系统， 满足功能和\_\_技术\_\_\_\_的指标要求。
11. 信号完整性问题主要包括\_反射\_\_\_\_， 振铃， 地弹和\_串扰\_\_\_\_\_。

## 三、

1. 简述实时数字信号处理概念， 实时取决因素。
- 实时指的是系统必须在有限的时间内完成外部输入信号的指定处理， 即信号处理速度必须大于等于输入信号更新速度， 而且从信号输入到处理后输出延迟必须足够小。
- 实时取决因素： 运算量和芯片速度， 而运算量包括数据率和算法复杂度。
2. 浮点， 定点， Q4 表示法计算。（具体掌握即可）
3. 简述 DSP 子系统实现的 6 种方式及优缺点。
- 通用微计算机：**速度慢， 不能用于实时系统， 只能用于仿真研究
- 加速处理模块：**不适用于嵌入式系统
- 单片机：**采用冯诺依曼总线结构， 系统复杂， 乘法运算速度慢， 难以用于实时控制系统
- 专用 DSP 芯片：**用于高速运算， 速度快， 但灵活性差， 开发工具不完善
- 可编程 FPGA 器件：**具有通用性、 并行性， 作为 DSP 芯片的协处理器
- 通用可编程 DSP 芯片：**有着更适合于数字信号处理的硬件特点和指令系统， 非常适用于实时性高的领域

4. TMS320F28335 芯片内核时钟结构如下，



- (1) 该芯片时钟输入有几种方式，分别是什么？  
三种

三种输入时钟配置如图2、图3、图4所示

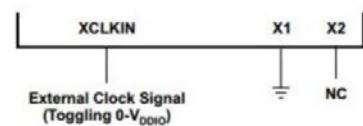


图2 使用一个 3.3V 外部振荡器

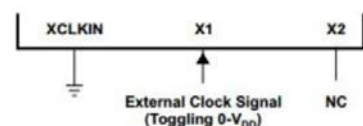


图3 使用一个 1.9V 外部振荡器

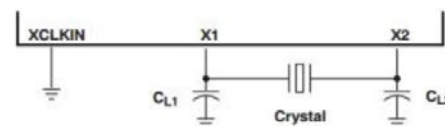


图4 使用内部振荡器

- (2) 根据下图，若输入时钟 OSC 选用 30MHz，要 DSP 工作在 150MHz，则 PLLCR 寄存器 DIV 的数值是多少，PLLSTS 寄存器中 DIVSEL 的数值是多少？  
DIV: 1010  
DIVSEL: 10

Bits	Field	Value	Description <sup>(1)</sup> <sup>(2)</sup>
15-9	Reserved		Reserved
8:7	DIVSEL		Divide Select: This bit selects between /4, /2, and /1 for CLKIN to the CPU. The configuration of the DIVSEL bit is as follows:
		00, 01	Select Divide By 4 for CLKIN
		10	Select Divide By 2 for CLKIN
		11	Select Divide By 1 for CLKIN. (This mode can be used only when PLL is off or bypassed.)

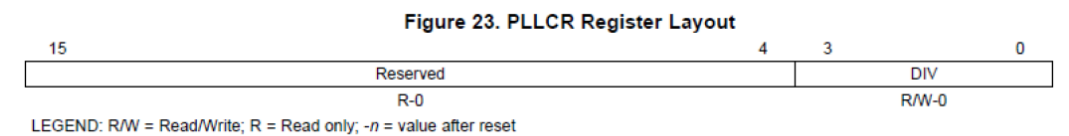


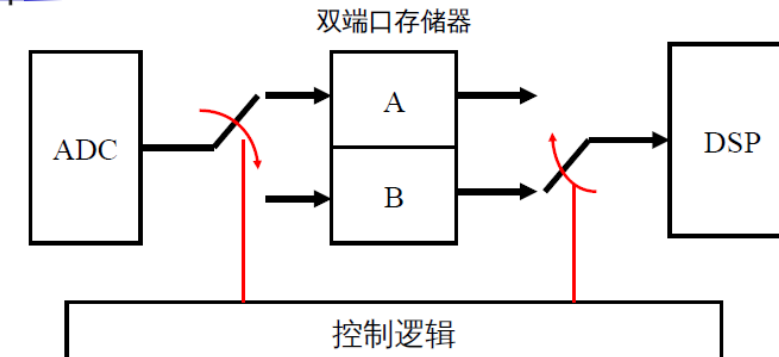
Table 21. PLLCR Bit Descriptions <sup>(1)</sup>

PLLCR[DIV] Value <sup>(2)</sup>	PLLSTS[DIVSEL] = 0 or 1	SYSCCLKOUT (CLKIN) <sup>(2)</sup>	PLLSTS[DIVSEL] = 3
0000 (PLL bypass)	OSCCLK/4 (Default)	OSCCLK/2	OSCCLK
0001	(OSCCLK * 1)/4	(OSCCLK*1)/2	-
0010	(OSCCLK * 2)/4	(OSCCLK*2)/2	-
0011	(OSCCLK * 3)/4	(OSCCLK*3)/2	-
0100	(OSCCLK * 4)/4	(OSCCLK*4)/2	-
0101	(OSCCLK * 5)/4	(OSCCLK*5)/2	-
0110	(OSCCLK * 6)/4	(OSCCLK*6)/2	-
0111	(OSCCLK * 7)/4	(OSCCLK*7)/2	-
1000	(OSCCLK * 8)/4	(OSCCLK*8)/2	-
1001	(OSCCLK * 9)/4	(OSCCLK*9)/2	-
1010	(OSCCLK * 10)/4	(OSCCLK*10)/2	-
1011 - 1111	Reserved	Reserved	Reserved

#### 时钟配置寄存器

5. 简述双端 DRAM，及其在 DSP 构建乒乓存储器的工作原理。

双端口DRAM设有两组物理地址、数据和读写控制信号。有效增加了DSP运算处理时间，提高了系统的实时性。



对 A 写数据时，则 DSP 从 B 中读取数据

对 B 写数据时，则 DSP 从 A 中读取数据

6. 简述数据采集系统，简述串并比较型 ADC 的结构、工作原理及其优点。

数据采集系统：将模拟信号转化成数字信号的一定结构。

串并比较型 ADC 是将两个或者多个低分辨率的并行比较型 ADC 级联起来，形成一个高分辨率的 ADC，通常采用流水线结构，其优点是减少了比较器的数量，达到了更高的分辨率。

7. 简述高速电路定义，其在电路中的典型效应有哪些？

当延时超过此门限时，可定义为高速电路，一般门限为1/6或1/10。  
典型效应有：反射信号、延时和时序错误、多次跨越逻辑电平门限错误、过冲与下冲、串扰、电磁辐射

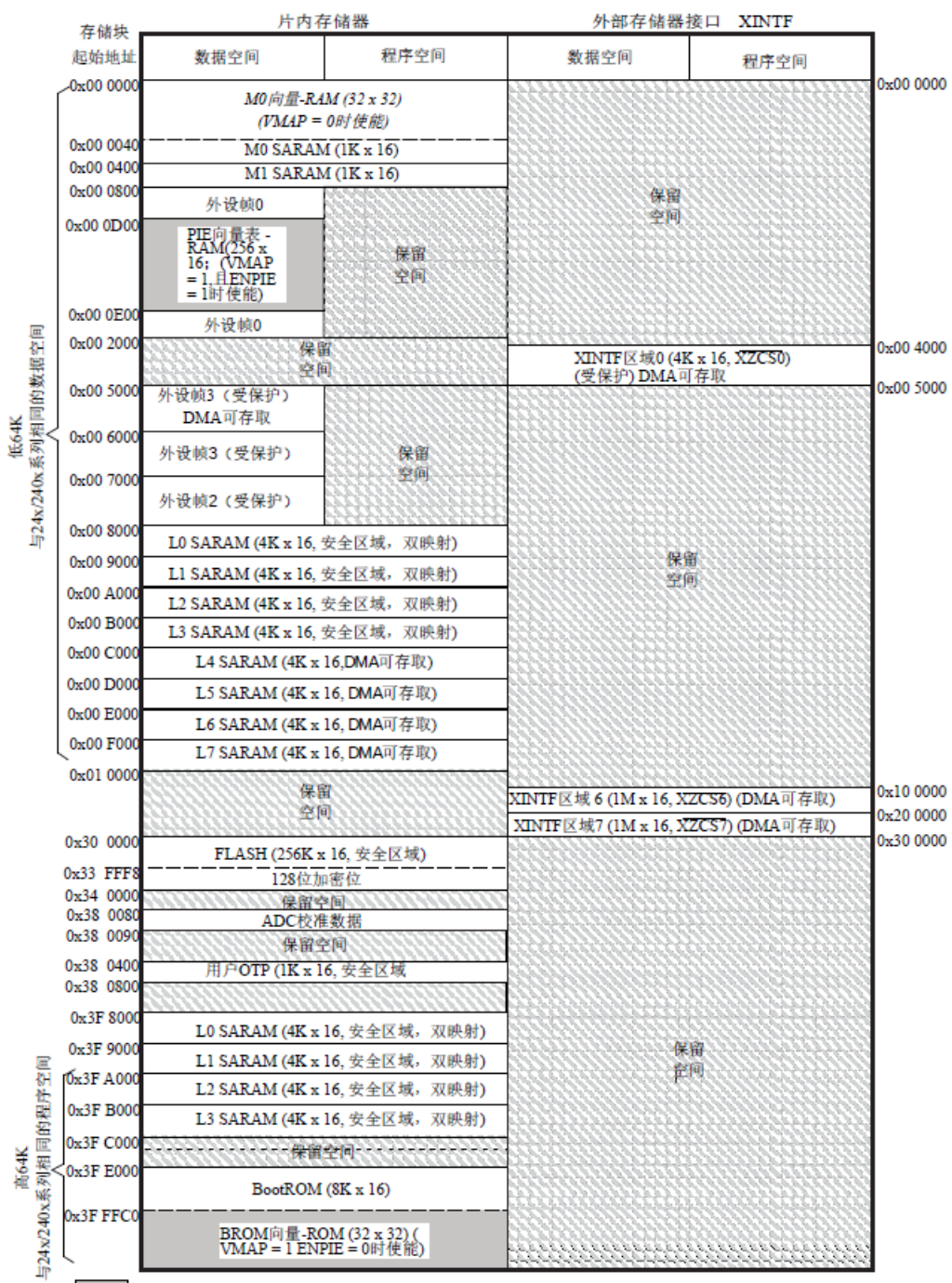
四、

1.

(a) 图为 TMS320F28335 的 memory map，该 DSP 内部有哪些程序员可数据存储  
器，指出它们的区域（地址、空间大小）。指出该芯片可作为烧录的存储器区域  
（地址、空间大小）。

(b) 若要扩展外部存储器，指出可使用的区域（地址、空间大小）。

(c) 采用图存储器芯片（IS61LV51216），画出与 DSP 连接示意图，并指出访问  
地址范围。



2. 结合四次实验内容，总结 DSP 方案设计基本步骤。