



## 第5章 时序逻辑电路

### 5.1 时序逻辑电路概述

#### 1. 时序逻辑电路的基本概念

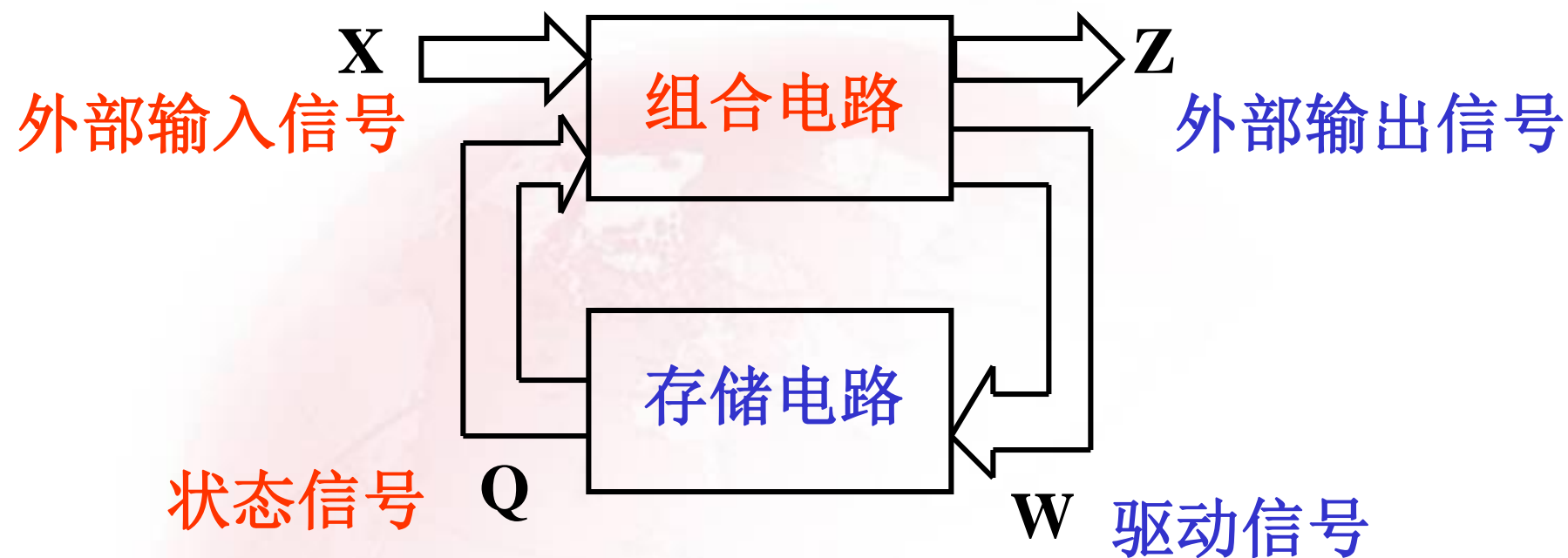
**时序逻辑电路的特点:** 电路在任何时候的**输出稳定值**, 不仅与该时刻的**输入信号**有关, 而且与该时刻以前的**电路状态**有关; 电路结构具有**反馈回路**.

具有记忆功能

存储电路



## 2. 时序逻辑电路的结构模型





## 3. 时序逻辑电路的描述方法

### (1) 逻辑方程

输出方程:  $Z(t_n) = F[X(t_n), Q(t_n)]$

驱动方程:  $W(t_n) = G[X(t_n), Q(t_n)]$

状态方程:  $Q(t_{n+1}) = H[W(t_n), Q(t_n)]$

$t_n$ : 当前时刻       $t_{n+1}$ : 下一时刻

$Q(t_n)$ : 原状态     $Q(t_{n+1})$ : 新状态    原态:  $Q^n$ , 新状态:  $Q^{n+1}$ .

其中X(外部输入信号),Z(外部输出信号),W(驱动信号),  
Q(状态信号)均可以是多变量



## (2) 状态表

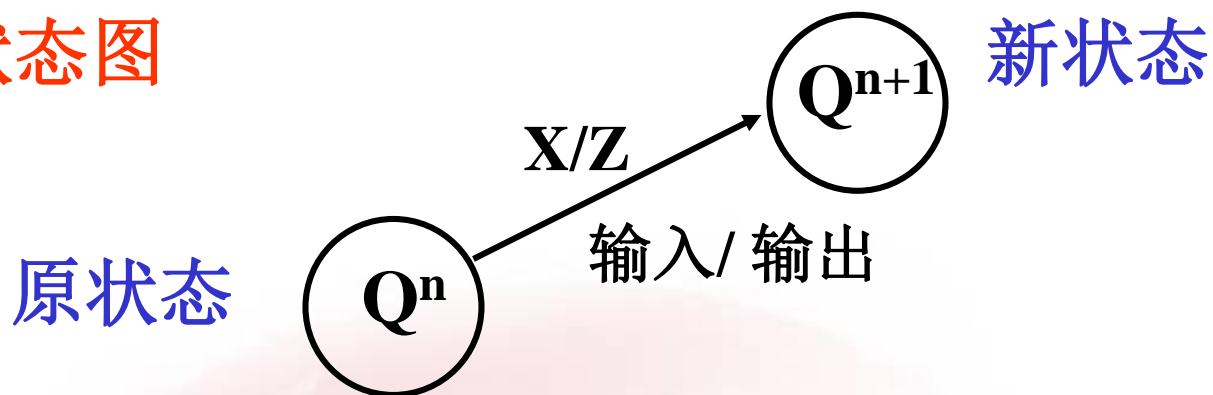
输入	原状态	新状态	输出
$X$	$Q^n$	$Q^{n+1}$	$Z$

原状态 输入	$X$	
$Q^n$		

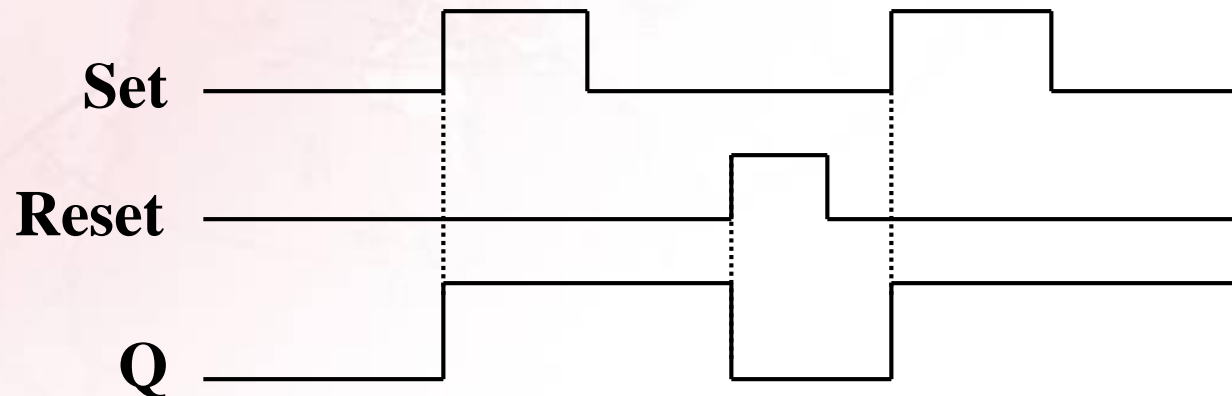
新状态/ 输出



## (3) 状态图



## (4) 时序图(定时波形图)





例：一时序电路有一个输入变量 $x$ ，二个状态变量 $q_1$ 和 $q_2$ ，一个输出变量 $z$ 。

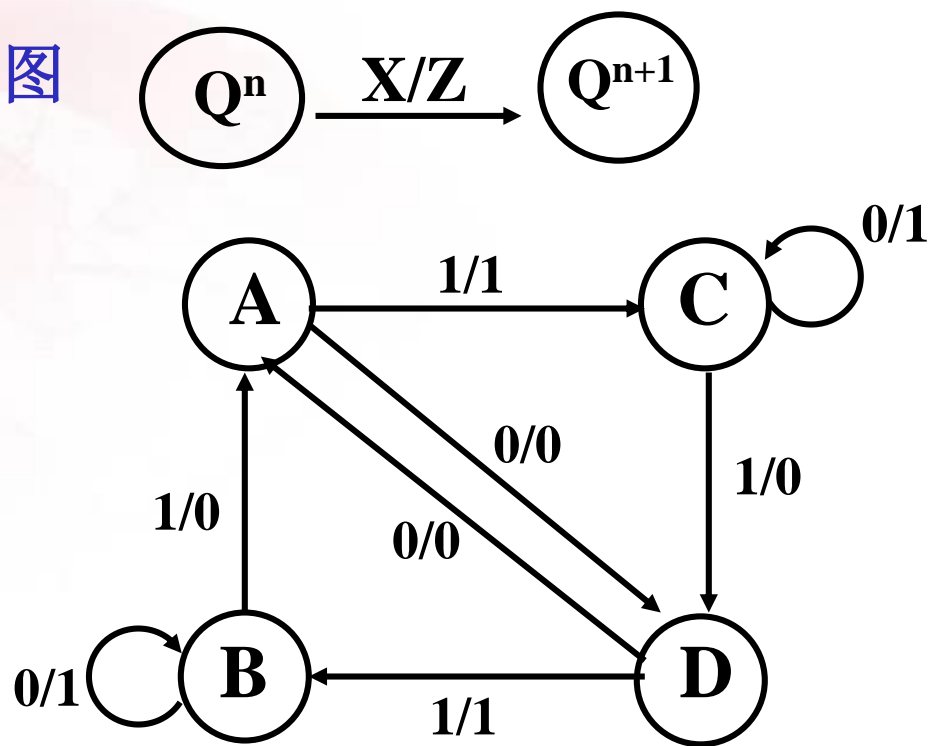
两个状态变量的四种不同取值可定义为四种状态：

$[q_1, q_2] = [0, 0] \equiv A$     $[0, 1] \equiv B$     $[1, 0] \equiv C$     $[1, 1] \equiv D$

状态表

$x$	$Q^n$	$Q^{n+1}$	$z$
0	A	D	0
1	A	C	1
0	B	B	1
1	B	A	0
0	C	C	1
1	C	D	0
0	D	A	0
1	D	B	1

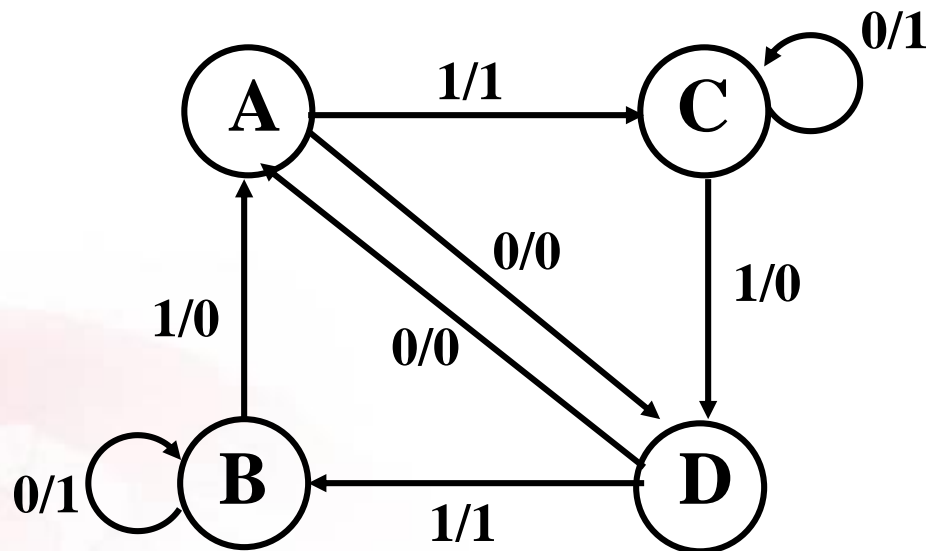
状态图







当x 信号按**0→1→1→0**  
**→1→0→1→1→0→0**  
的顺序输入电路时,电路  
的输出及状态如何变换?  
(设电路初态为**A**)



时间	0	1	2	3	4	5	6	7	8	9	10
原态	A	D	B	A	D	B	B	A	C	C	C
输入	0	1	1	0	1	0	1	1	0	0	
新态	D	B	A	D	B	B	A	C	C	C	
输出	0	1	0	0	1	1	0	1	1	1	



## 5.2 存储器件

存储电路由**存储器件**组成,能存储一位二值信号的器件称为**存储单元电路**.存储单元电路大多是**双稳态**电路.

### 两类存储单元电路

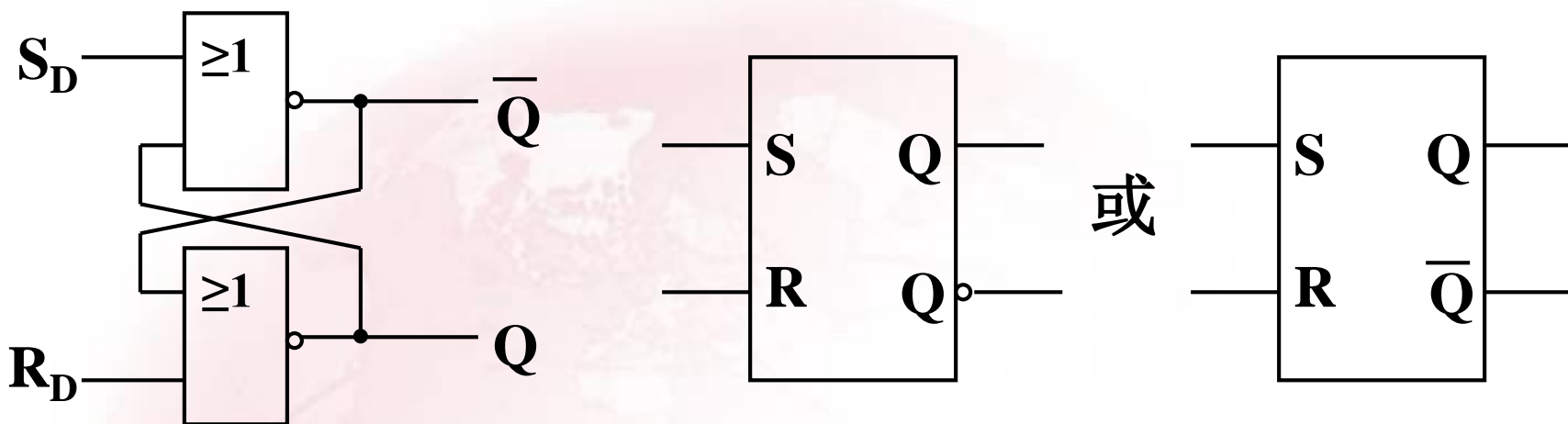
- (1) 锁存器: 直接由激励信号控制电路状态的存储单元.
- (2) 触发器: 除激励信号外,还包含一个称为**时钟**的控制信号输入端. 激励信号和时钟一起控制电路的状态.





## 5.2.1 普通锁存器

### 1. RS 锁存器的电路结构及逻辑符号



两个输入端(激励端):  $S_D$  :置位端(置1端);  
 $R_D$  :复位端(置0端);



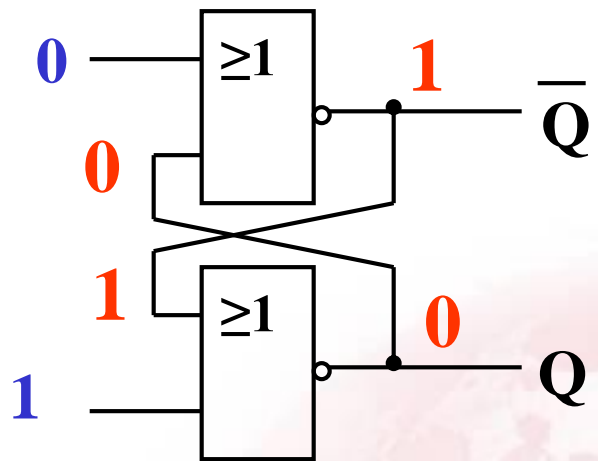
## (2) 逻辑功能分析

设：电路的原状态表示为 $Q^n$ ,新状态表示为 $Q^{n+1}$ .

$Q=0, \bar{Q}=1$  为0状态;      $Q=1, \bar{Q}=0$  为1状态.

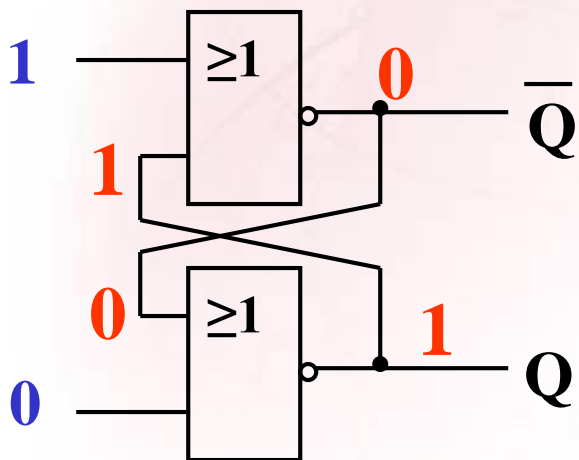


①  $S_D=0$ ;  $R_D=1$  (置0信号 $R_D$ 有效):



结论:  $Q^{n+1}=0$

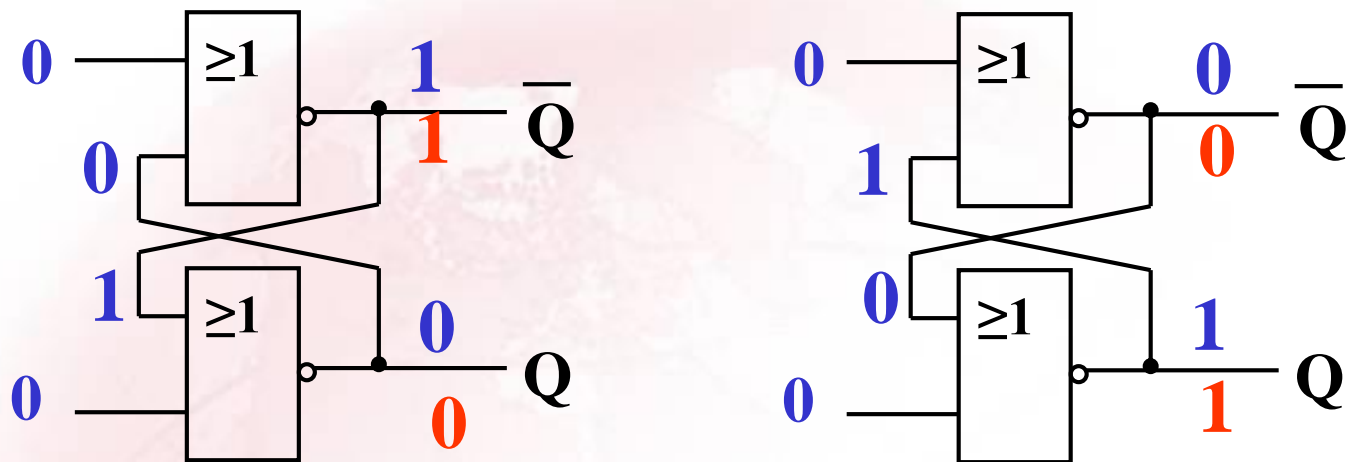
②  $S_D=1$ ;  $R_D=0$  (置1信号 $S_D$ 有效):



结论:  $Q^{n+1}=1$



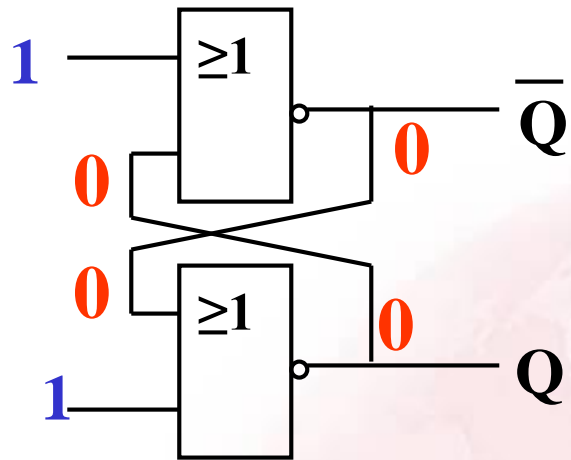
③  $S_D=0$ ;  $R_D=0$  (无激励信号), 有下列两种情况:



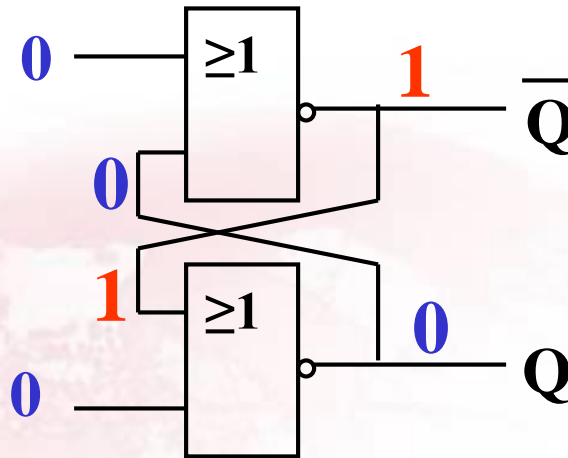
结论:  $Q^{n+1}=Q^n$



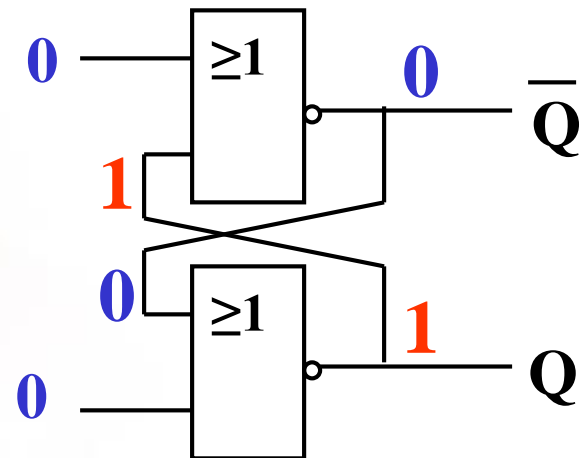
④  $S_D=1; R_D=1$  (置0、置1同时信号有效):



作用时



激励信号同时消失后



一般情况下， $S_D=R_D=1$ 应禁止使用。

RS锁存器的约束条件： $S_D R_D=0$ 。

### (3) RS锁存器的功能描述

#### ① 特性表

$S_D$	$R_D$	$Q^n$	$Q^{n+1}$	
0	0	0	0	} 保持
0	0	1	1	
0	1	0	0	} 置0
0	1	1	0	
1	0	0	1	} 置1
1	0	1	1	
1	1	0	×	} 禁止
1	1	1	×	

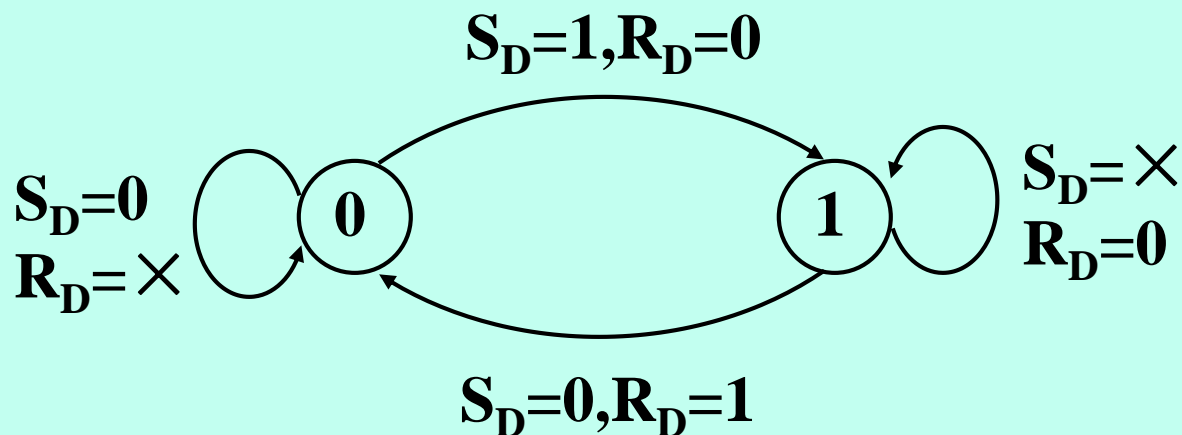
#### ② 特性方程

$S_D R_D$		$Q^n$			
		00	01	11	10
$Q^n$	0	0	0	×	1
	1	1	0	×	1
		$Q^{n+1}$			

$$Q^{n+1} = S_D + \overline{R_D} Q^n$$

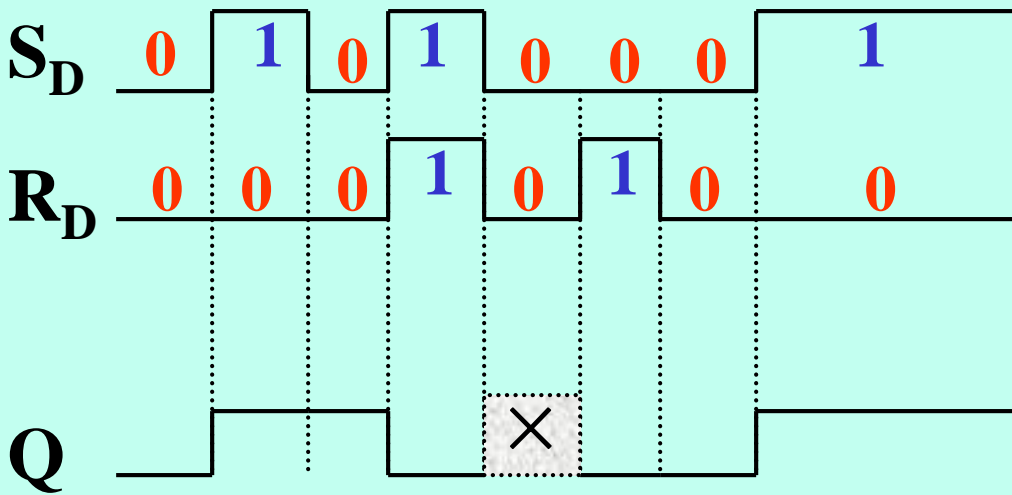
$$S_D R_D = 0$$

#### ③ 状态图



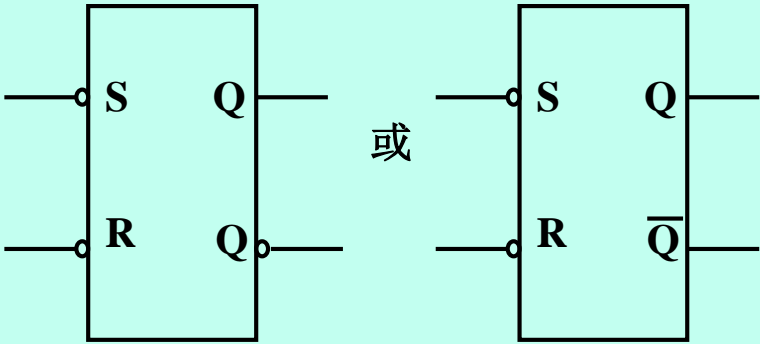
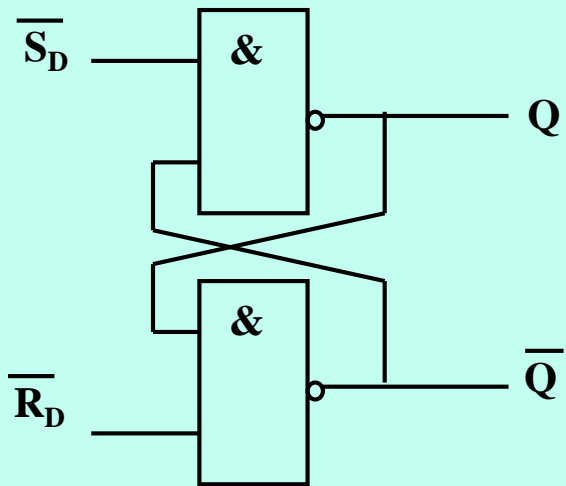


# RS锁存器工作波形图（初态假设为0）



$S_D$	$R_D$	$Q^n$	$Q^{n+1}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	×
1	1	1	×

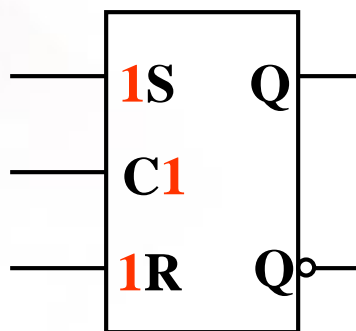
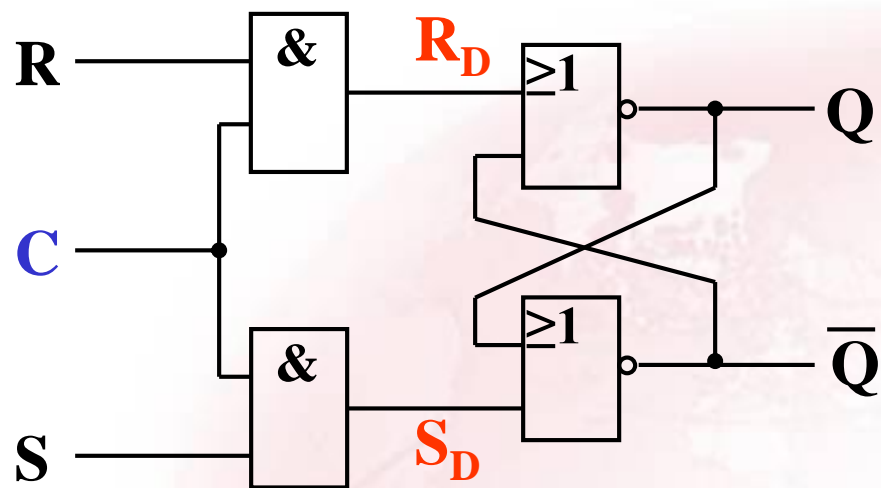
## 由与非门构成的RS锁存器：





## 5.2.2 门控RS锁存器

在RS锁存器的基础上, 加控制信号, 使锁存器状态转换的时间, 受控制信号的控制.



$$R_D = R \cdot C \quad S_D = S \cdot C$$

当  $C=1$  时: 门控RS锁存器功能和RS锁存器完全相同;

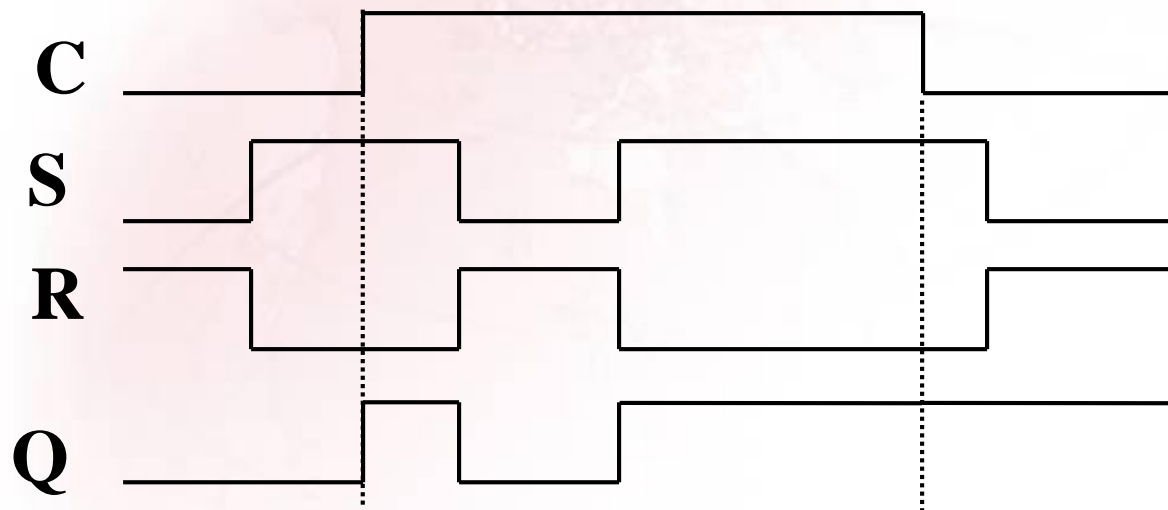
当  $C=0$  时:  $R_D = S_D = 0$ , 锁存器状态保持不变.



门控RS锁存器特性方程:

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR = 0 \end{cases} \quad C=1 \text{ 时成立}$$

工作波形图

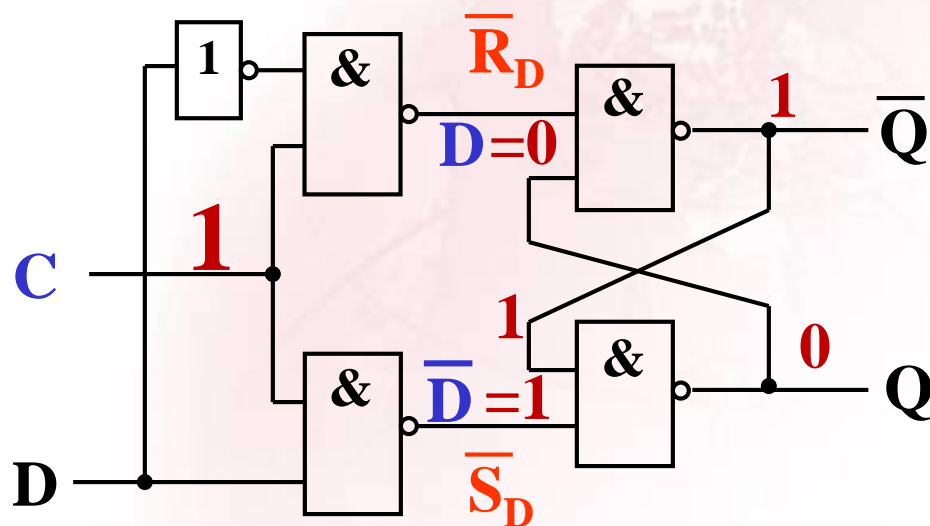




## 2. 门控D锁存器

能将呈现在激励输入端的单路数据D存入交叉耦合结构的锁存器单元中。

D锁存器原理图：



电路功能分析：

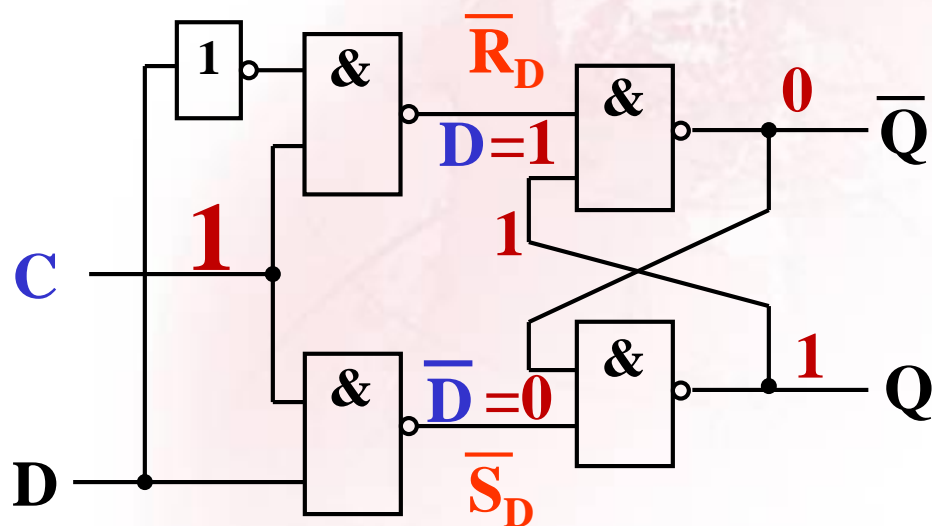
(1) 当  $C=0$  时,  $\overline{R_D}=\overline{S_D}=1$ ,  
电路处于保持状态;



## 2. 门控D锁存器

能将呈现在激励输入端的单路数据D存入交叉耦合结构的锁存器单元中。

D锁存器原理图：



电路功能分析：

- (1) 当  $C=0$  时,  $\overline{R}_D = \overline{S}_D = 1$ , 电路处于保持状态;
- (2) 当  $C=1$  时,  $\overline{R}_D = D$ ,  $\overline{S}_D = \overline{D}$  电路的新状态为  $D$ .

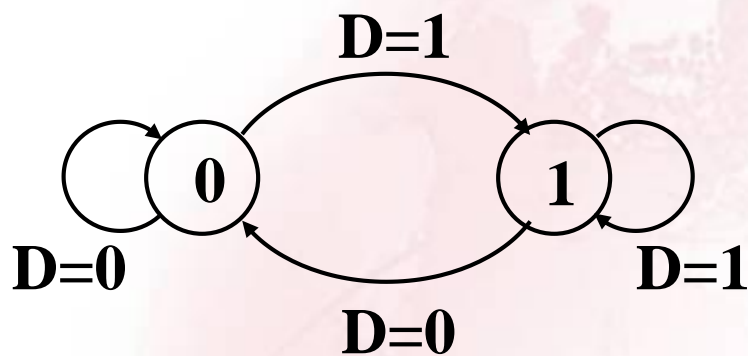


D锁存器特性表:

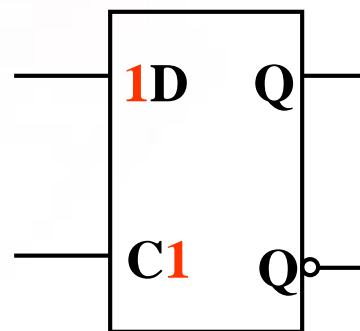
D	$Q^n$	$Q^{n+1}$
0	0	0
0	1	0
1	0	1
1	1	1

D锁存器特性方程:

$$Q^{n+1} = D$$



状态图

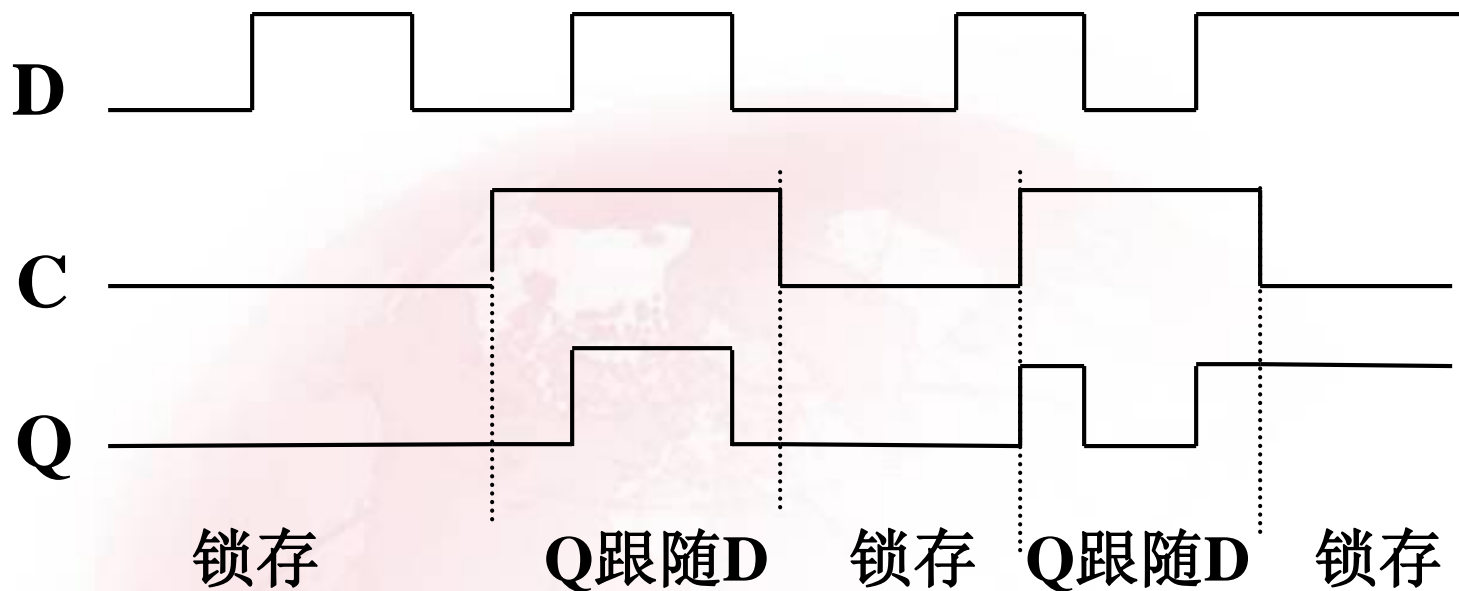


逻辑符号





## D锁存器工作波形图: (假设初态为0)





## 5.3 触发器

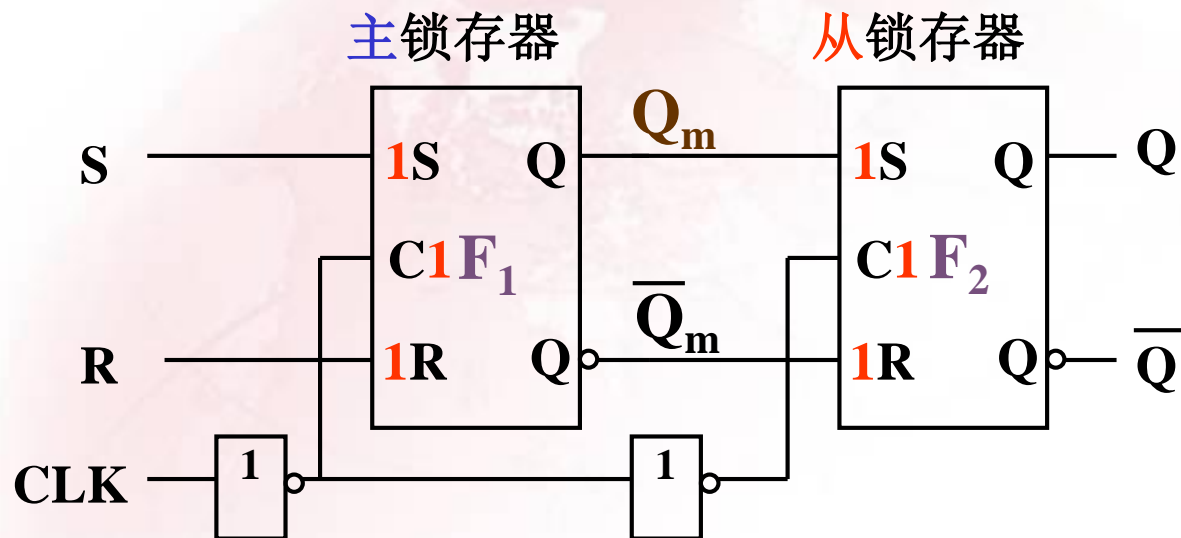
利用一个称为“**时钟**”的特殊**定时控制信号**去限制存储单元状态的**改变时间**, 具有这种特点的存储单元电路称为**触发器**.



## 5.3.1 主从触发器

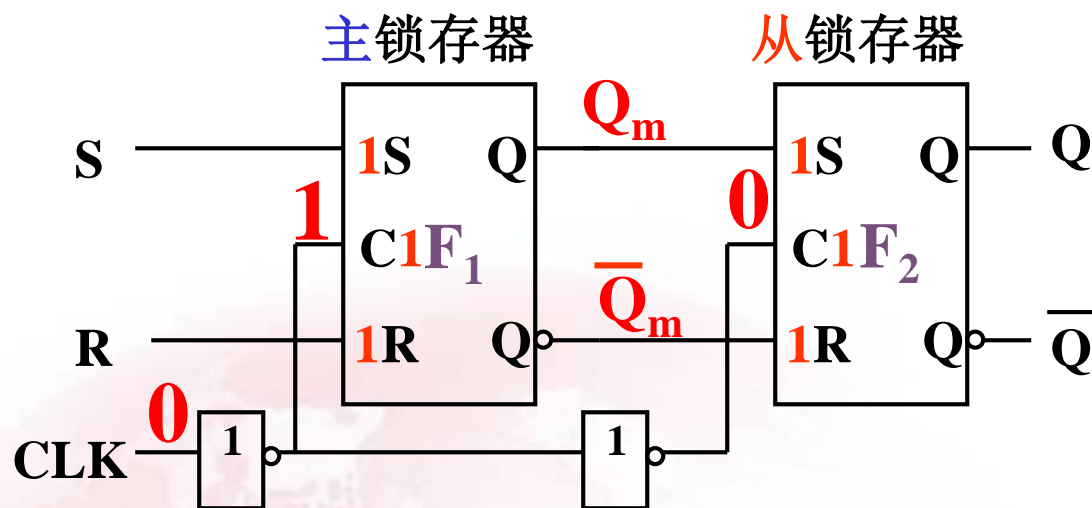
### 1. 主从RS 触发器

#### (1) 主从 RS 触发器的电路结构



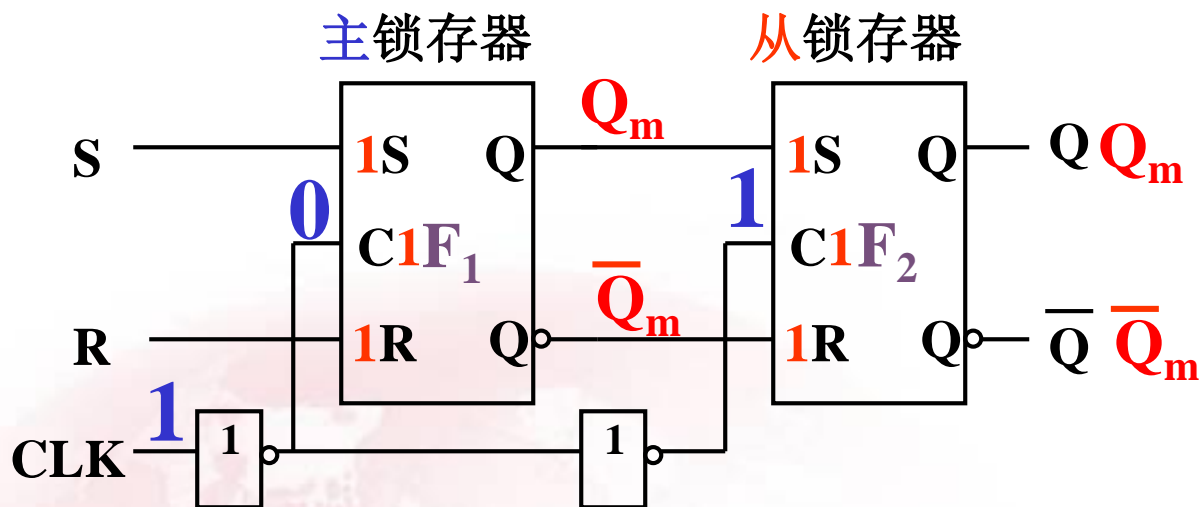


## (2) 主从 RS 触发器的工作原理





## (2) 主从 RS 触发器的工作原理



- 1) 在 $CLK=0$ 时,主锁存器 $F_1$ 的控制门打开,处于**工作状态**,主锁存器按 $S$ 、 $R$ 的值改变**中间状态** $Q_m$ ;从锁存器 $F_2$ 的控制门关闭,处于**保持状态**;
- 2) 在 $CLK=1$ 时,主锁存器 $F_1$ 的控制门关闭,进入**保持状态**;从锁存器 $F_2$ 的控制门打开,处于**工作状态**,电路根据 $Q_m$ 的状态改变**输出状态**;



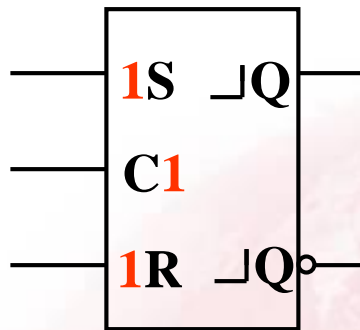
## 主从 RS 触发器的电路特点:

- 1) CLK脉冲不论在低电平或高电平期间,电路的输出状态最多只**改变一次**;(常把控制信号有效期间,输出状态发生**多次变化**的现象称为**空翻**)
- 2) 将主从RS触发器用于时序电路中,不会因**不稳定**而产生**振荡**.





## 主从 RS 触发器的电路符号:



“┐”称为延迟符号,表示该触发器在CLK=0时接收R、S的数据,而在CLK的上升沿时,输出改变状态



### (3) 主从 RS 触发器的逻辑功能描述

#### 1) 主从RS触发器的特性表

主从RS触发器的特性表和特性方程和RS锁存器基本相同, 只是在特性表时, 要加上CLK脉冲标志.

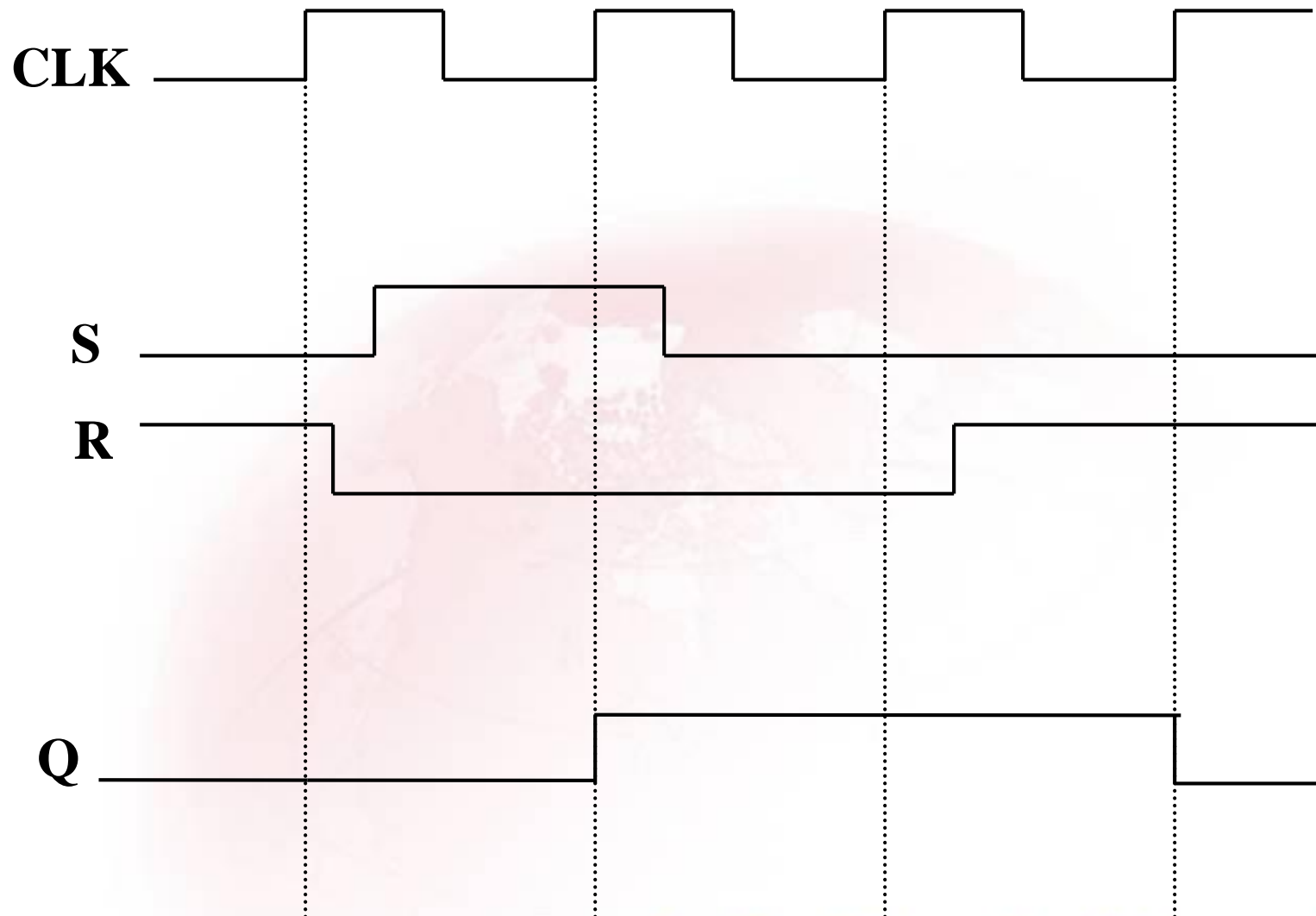
CLK	$S_D$	$R_D$	$Q^n$	$Q^{n+1}$
×	×	×	×	$Q^n$
⌋	0	0	0	0
⌋	0	0	1	1
⌋	0	1	0	0
⌋	0	1	1	0
⌋	1	0	0	1
⌋	1	0	1	1
⌋	1	1	0	×
⌋	1	1	1	×

#### 2) 主从RS触发器的特性方程

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR = 0 \end{cases}$$

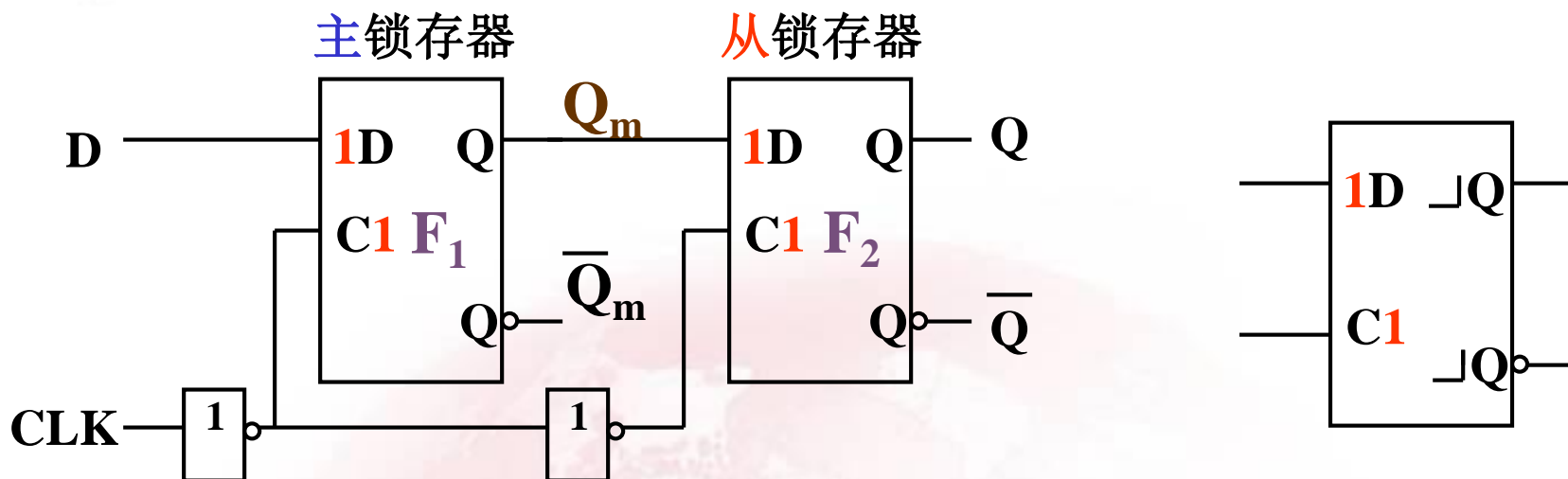


## 3) 主从RS 触发器定时波形





## 2. 主从D 触发器



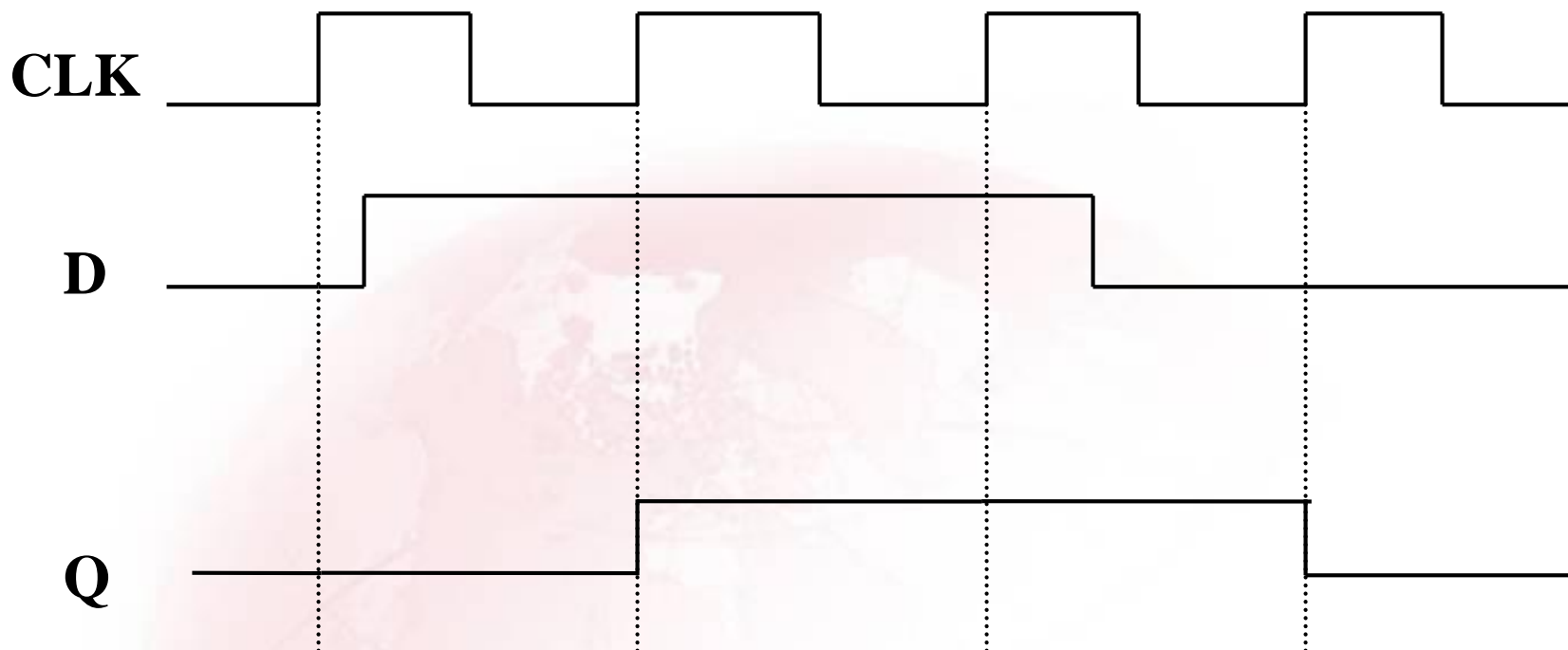
工作原理:

- (1) 当CLK=0时,主锁存器被选通, $Q_m=D$ ,从锁存器保持原态;
- (2) 当CLK=1时,主锁存器保持原态,从锁存器被选通, $Q=Q_m$ ;

特性方程:  $Q^{n+1}=D$



## 定时波形图

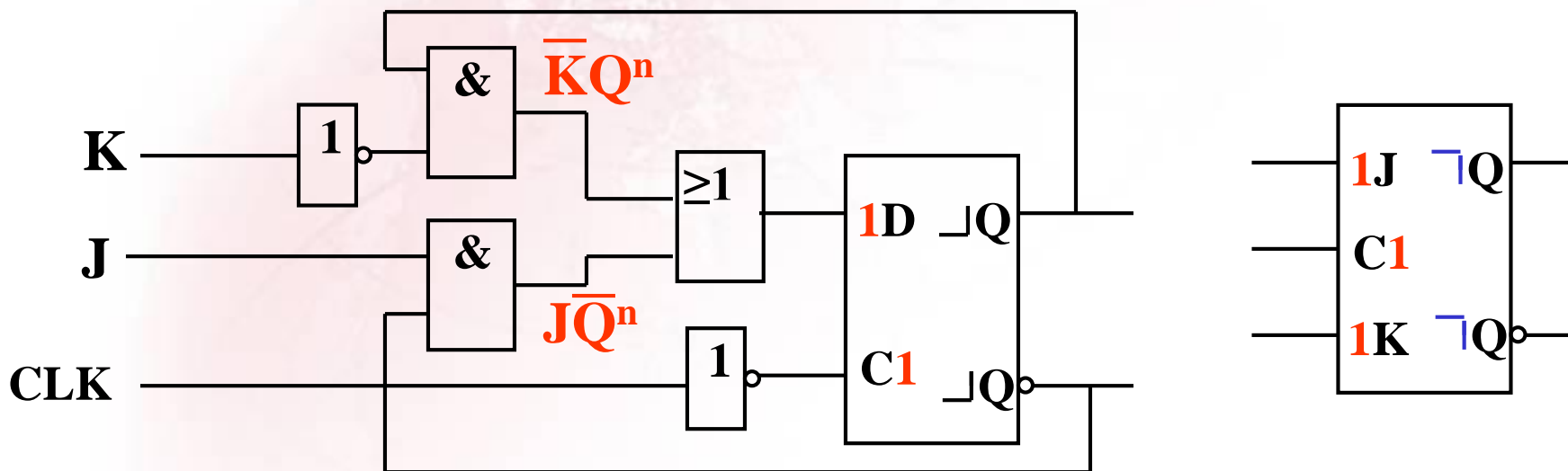




## 3. 主从JK 触发器

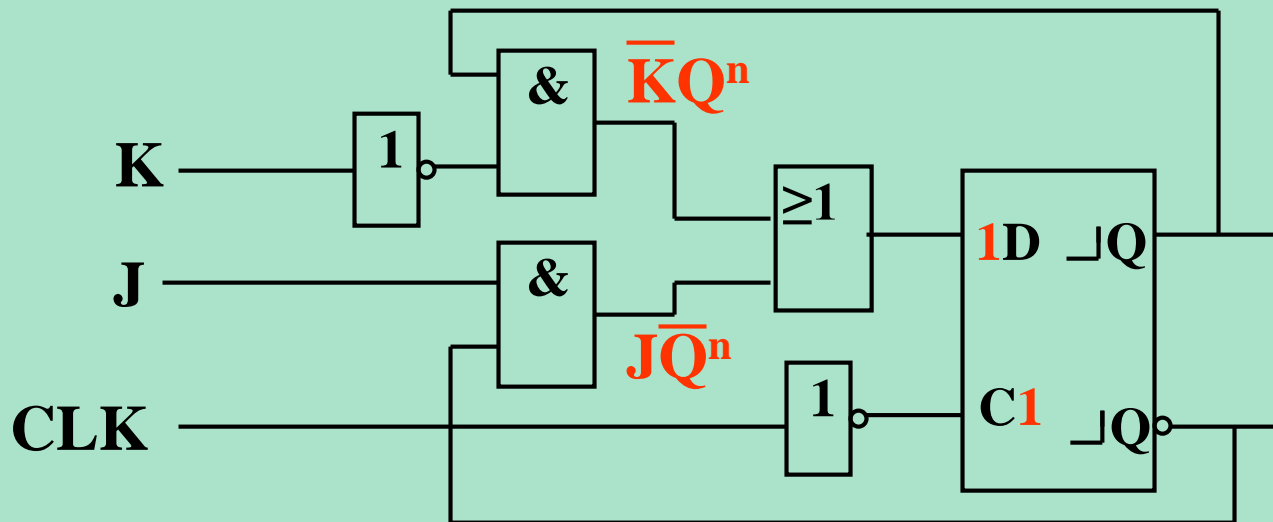
为去除主从RS触发器的约束条件: $RS=0$ ,设计出主从JK触发器.

### (1) 主从JK触发器的一种结构和逻辑符号





## (2) 主从JK触发器的特点



- 1) 电路以D触发器为核心,故不存在约束条件;
- 2) 由电路可见,这种结构的JK触发器为CLK下降沿到达时改变状态.

3)  $D = J\bar{Q}^n + \bar{K}Q^n$       驱动方程: 存储电路的激励端  
关于外输入信号及原状态的方程

D触发器的特性方程:  $Q^{n+1} = D$

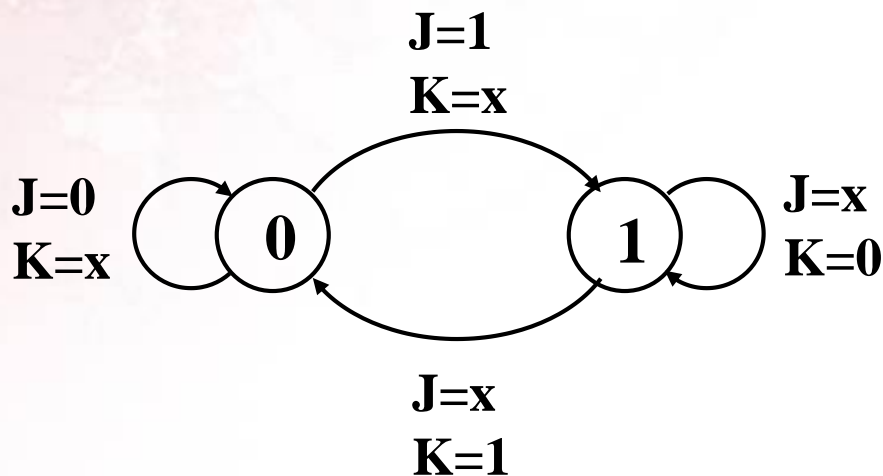
$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$       状态方程: 存储电路的新状态  
关于外输入信号及原状态的方程



(3) 根据特性方程  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$ , 容易求得特性表:

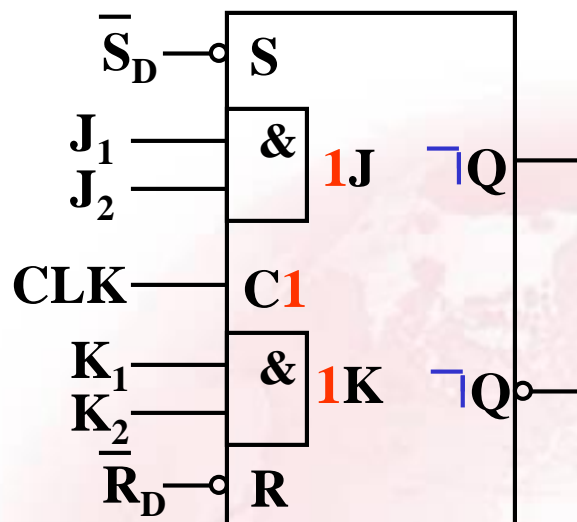
CLK	J	K	$Q^n$	$Q^{n+1}$	CLK	J	K	$Q^n$	$Q^{n+1}$
×	×	×	×	$Q^n$	⌋	1	0	0	1 <sub>置</sub>
⌋	0	0	0	0 <sub>保持</sub>	⌋	1	0	1	1 <sub>“1”</sub>
⌋	0	0	1	1 <sub>持</sub>	⌋	1	1	0	1 <sub>翻</sub>
⌋	0	1	0	0 <sub>置</sub>	⌋	1	1	1	0 <sub>转</sub>
⌋	0	1	1	0 <sub>“0”</sub>					

(4) 状态图





## (5) 带异步清零、置1端并具有多驱动输入的JK触发器。

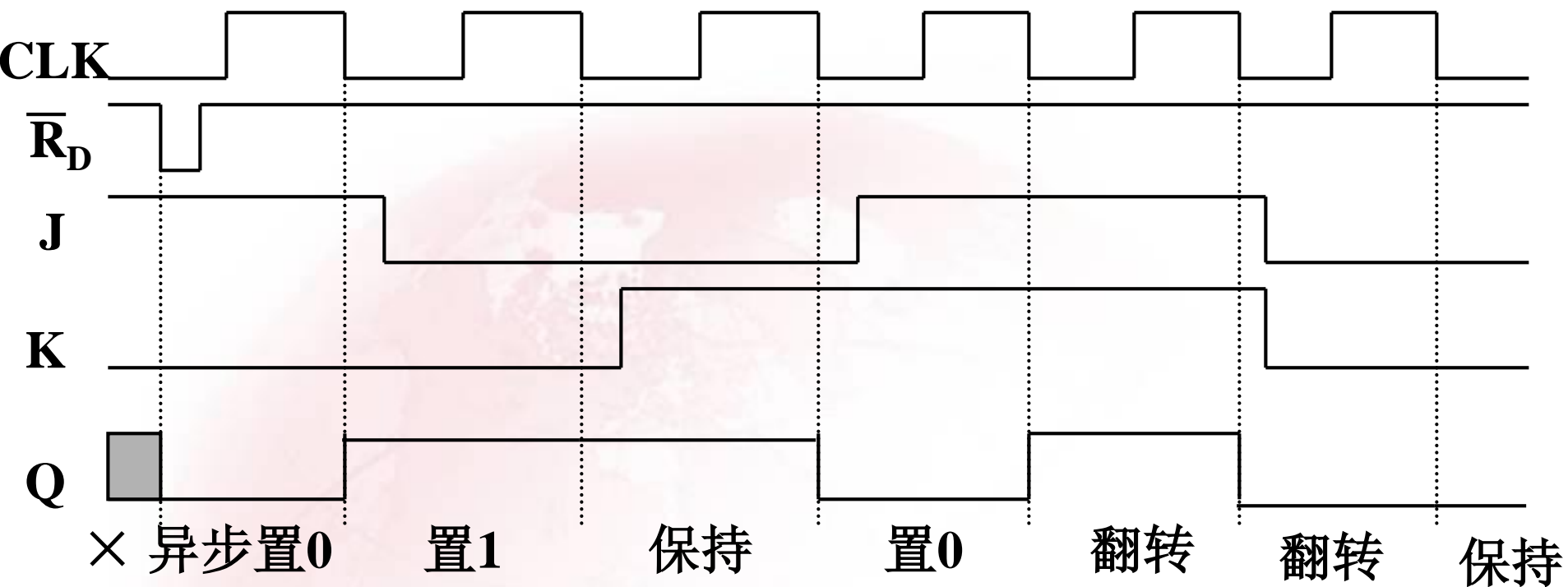


$\overline{S}_D$  : 异步置1端;  
 $\overline{R}_D$  : 异步清零端。

$$J = J_1 \cdot J_2$$
$$K = K_1 \cdot K_2$$



## (6) 主从JK触发器定时波形

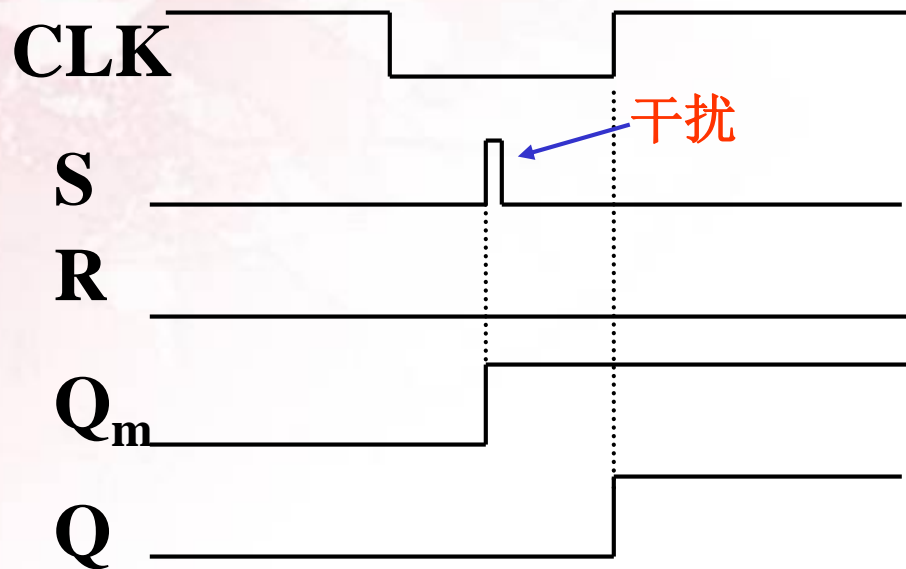
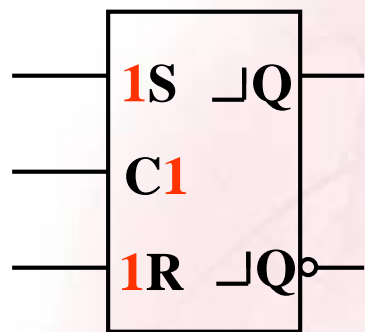




## 4. 主从触发器的缺陷

主从触发器抗干扰能力不强

上升沿翻转的主从RS触发器





## 5.3.2 边沿触发器

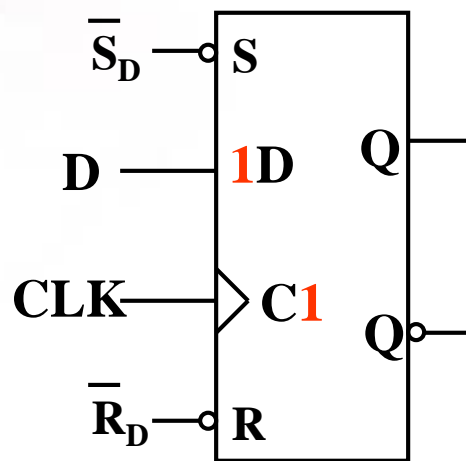
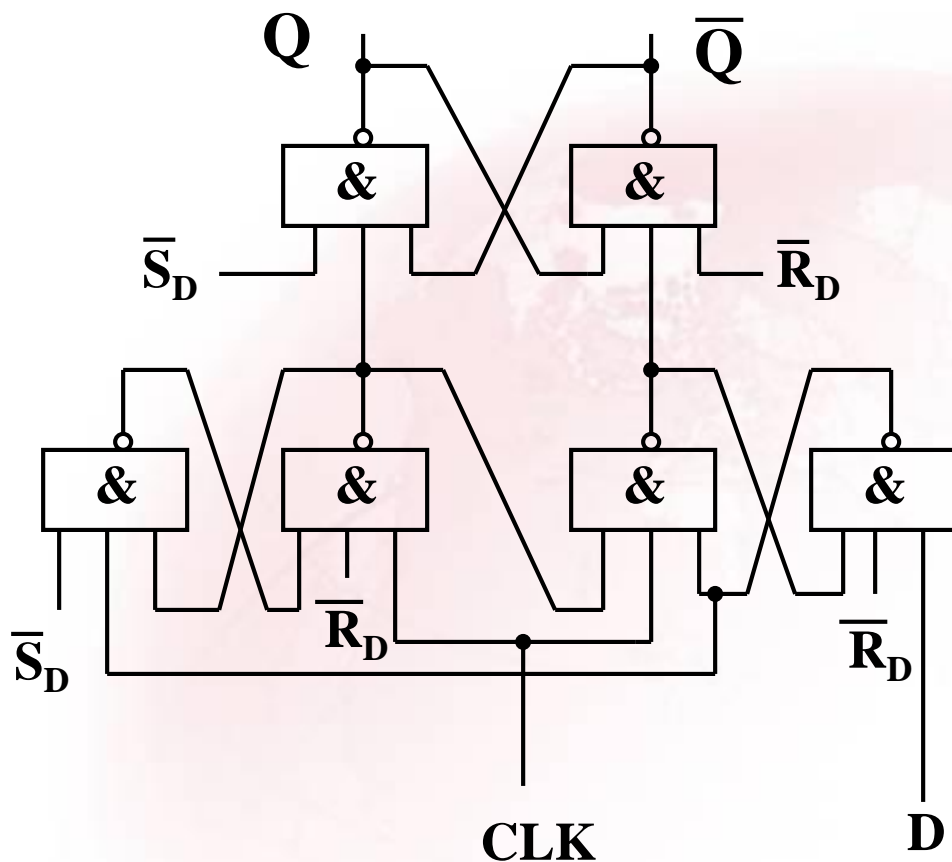
### 边沿触发器的特点：

在时钟为稳定的0或1期间, 输入信号都不能进入触发器, 触发器的新状态**仅**决定于时钟脉冲有效边沿**到达前一瞬间以及到达后极短一段时间内**的输入信号. 边沿触发器具有较好的**抗干扰性能**.



## 1. 维持阻塞D触发器

### (1) 电路结构与逻辑符号







## (3) 维持阻塞D触发器特性表和工作波形图

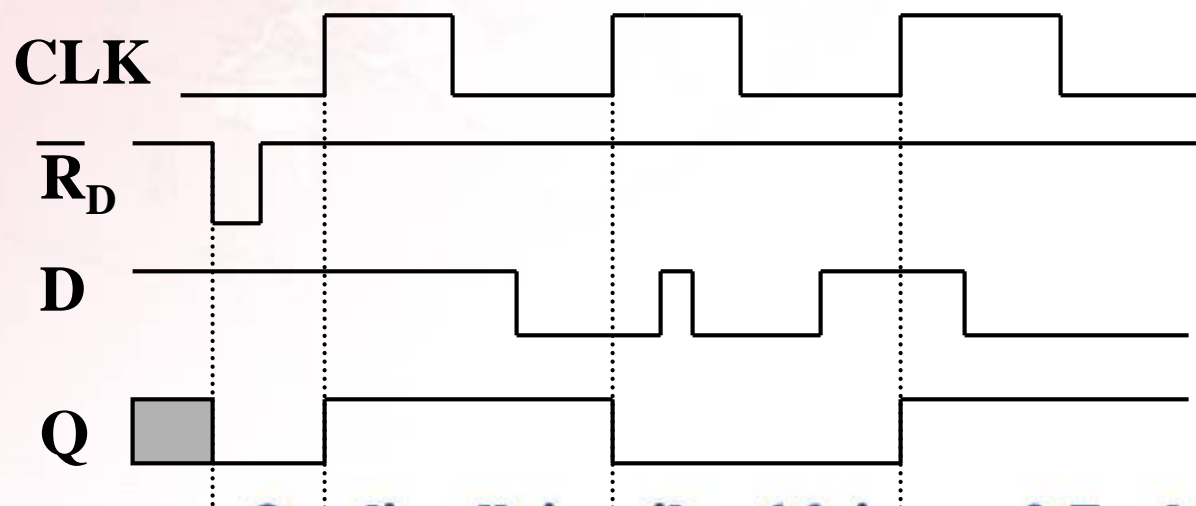
CLK	$\overline{S}_D$	$\overline{R}_D$	D	$Q^n$	$Q^{n+1}$
×	0	1	×	×	1
×	1	0	×	×	0
↑	1	1	0	0	0
↑	1	1	0	1	0
↑	1	1	1	0	1
↑	1	1	1	1	1

异步置1

异步置0

↑表示上升沿触发。

当 $\overline{S}_D=1$ 时  
波形图:





存储电路分类:

**功能:** RS、D、JK、T、T'

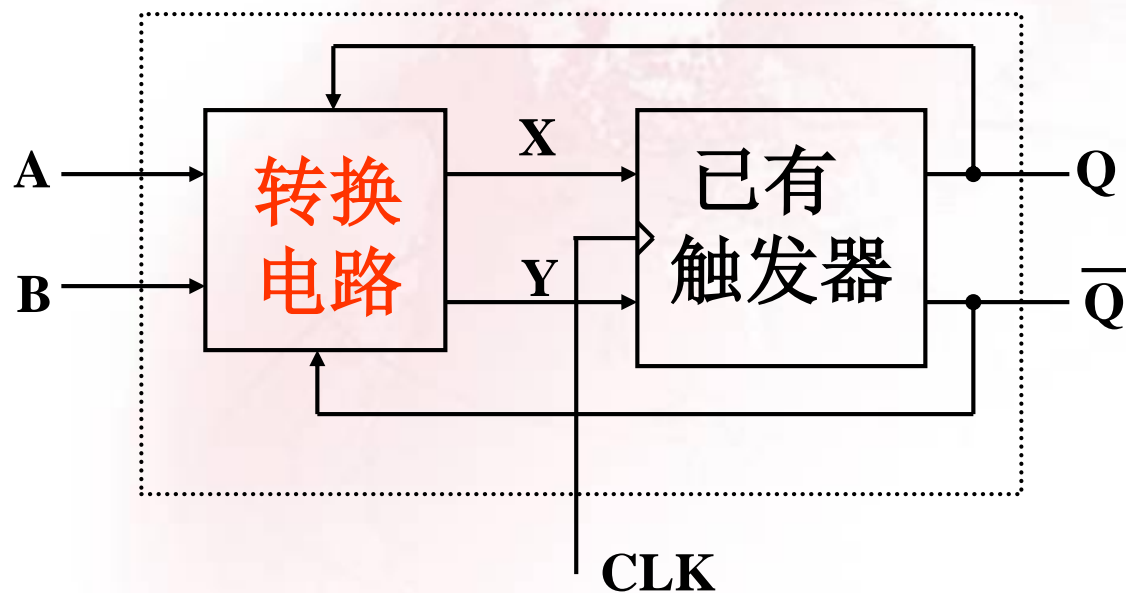
**结构:** 1) 锁存器: 锁存、门控锁存  
2) 触发器: 主从、边沿



## 5.4 触发器使用中的几个问题

### 5.4.1 触发器逻辑功能的转换

触发器逻辑功能转换示意图：



将已有触发器转换为所需触发器的功能,实际上是求**转换电路**,即求转换电路的**函数表达式**:

$$X=f_1(A,B,Q^n)$$

$$Y=f_2(A,B,Q^n)$$



## 1. 代数法

通过**比较**已有触发器和待求触发器的特性方程, 求转换电路的函数表达式.



例：把JK触发器转换为D触发器。

解：已有JK触发器的特性方程为： $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

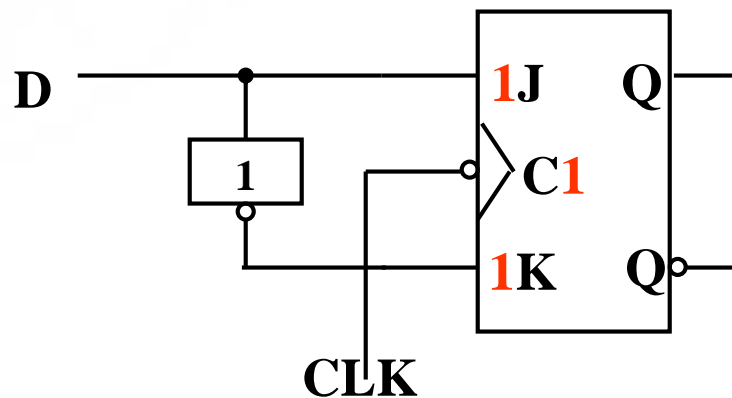
待求D触发器的特性方程为： $Q^{n+1} = D$

将D触发器的特性方程转换为：

$$Q^{n+1} = D = D(\bar{Q}^n + Q^n) = D\bar{Q}^n + DQ^n$$

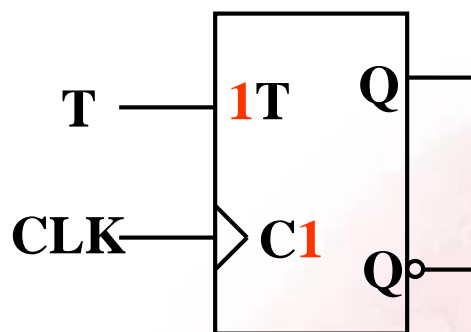
比较JK触发器的特性方程,可得：

$$J = D \quad K = \bar{D}$$





例：将**JK**触发器转换为**T**触发器。



逻辑符号

**T**触发器特性表

T	$Q^n$	$Q^{n+1}$
0	0	0
0	1	1
1	0	1
1	1	0

T触发器的特性  
归纳为：

**T=0** 保持

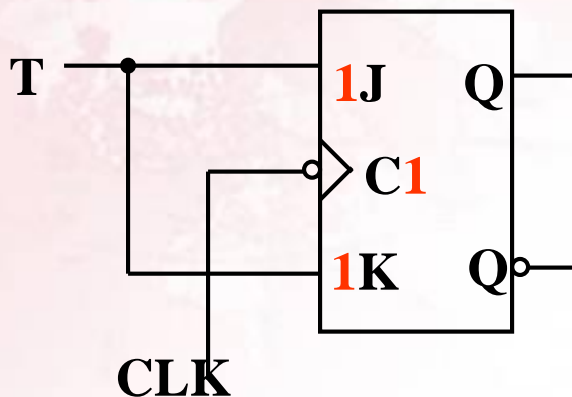
**T=1** 翻转

**T**触发器的特性方程： $Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$



**T**触发器的特性方程:  $Q^{n+1} = \mathbf{T}\bar{Q}^n + \mathbf{T}Q^n$

将上式和JK触发器特性方程  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$  比较,可得  
 **$J=K=T$**



**注意:** 在这个电路中, 由于采用的是下降边沿JK触发器, 所以得到的T触发器也是下降边沿的。

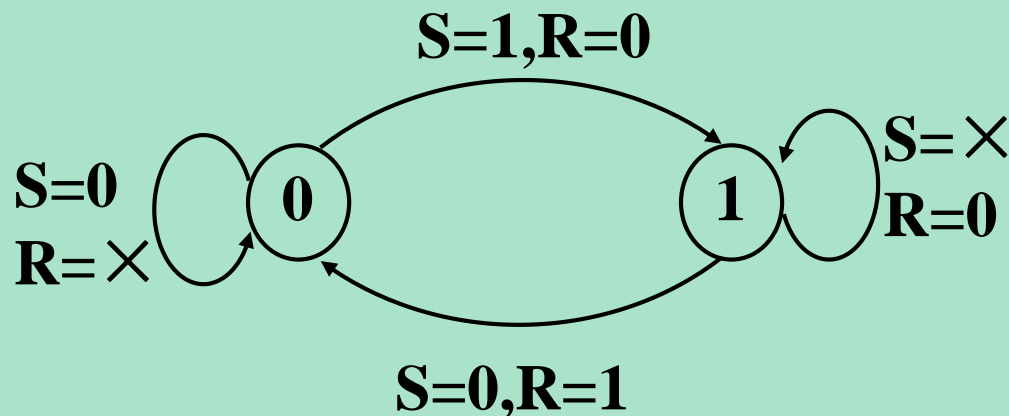


## 2. 图表法

例：把RS触发器转换为JK触发器。

① 首先列出JK触发器的特性表；

② 根据RS触发器的特性,列出当满足JK触发器特性时  
S、R端应加的信号；



J	K	$Q^n$	$Q^{n+1}$	S	R
0	0	0	0	0	×
0	0	1	1	×	0
0	1	0	0	0	×
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	1	×	0
1	1	0	1	1	0
1	1	1	0	0	1



③ 写出下列两个表达式:

$$S=f_1(J, K, Q^n)$$

$$R=f_2(J, K, Q^n)$$

J \ KQ <sup>n</sup>				
	00	01	11	10
0	0	×	0	0
1	1	×	0	1

$$S=J\bar{Q}^n$$

J \ KQ <sup>n</sup>				
	00	01	11	10
0	×	0	1	×
1	0	0	1	0

$$R=KQ^n$$

J	K	Q <sup>n</sup>	S	R
0	0	0	0	×
0	0	1	×	0
0	1	0	0	×
0	1	1	0	1
1	0	0	1	0
1	0	1	×	0
1	1	0	1	0
1	1	1	0	1



③ 写出下列两个表达式:

$$S=f_1(J, K, Q^n)$$

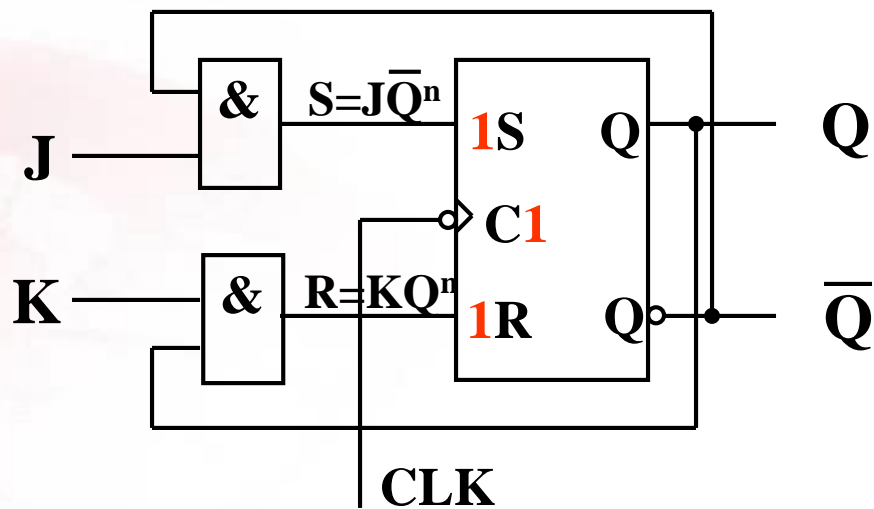
$$R=f_2(J, K, Q^n)$$

$\mathbf{J} \backslash \mathbf{KQ}^n$					
		<b>00</b>	<b>01</b>	<b>11</b>	<b>10</b>
<b>0</b>	<b>0</b>	$\times$	<b>0</b>	<b>0</b>	
<b>1</b>	<b>1</b>	$\times$	<b>0</b>	<b>1</b>	

$$S=J\bar{Q}^n$$

$\mathbf{KQ^n}$					
		00	01	11	10
0	$\times$	0	1	$\times$	
1	0	0	1	0	

$$R=KQ^n$$



转换电路图

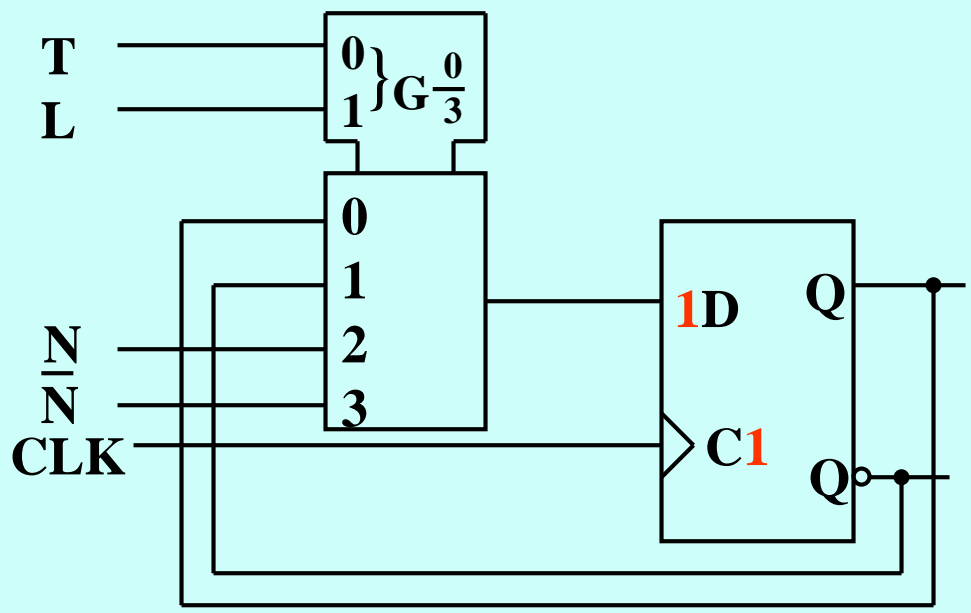
**例：**试用D触发器和四选一MUX构成一个多功能触 发器，其功能如下表所示。表中L、T为控制变量，N为数据输入变量。

解：① 列表；求D触发器的激励端信号

② 设L、T为MUX的地址 变量，求MUX 的数据 端输入信号；

③ 画逻辑图。

L	T	N	D
0	0	×	$Q^n$
0	1	×	$\overline{Q}^n$
1	0	N	N
1	1	N	$\overline{N}$

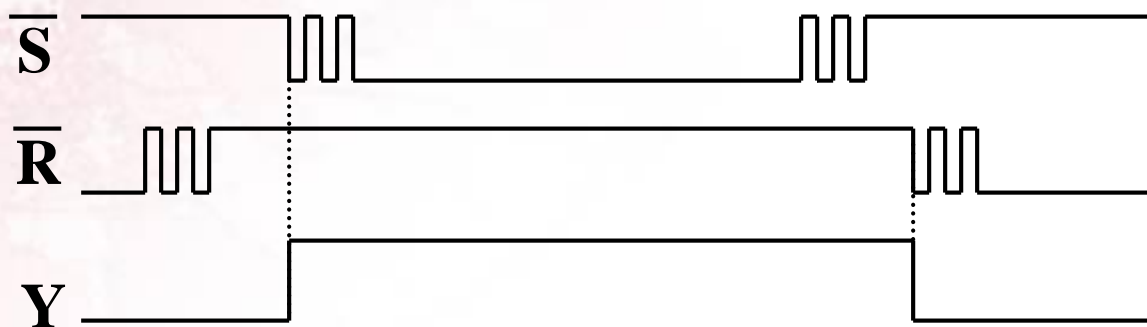
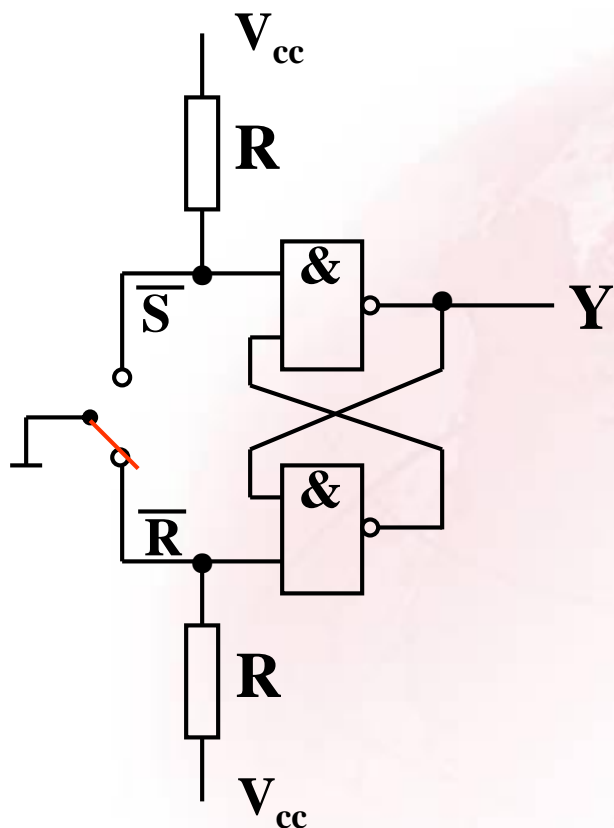


LT		N		
		0	1	
00	00	$Q^n$	$Q^n$	$D_0=Q^n$
	01	$\overline{Q}^n$	$\overline{Q}^n$	$D_1=\overline{Q}^n$
11	11	1	0	$D_3=\overline{N}$
	10	0	1	$D_2=N$



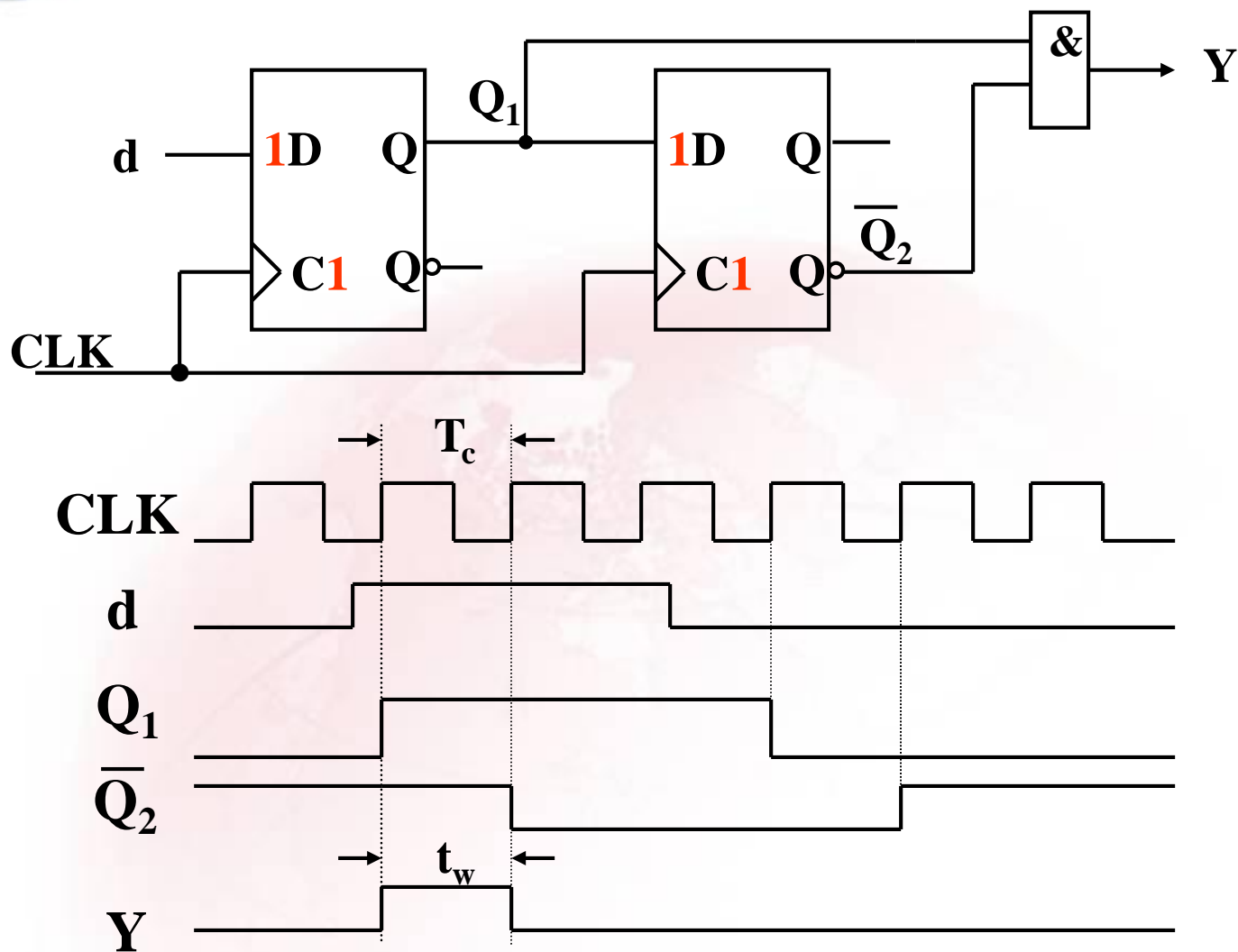
## 5.5 触发器应用举例

### (1) 消颤开关





## (2)单脉冲发生器





## 5.6 时序逻辑电路的分析与设计

### 时序逻辑电路的分类

**同步时序逻辑电路：**所有存储单元的状态改变在**统一时钟**脉冲控制下**同时**发生。

**异步时序逻辑电路：**存储单元在**不同**的时钟控制下工作，状态改变**不是同时**发生的。

### 时序逻辑电路的分析方法

本质上是求电路在不同的外部输入和当前状态条件下的输出情况和状态转换规律。





## 5.6.1 同步 时序逻辑电路的分析

由于在同步时序电路中，各触发器的动作变化是在**CLK**脉冲作用下**同时**发生的，因此，在同步电路的分析中，只要知道了在**当前状态下各触发器的输入**（即**驱动信号**），就能根据触发器的**特性方程**，求得电路的**下一个状态**，最终找到电路的**状态转换规律**。



## 分析步骤:

- (1) 列出时序电路的**输出方程**和**驱动方程**(即该时序电路中**组合电路部分**的逻辑函数表达式);
- (2) 将上一步所得的**驱动方程**代入触发器的**特性方程**,导出电路的**状态方程**;
- (3) 根据**状态方程**和**输出方程**,列出**状态表**;
- (4) 根据**状态表**画出**状态图**或**时序图**;
- (5) 由**状态表**或**状态图**(或**时序图**)说明电路的**逻辑功能**.



例：分析下列时序电路。

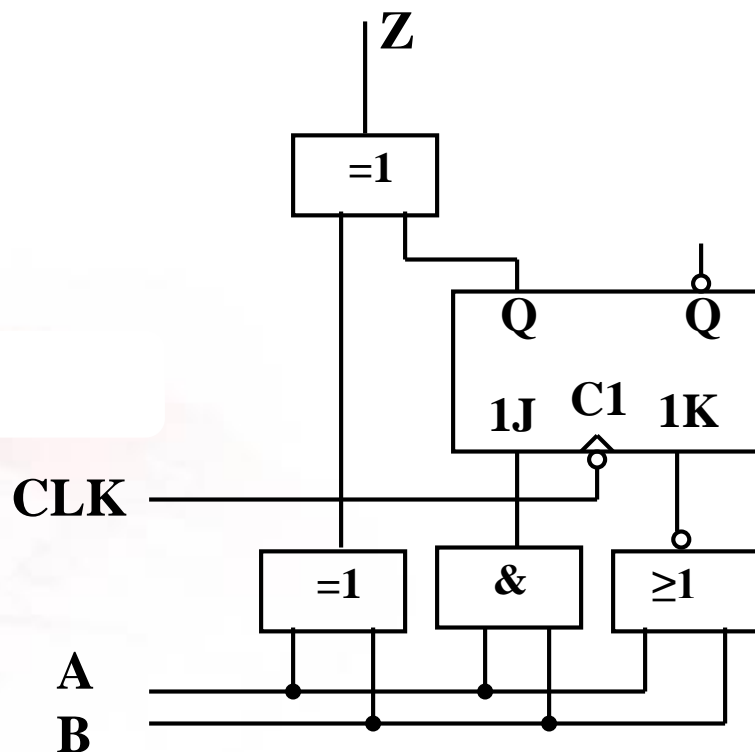
(1) 写出输出方程和驱动方程。

$$Z = A \oplus B \oplus Q^n$$

$$J = AB, \quad K = \overline{A+B}$$

(2) 写出状态方程。

$$\begin{aligned} Q^{n+1} &= J\overline{Q}^n + \overline{K}Q^n \\ &= AB\overline{Q}^n + (A+B)Q^n \\ &= AB\overline{Q}^n + AQ^n + BQ^n \end{aligned}$$





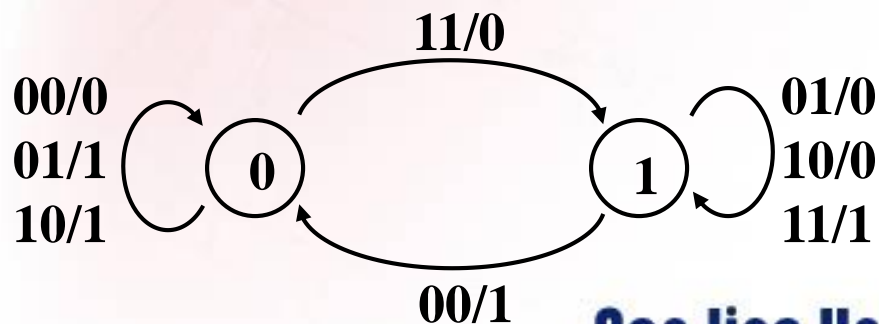
## (3) 列出状态表.

A	B	$Q^n$	$Q^{n+1}$	Z
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$$Z = A \oplus B \oplus Q^n$$

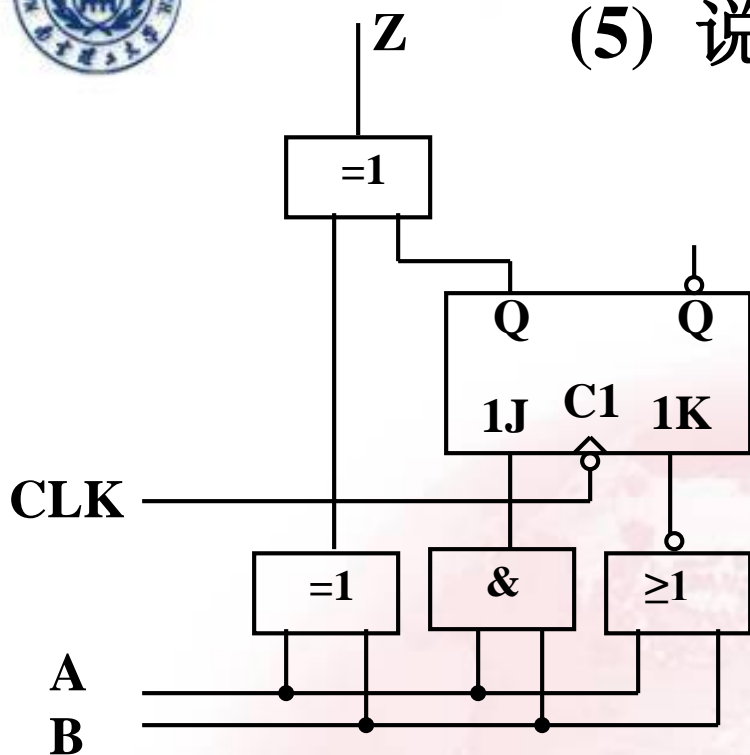
$$\begin{aligned} Q^{n+1} &= J\bar{Q}^n + \bar{K}Q^n \\ &= A\bar{B}\bar{Q}^n + (A+B)Q^n \\ &= A\bar{B}\bar{Q}^n + AQ^n + BQ^n \end{aligned}$$

## (4) 列状态图. $\textcircled{Q} \xrightarrow{AB/Z}$





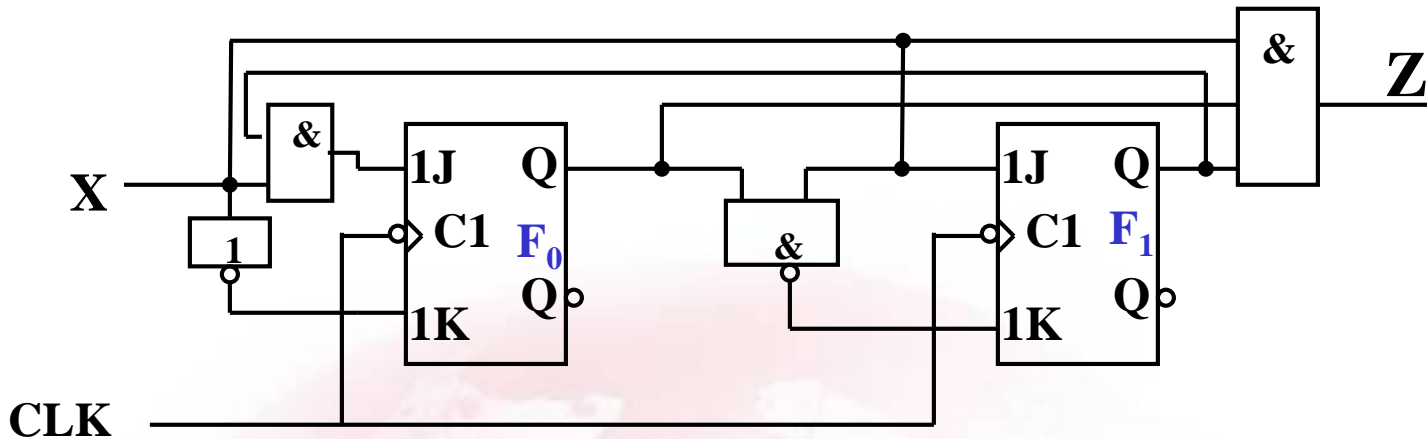
## (5) 说明逻辑功能.



A	B	$Q^n$	$Q^{n+1}$	Z
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

串行输入串行输出的时序全加器. A和B为两个二进制加数,  $Q^n$ 为低位来的进位, Z表示相加的结果,  $Q^{n+1}$ 表示向高位的进位.

### 例：分析下列时序电路的逻辑功能.



输出方程:  $Z = XQ_0^n Q_1^n$

## JK触发器的特性方程:

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

## 驱动方程：

$$\begin{aligned} \mathbf{J}_0 &= \mathbf{X} \mathbf{Q}_1^n, & \mathbf{K}_0 &= \overline{\mathbf{X}} \\ \mathbf{J}_1 &= \mathbf{X}, & \mathbf{K}_1 &= \overline{\mathbf{X}} + \overline{\mathbf{Q}}_0^n \end{aligned}$$

## 状态方程:

$$\begin{aligned} Q_0^{n+1} &= XQ_1^n \overline{Q_0^n} + XQ_0^n \\ &= X(Q_0^n + Q_1^n) \\ Q_1^{n+1} &= X\overline{Q_1^n} + \overline{X} + \overline{Q_0^n}Q_1^n \\ &= X(Q_0^n + \overline{Q_1^n}) \end{aligned}$$





输出方程:  $Z = XQ_0^n Q_1^n$

状态表

X	$Q_1^n$	$Q_0^n$	$Q_1^{n+1}$	$Q_0^{n+1}$	Z
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	1	0	0
1	0	1	1	1	0
1	1	0	0	1	0
1	1	1	1	1	1

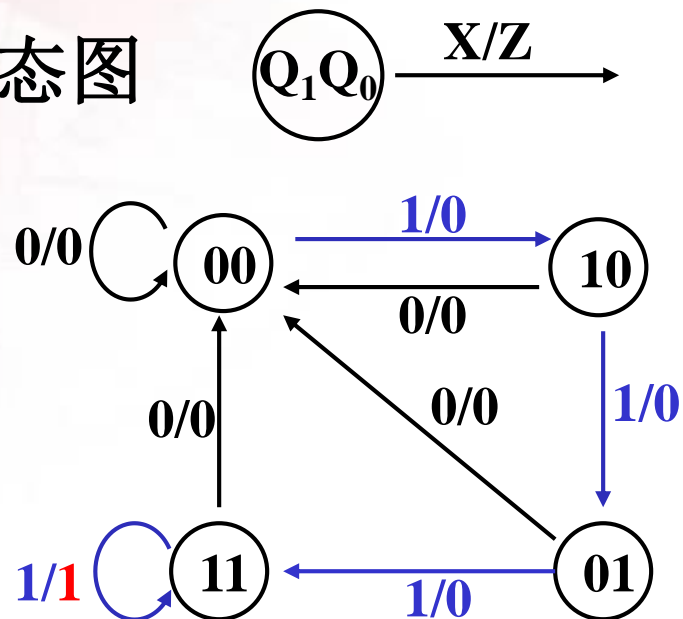
功能: **1111序列检测器**

状态方程:

$$Q_0^{n+1} = XQ_1^n \bar{Q}_0^n + XQ_0^n \\ = X(Q_1^n + Q_0^n)$$

$$Q_1^{n+1} = X\bar{Q}_1^n + \bar{X} + \bar{Q}_0^n Q_1^n \\ = X(Q_0^n + \bar{Q}_1^n)$$

状态图







## 5.6.3 同步时序逻辑电路的设计

### 1. 同步时序逻辑电路的一般步骤

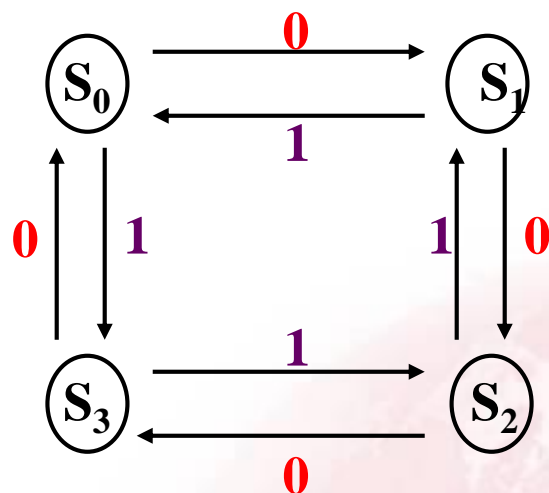
- (1) 根据逻辑要求,建立原始状态表或原始状态图;
- (2) 利用状态化简技术,简化原始状态表,消去多余状态;
- (3) 状态分配或状态编码,即将简化后的状态用二进制代码表示;
- (4) 选择触发器类型,并根据编码后的状态表求出驱动方程和输出方程;
- (5) 检查自启动性,若在所设计电路中存在无效状态,则必须检查电路能否自启动,如果不能自启动,则需修改设计;
- (6) 画出逻辑图.



例：试用**JK触发器**设计一个可控电路：X为控制信号，当**X=0**时，电路按照0, 1, 2, 3, 0, 1, 2, 3, .....的规律做**加法计数**；当**X=1**时，电路按照3, 2, 1, 0, 3, 2, 1, 0, .....的规律做**减法计数**。



解：电路有4个状态： $S_0$ 、 $S_1$ 、 $S_2$ 和 $S_3$ ，状态图和状态表为



由于有四个状态，  
需用两个触发器，  
定义： $S_0 \longrightarrow 00$   
 $S_1 \longrightarrow 01$   
 $S_2 \longrightarrow 10$   
 $S_3 \longrightarrow 11$

$S \backslash X$	0	1
$S_0$	$S_1$	$S_3$
$S_1$	$S_2$	$S_0$
$S_2$	$S_3$	$S_1$
$S_3$	$S_0$	$S_2$

编码后的状态表

$Q_1^n Q_0^n \backslash X$	0	1
0 0	01	11
0 1	10	00
1 0	11	01
1 1	00	10



分离状态表，求出状态方程(求驱动方程的方法)

$Q_1^n Q_0^n \backslash X$	0	1
0 0	01	11
0 1	10	00
1 0	11	01
1 1	00	10

$Q_1^n Q_0^n \backslash X$	0	1
0 0	0	1
0 1	1	0
1 1	0	1
1 0	1	0

$Q_1^{n+1}$

$Q_1^n Q_0^n \backslash X$	0	1
0 0	1	1
0 1	0	0
1 1	0	0
1 0	1	1

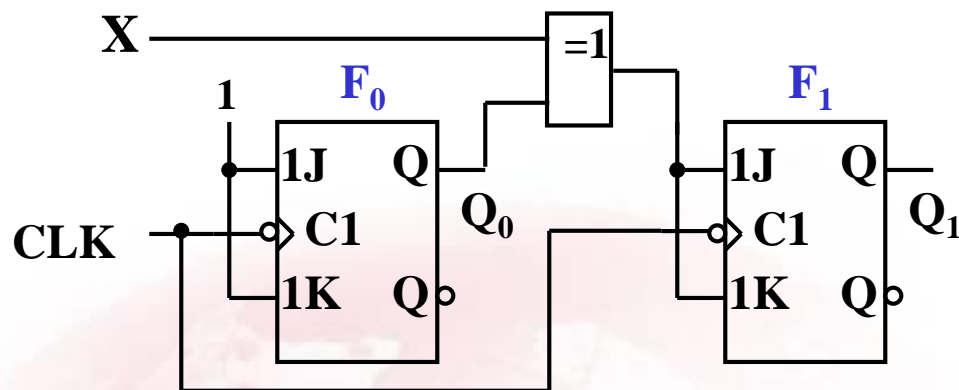
$Q_0^{n+1}$

$$\begin{aligned} Q_1^{n+1} &= \bar{Q}_1^n \bar{Q}_0^n X + \bar{Q}_1^n Q_0^n \bar{X} + Q_1^n Q_0^n X + Q_1^n \bar{Q}_0^n \bar{X} \\ &= (Q_0^n \oplus X) \bar{Q}_1^n + \overline{(Q_0^n \oplus X)} Q_1^n \end{aligned}$$

$$Q_0^{n+1} = \bar{Q}_0^n$$

可得:  $J_0 = K_0 = 1$

可得:  $J_1 = K_1 = Q_0 \oplus X$



逻辑图



例：试设计一个“**111**”序列检测器.要求：当连续输入**三个**或**三个以上**“**1**”时,输出为“**1**”,否则输出为“**0**”.

X: 0 1 1 0 1 1 1 0 1 1 1 1 0

Z: 0 0 0 0 0 0 1 0 0 0 1 1 0







解: (1) 建立原始状态表

$S_0$ : 输入0以后的状态;(即未收到一个“1”以前的状态)

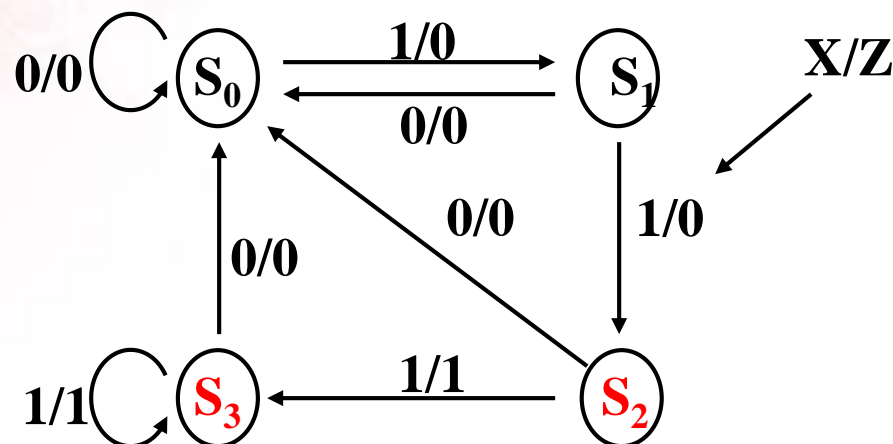
$S_1$ : 输入一个“1”以后的状态;

$S_2$ : 连续输入二个“1”以后的状态;

$S_3$ : 连续输入三个或三个以上“1”以后的状态

$\begin{matrix} \text{S} \\ \text{X} \end{matrix}$	0	1
$S_0$	$S_0/0$	$S_1/0$
$S_1$	$S_0/0$	$S_2/0$
$S_2$	$S_0/0$	$S_3/1$
$S_3$	$S_0/0$	$S_3/1$

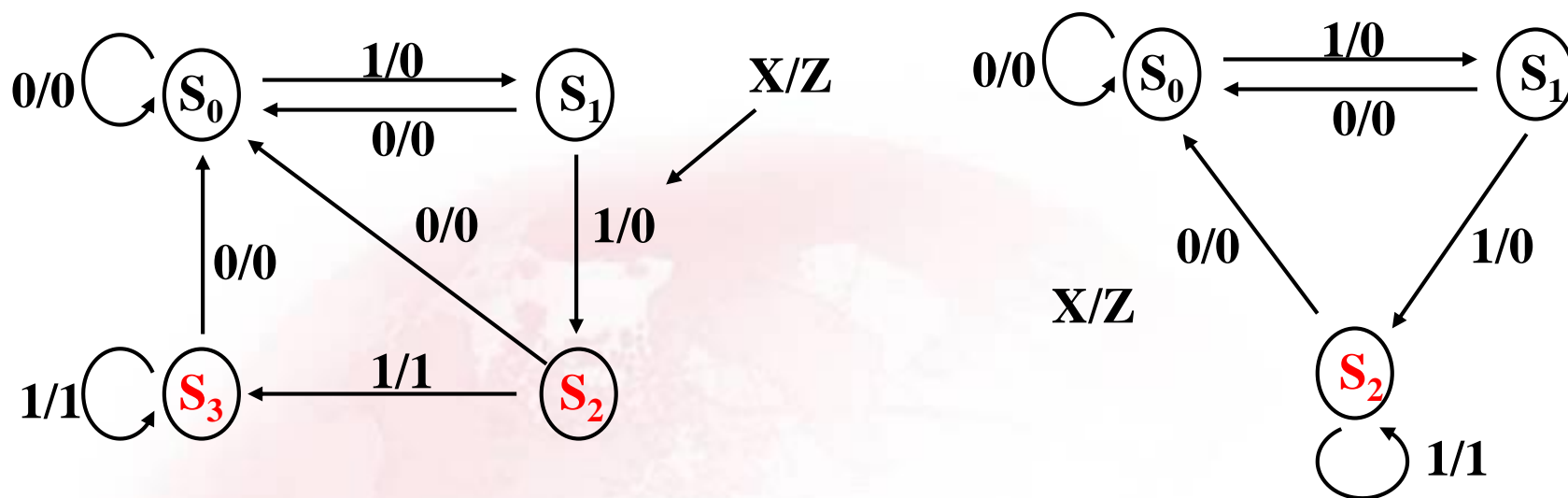
原始状态图







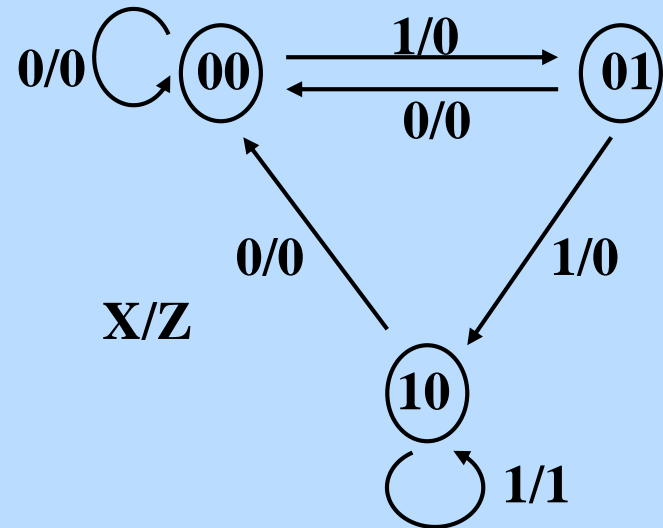
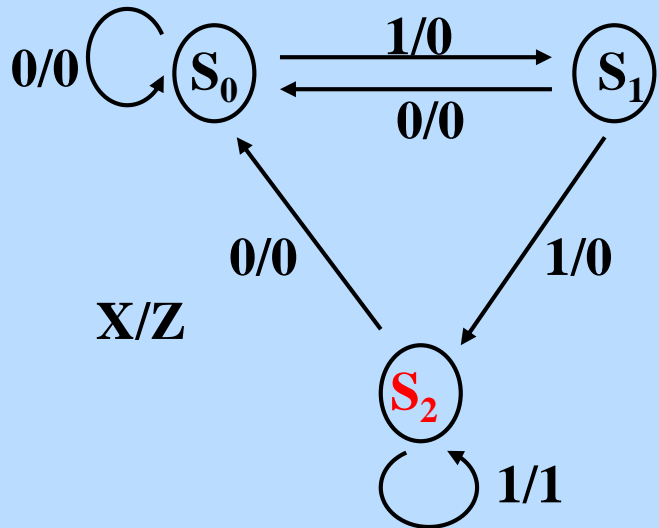
## (2) 状态化简



状态 $S_2$ 和 $S_3$ 在相同的输入下有相同的输出,而次态也相同,称 $S_2$ 和 $S_3$ 两个状态等价.等价状态仅需保留一个. 这里,去除 $S_3$ , 保留 $S_2$ , 可得简化状态图.

### (3) 状态编码

3个状态,需要2个触发器,每个状态用2位二进制编码.



$Q_1^n Q_0^n \backslash X$	0	1
00	00/0	01/0
01	00/0	10/0
11	××/×	××/×
10	00/0	10/1
$Q_1^{n+1} Q_0^{n+1} / Z$		



## (4) 选择触发器类型,求驱动方程和输出方程;

$Q_1^n Q_0^n \backslash X$	0	1
00	00/0	01/0
01	00/0	10/0
11	$\times/\times$	$\times/\times$
10	00/0	10/1

$$Q_1^{n+1} Q_0^{n+1} / Z$$

$Q_1^n Q_0^n \backslash X$	0	1
00	0	0
01	0	1
11	$\times$	$\times$
10	0	1

$$Q_1^{n+1} = X(Q_0^n + Q_1^n)$$

$Q_1^n Q_0^n \backslash X$	0	1
00	0	1
01	0	0
11	$\times$	$\times$
10	0	0

$$Q_0^{n+1} = X \bar{Q}_0^n \bar{Q}_1^n$$

$Q_1^n Q_0^n \backslash X$	0	1
00	0	0
01	0	0
11	$\times$	$\times$
10	0	1

$$Z = X Q_1^n$$

如选用D触发器,则求驱动方程:

$$D_1 = X(Q_0^n + Q_1^n)$$

$$D_0 = X \bar{Q}_0^n \bar{Q}_1^n$$

输出方程:  $Z = X Q_1^n$



## (5) 检查自启动特性

本例存在无效状态 $Q_1Q_0=11$ ,由上面卡诺图可见:

当 $Q_1Q_0=11$ 时,若 $X=0$ ,则 $D_1D_0=00$ ,次态为**00**;

当 $Q_1Q_0=11$ 时,若 $X=1$ ,则 $D_1D_0=10$ ,次态为**10**;

结论: **能自启动**.



## 完整状态图

