

南京理工大学课程考试试卷（学生考试用）

课程名称: 数字逻辑电路 学分: 3.5 大纲编号: 04026304

试卷编号: 2022 年上 A 考试方式: 闭卷 满分分值: 100 考试时间: 120 分钟

组卷日期: 2022 年 5 月 26 日 组卷教师(签字): 集体 审定人(签字): _____

学生班级: _____ 学生学号: _____ 学生姓名: _____

考生注意: 请把所有答案写在答题纸上, 试卷上写好姓名和答题纸一起上交。

一、填空题（每空 2 分, 共 12 分）

- 逻辑函数 $F(A,B,C,D)=\sum m(3,4,5,9,14)+\sum d(0,7,13,15)$ 的最简与或式为 $F(A,B,C,D)=$ ()。
- 已知某个门的 $V_{IH(min)}=3.6V$ 、 $V_{OH(min)}=4.4V$ 、 $V_{IL(max)}=1.2V$ 、 $V_{OL(max)}=0.3V$, 则该门电路输入为高电平时的噪声容限 $V_{NH}=($) V 。
- 如图 1 (a) 所示, 其中 7485 是四位数值比较器, 当输入 $X_3X_2X_1X_0$ 为 0101 时, 输出 $F=($)。

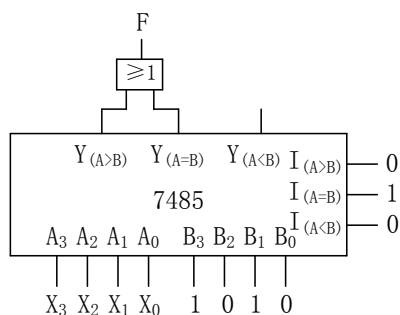


图 1 (a)

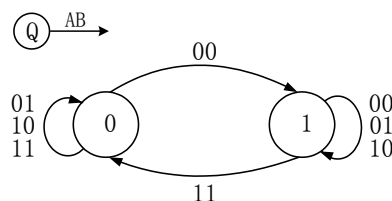


图 1 (b)

- 已知某存储单元电路的状态转换图如图 1 (b) 所示 (A、B 为驱动信号), 则该电路的状态方程的最简与或表达式为 $Q^{n+1}=($)。
- 具有 10 位地址码可同时存取 4 位数据的 RAM 集成芯片, 若用该芯片扩展成 $4k \times 8$ 位的存储器, 至少需要 () 片这样的 RAM 集成芯片。
- 一个 8 位的单极性 D/A 转换器的输入二进制码为 01100100 时产生 2.0V 的输出电压, 则当输入二进制码为 11110101 时输出电压为 () V。

二、判断题（每题 2 分, 共 12 分）（叙述正确的题目填√, 叙述错误的题目填×）

- m_i 和 m_j 是三变量 A、B、C 的两个不同最小项, 则有 $m_i \cdot m_j = 1$ 。 ()
- 集电极开路门 (OC) 在使用时须在电源与输出端之间接一电阻。 ()
- 实现一个输入脉冲信号的频率为 1000Hz, 输出信号的频率为 10Hz 的分频器, 则至少需要 7 个触发器。 ()
- 若将一个正弦波电压信号转换成同一频率的矩形波, 应采用单稳态触发电路。 ()
- 某存储器的存储容量为 $2^8 \times 8$ 位, 该存储器有 8 根地址线、8 根数据线。 ()
- 位数相同的 A/D 转换器, 具有相同的转换误差。 ()

三、（共 12 分）按要求完成以下组合逻辑电路的分析和设计。

1. 分析图 3（a）所示组合逻辑电路，写出逻辑函数 $F_1(A, B, C)$ 和 $F_2(A, B, C)$ 的最小项之和的表达式；（要求写成 $\sum m_i$ 的形式）
2. 用图 3（b）所示的 4 选 1 数据选择器 MUX 和少量门实现逻辑函数：

$$F(A, B, C, D) = \sum m(0, 2, 3, 5, 6, 7, 8, 9) + \sum d(10, 11, 14, 15)$$

要求选用 A、B 作为数据选择器的高、低位地址码，写出设计过程，画出电路图。

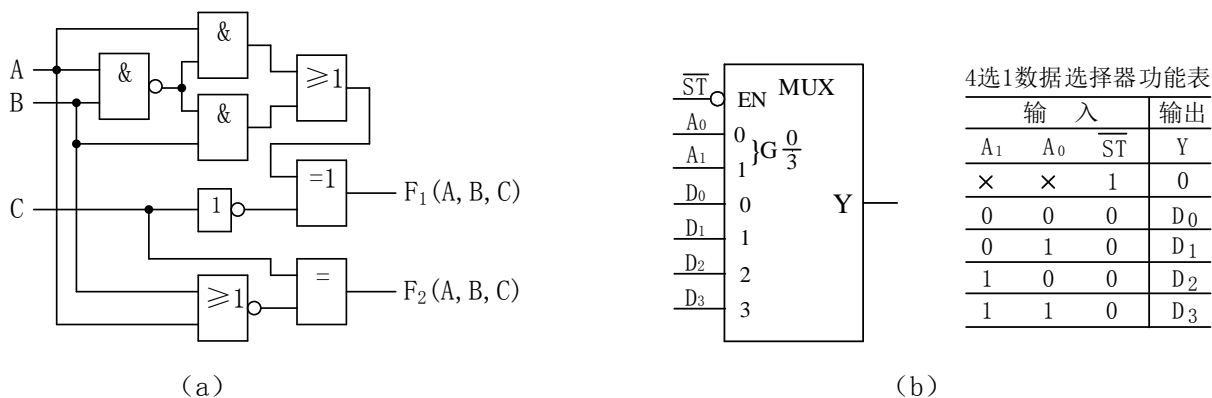


图 3

四、（共 12 分）按要求完成以下组合逻辑电路的分析和设计。

1. 分析图 4 所示电路，列出逻辑函数 $X(A, B, C)$ 、 $Y(A, B, C)$ 的真值表；
2. 若电路输入为二进制码 $D_2D_1D_0$ ，输出为格雷码 $R_2R_1R_0$ ，即有 $R_2(D_2, D_1, D_0) = D_2$ 、 $R_1(D_2, D_1, D_0) = D_2 \oplus D_1$ 、 $R_0(D_2, D_1, D_0) = D_1 \oplus D_0$ ，用一片 3 线—8 线译码器 74138 和少量与非门设计实现该电路，写出设计过程，画出电路图。

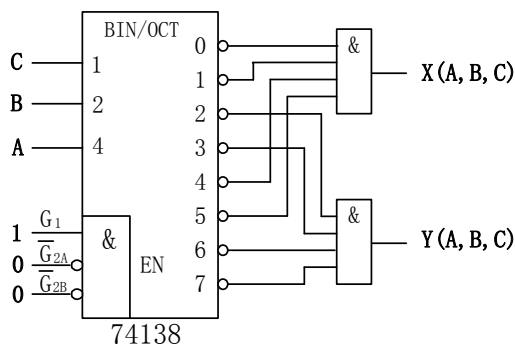


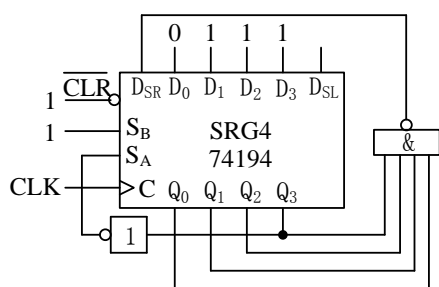
图 4

五、（共 16 分）图 5 是由 JK 触发器所构成的同步时序逻辑电路，分析电路并完成：

1. 写出各触发器的驱动方程；
2. 写出各触发器的状态方程；
3. 列出状态表；（要求按 $Q_2Q_1Q_0$ 的顺序列表）
4. 画出状态图。（要求按 $Q_2Q_1Q_0 \rightarrow$ 的格式画图）

八、（共 12 分）

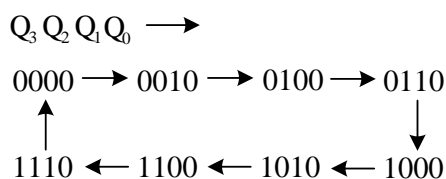
1. 分析图 8(a) 所示电路，画出该电路工作的**完整状态转换图**，说明该电路能否自启动；（要求画成 $Q_0Q_1Q_2Q_3 \rightarrow$ 的形式，移位寄存器 74194 的功能表如图 8（b）所示）
2. 在不允许使用其它器件的条件下，仅用一片移位寄存器 74194 和一片二进制加法器 7483，使电路符合如图 8（c）所示的**有效循环状态转换图**要求（不考虑自启动）。写出设计过程，画出设计电路图。（二进制加法器 7483 的逻辑符号如图 8（d）所示，其中 $A_3A_2A_1A_0$ 是一组加数， $B_3B_2B_1B_0$ 是另一组加数，CI 为进位信号输入端， $S_3S_2S_1S_0$ 为和，CO 为向高位的进位信号）
3. 仅增加一个非门，使第 2 问的电路能够自启动，试问该非门的输入端应接入哪个信号？输出端应接至哪个信号？



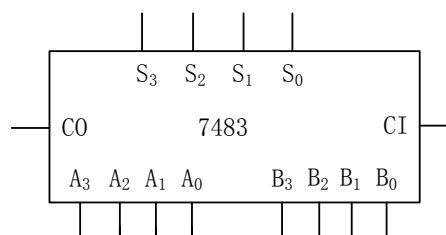
(a)

74194功能表				
CLK	$\overline{\text{CLR}}$	S_A	S_B	功能
x	0	x	x	异步清零
↑	1	0	0	保持
↑	1	0	1	右移
↑	1	1	0	左移
↑	1	1	1	并行置数

(b)



(c)



(d)

图 8