



第7章 半导体存储器和可编程逻辑器件

- 小规模集成电路 (SSI—Small Scale Integration) ,
10~100 个晶体管/片。
- 中规模集成电路 (MSI—Medium Scale Integration) ,
100~1,000个晶体管/片。
- 大规模集成电路 (LSI—Large Scale Integration)
1,000~10,000晶体管/片。
- 超大规模集成电路 (VLSI—Very Large Scale Integration)
10,000~100,000晶体管/片。
- ULSI—Ultra Large Scale Integration
10万~ 1000万晶体管/片。
- GLSI—Giga Large Scale Integration
1000万~晶体管/片。





7.1 概述

1. 大规模集成电路分类

(1) 半导体存储器

用于存放二进制信息，每一个存储单元由唯一的地 址代码加以区分，并能存储一位或多位二进制信息。

(2) 可编程逻辑器件 (Programmable Logic Device , PLD)

是一种可以由用户定义和设置逻辑功能的器件。

特点：结构灵活、集成度高、处理速度快、可靠性高

(3) 微处理器

通用的微处理机芯片,用做CPU，多用于实时处理系统。



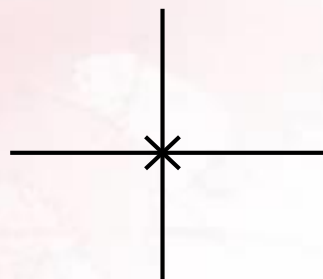


2. 可编程逻辑器件的表示方法

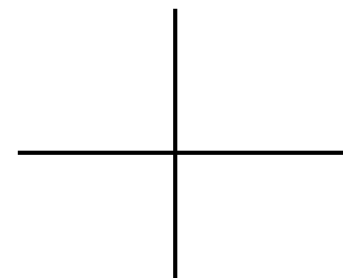
(1) PLD 器件的连接表示法



固定连接



可编程连接

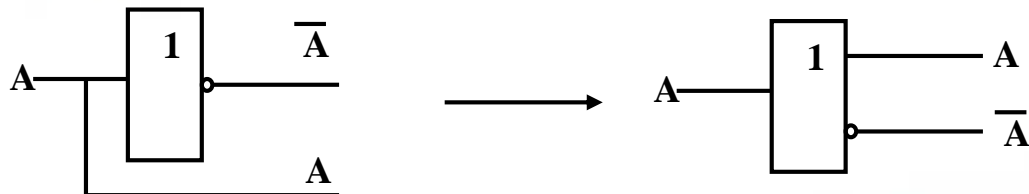


不连接





(2) PLD器件中门电路表示法



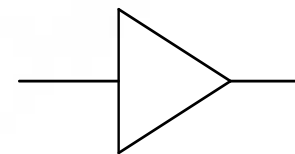
输入缓冲器



与门



或门

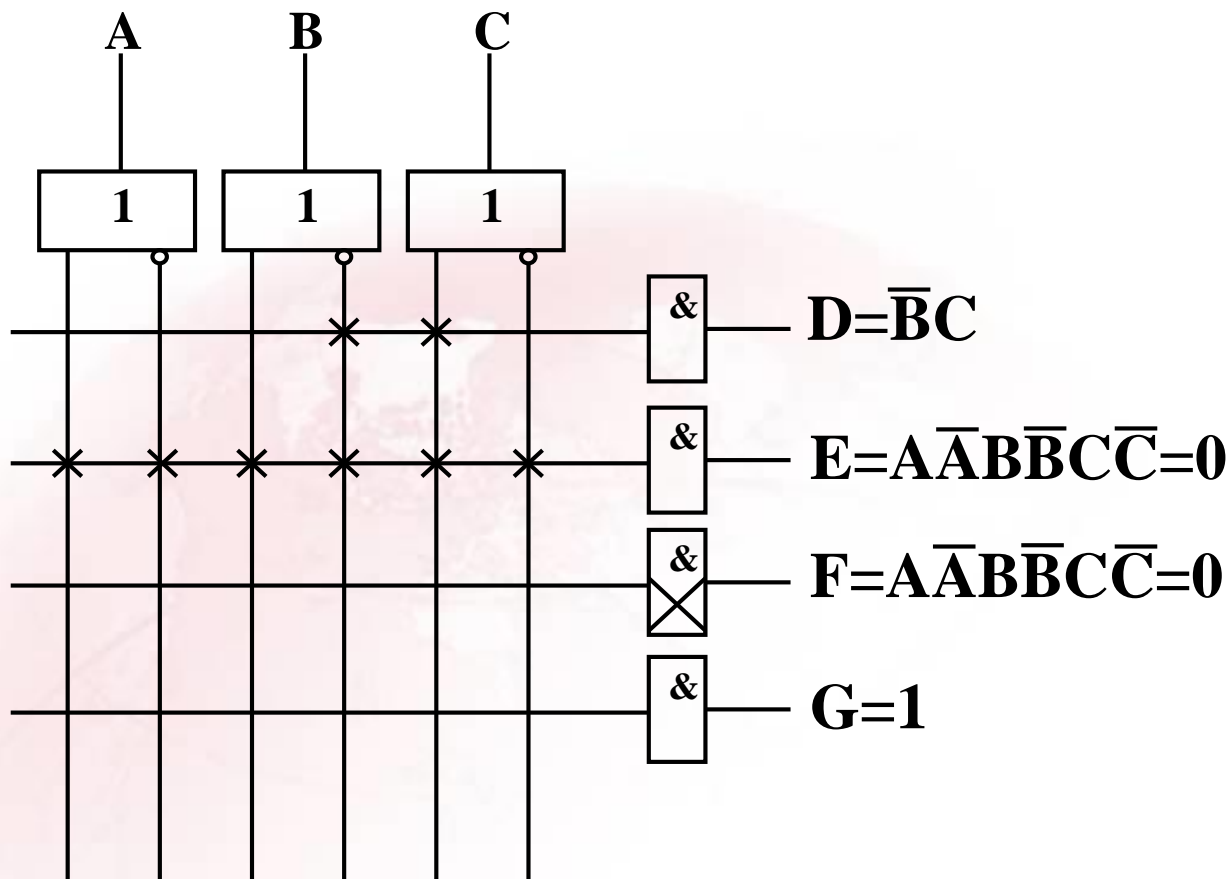


缓冲器





(3) 阵列图





7.2 半导体存储器

7.2.1 半导体存储器概述

是用半导体器件来存储二值信息的大规模集成电路。

优点:集成度高、功耗小、可靠性高、价格低、体积小、外围电路简单、便于自动化批量生产等。





1. 半导体存储器的分类

(1) 按存取方式分类

只读存储器 (Read Only Memory, ROM)

存放固定信息,只能读出信息,不能写入信息.
当电源切断时,信息依然保留.

随机存取存储器 (Random Access Memory, RAM)

可以随时从任一指定地址读出数据,也可以随时把数据
写入任何指定的存储单元; 断电后数据消失。

(2) 按制造工艺分类

双极型半导体 速度快、功耗大、价格高 (高速缓冲存储器)

MOS型半导体 集成度高、功耗小、价格低 (大容量存储器)





2. 半导体存储器的主要技术指标

(1) 存储容量

指存储器所能存放的二进制信息的总量

(2) 存取时间

一般用**读（或写）周期**来描述，连续两次读（或写）操作的最短时间间隔称为读（或写）周期。





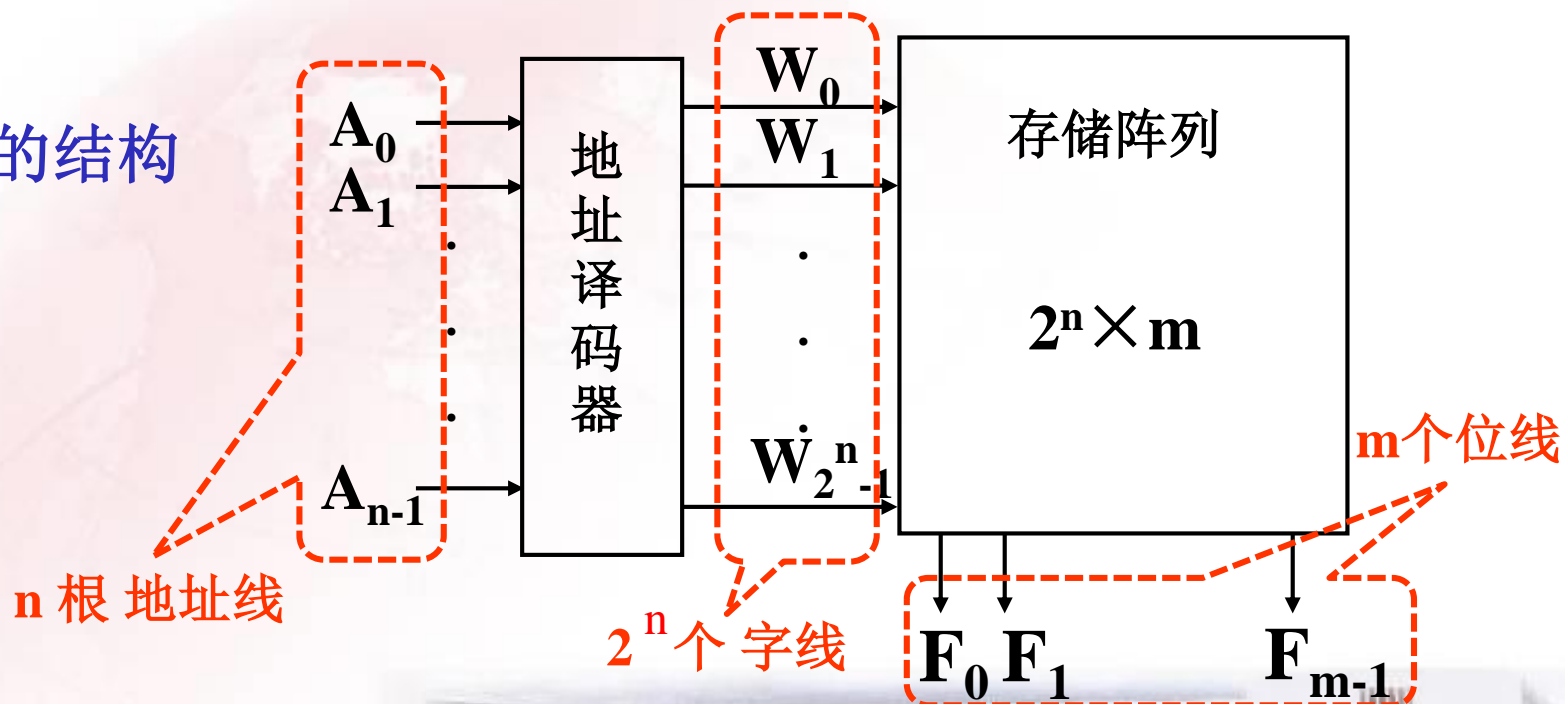
7.2.2 只读存储器(ROM)

按数据的写入方式分类

- 固定 ROM
- 可编程 ROM

1. 固定 ROM

(1) ROM的结构





- 1) 地址译码器为二进制译码器,即全译码结构.(地址线为 n 根,译码器输出为 2^n 根**字线**,说明存储阵列中有 2^n 个**存储单元**)
- 2) 存储阵列输出有 m 根**位线**,说明每个**存储单元**有 m 位,即 一个字有 m 位二进制信息组成;每一位称为一个**基本存储单元**.
- 3) 存储器的容量定义为: 字数 \times 位数($2^n \times m$).





(2) 一个二极管ROM的例子

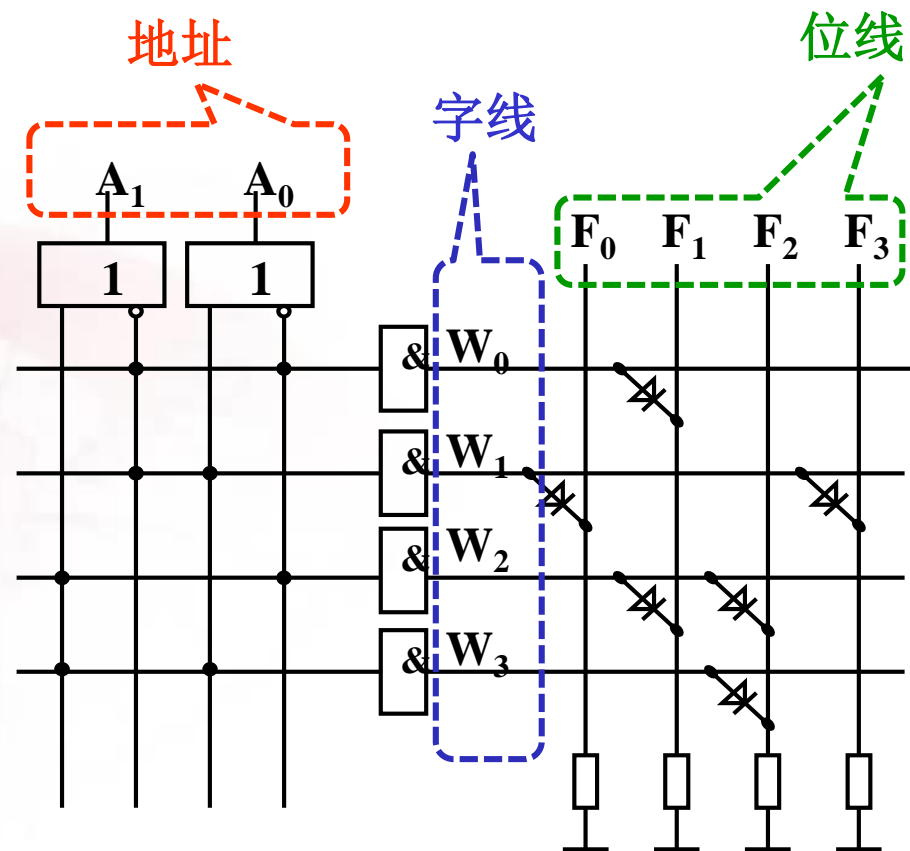
A_1	A_0	F_0	F_1	F_2	F_3
0	0	0	1	0	0
0	1	1	0	0	1
1	0	0	1	1	0
1	1	0	0	1	0

$A_1A_0=00$ 时, $W_0=1$, $F_0F_1F_2F_3=0100$;

$A_1A_0=01$ 时, $W_1=1$, $F_0F_1F_2F_3=1001$;

$A_1A_0=10$ 时, $W_2=1$, $F_0F_1F_2F_3=0110$;

$A_1A_0=11$ 时, $W_3=1$, $F_0F_1F_2F_3=0010$ 。





③ 将地址输入和 F_i 之间的关系填入真值表得：

地址		数据			
A_1	A_0	F_0	F_1	F_2	F_3
0	0	0	1	0	0
0	1	1	0	0	1
1	0	0	1	1	0
1	1	0	0	1	0

$$F_0 = \bar{A}_1 A_0$$

$$F_1 = \bar{A}_1 \bar{A}_0 + A_1 \bar{A}_0$$

$$F_2 = A_1 \bar{A}_0 + A_1 A_0$$

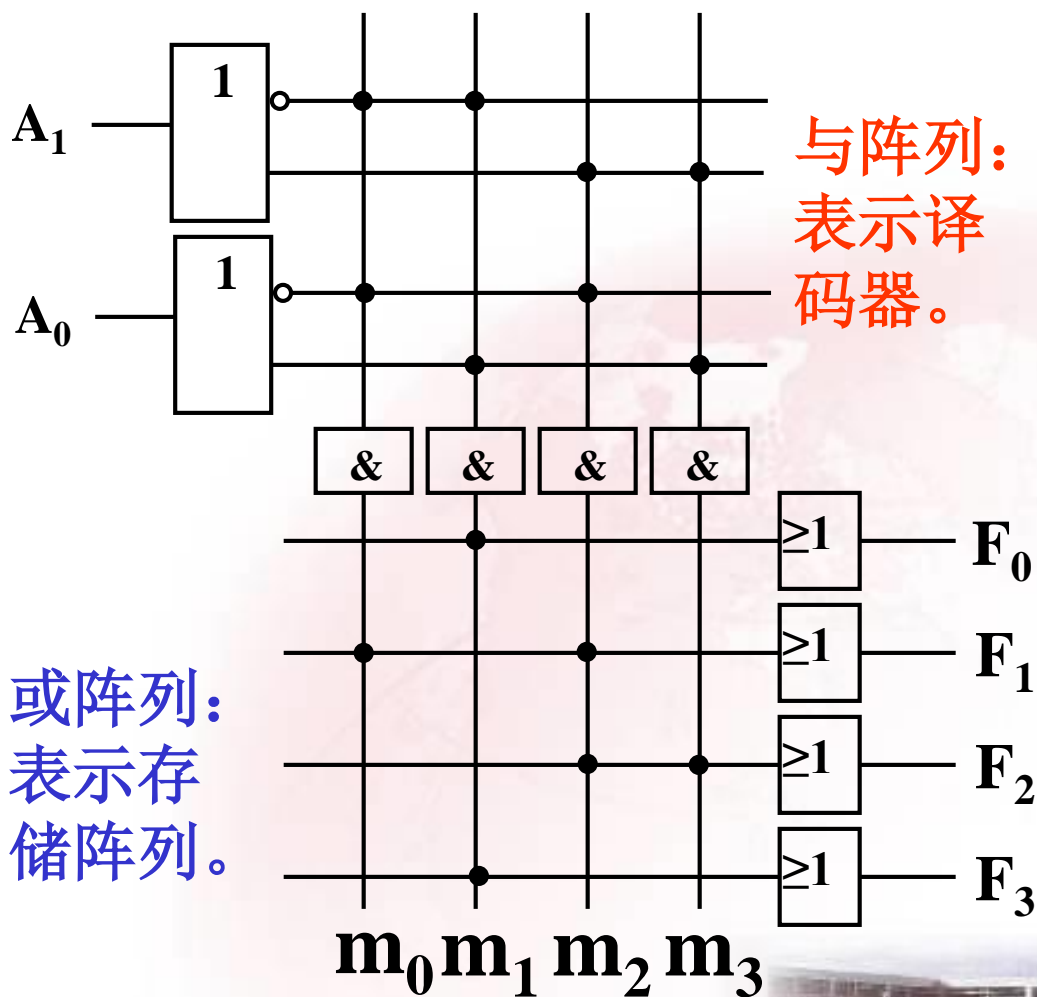
$$F_3 = \bar{A}_1 A_0$$

* ROM实际是一种组合电路结构。





④ 阵列图



地 址		数 据			
A_1	A_0	F_0	F_1	F_2	F_3
0	0	0	1	0	0
0	1	1	0	0	1
1	0	0	1	1	0
1	1	0	0	1	0

存储容量为：
 4×4





2.可编程ROM

用户可根据需要自行进行编程的存储器。

一次性可编程 ROM

(Programmable Read Only Memory, PROM)

光可擦除可编程ROM

(Erasable Programmable Read Only Memory, EPROM)

电可擦除可编程 ROM

(Electrical Erasable Programmable Read Only Memory, E²PROM)

快闪存储器 (Flash Memory)

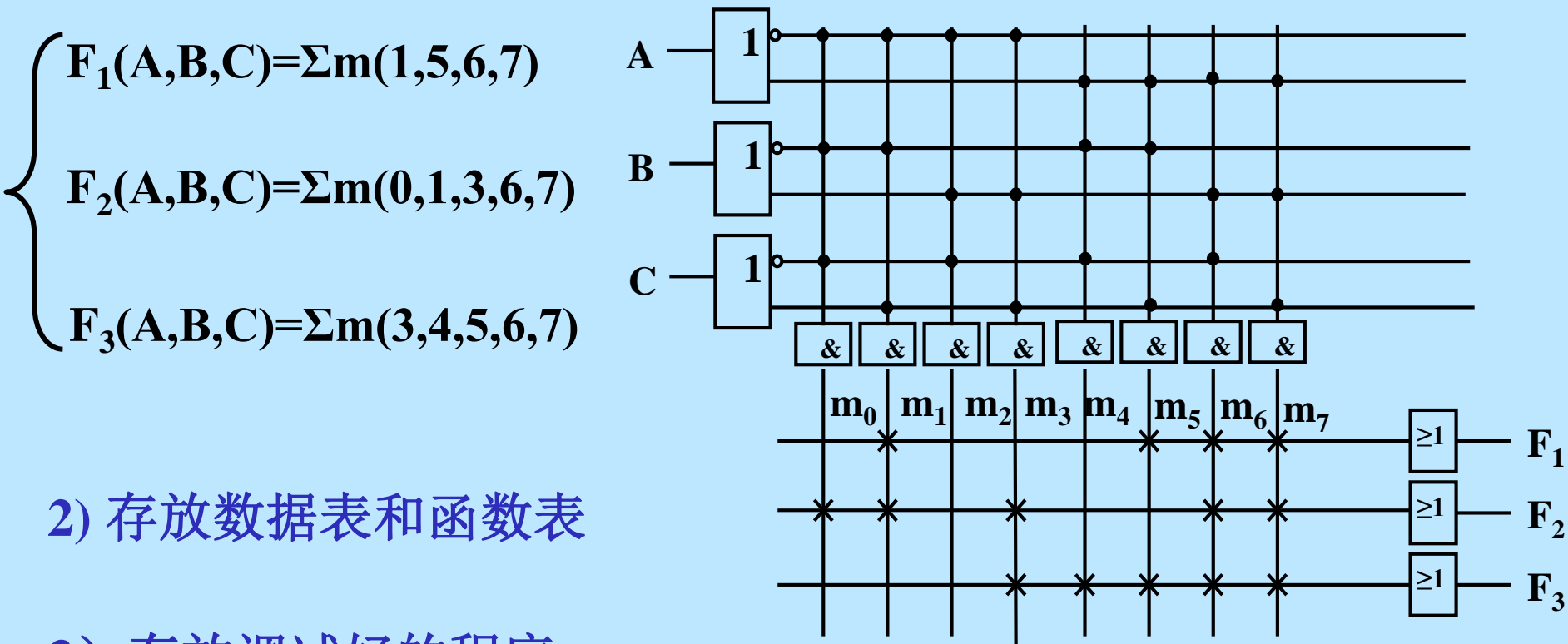


3.PROM的应用

1) 实现组合逻辑函数

利用PROM中的地址最小项,通过或阵列编程,达到设计目的.

例:用PROM实现逻辑函数:



2) 存放数据表和函数表

3) 存放调试好的程序



7.2.3 随机存取存储器(RAM)

可以随时从任一指定地址读出数据,也可以随时把数据写入任何指定的存储单元。

在计算机中主要用来存放程序及程序执行过程中产生的中间数据、运算结果等。

按制造工艺分类

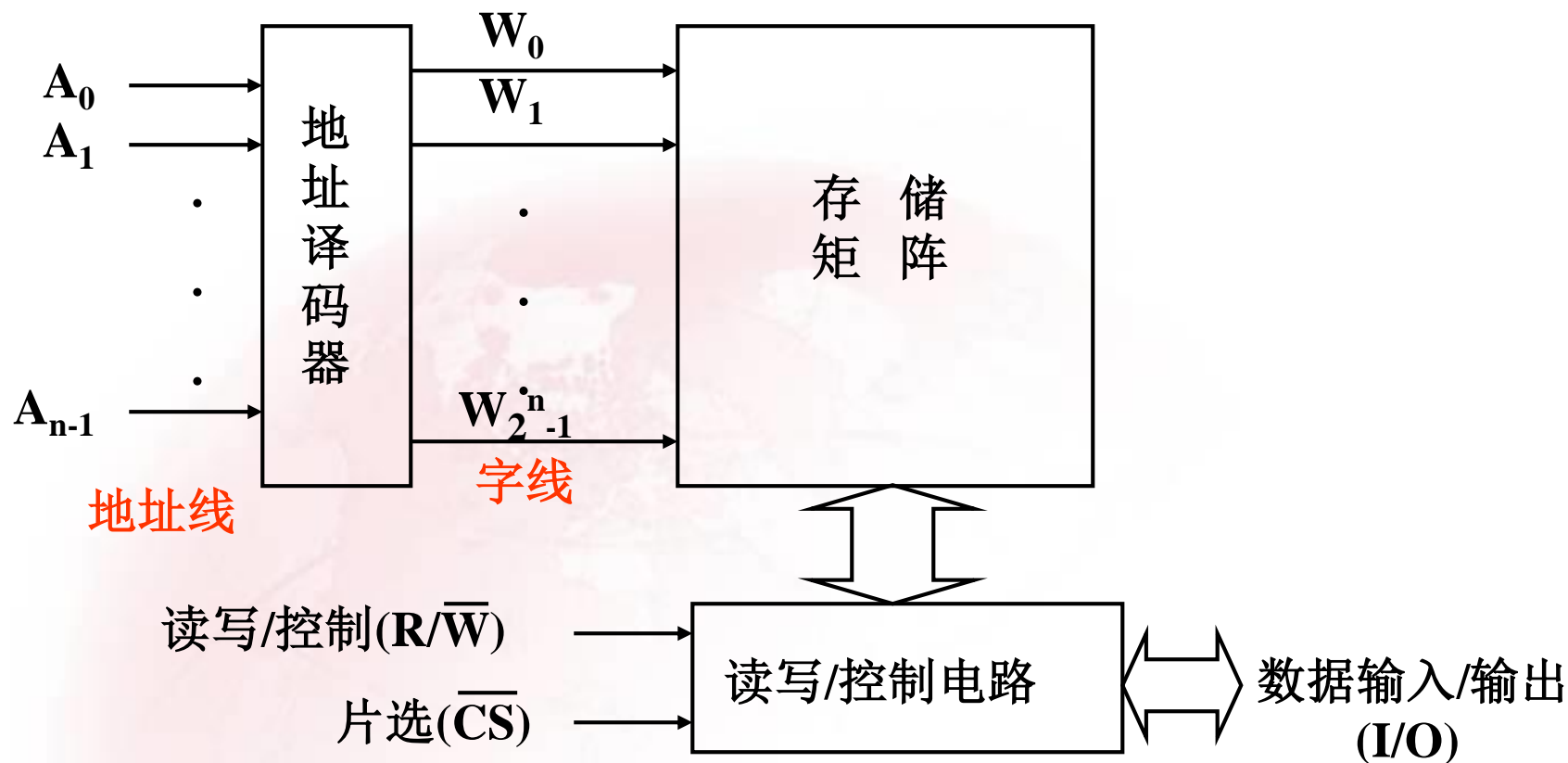
双极型： 速度快、功耗大

MOS型： 集成度高、功耗小





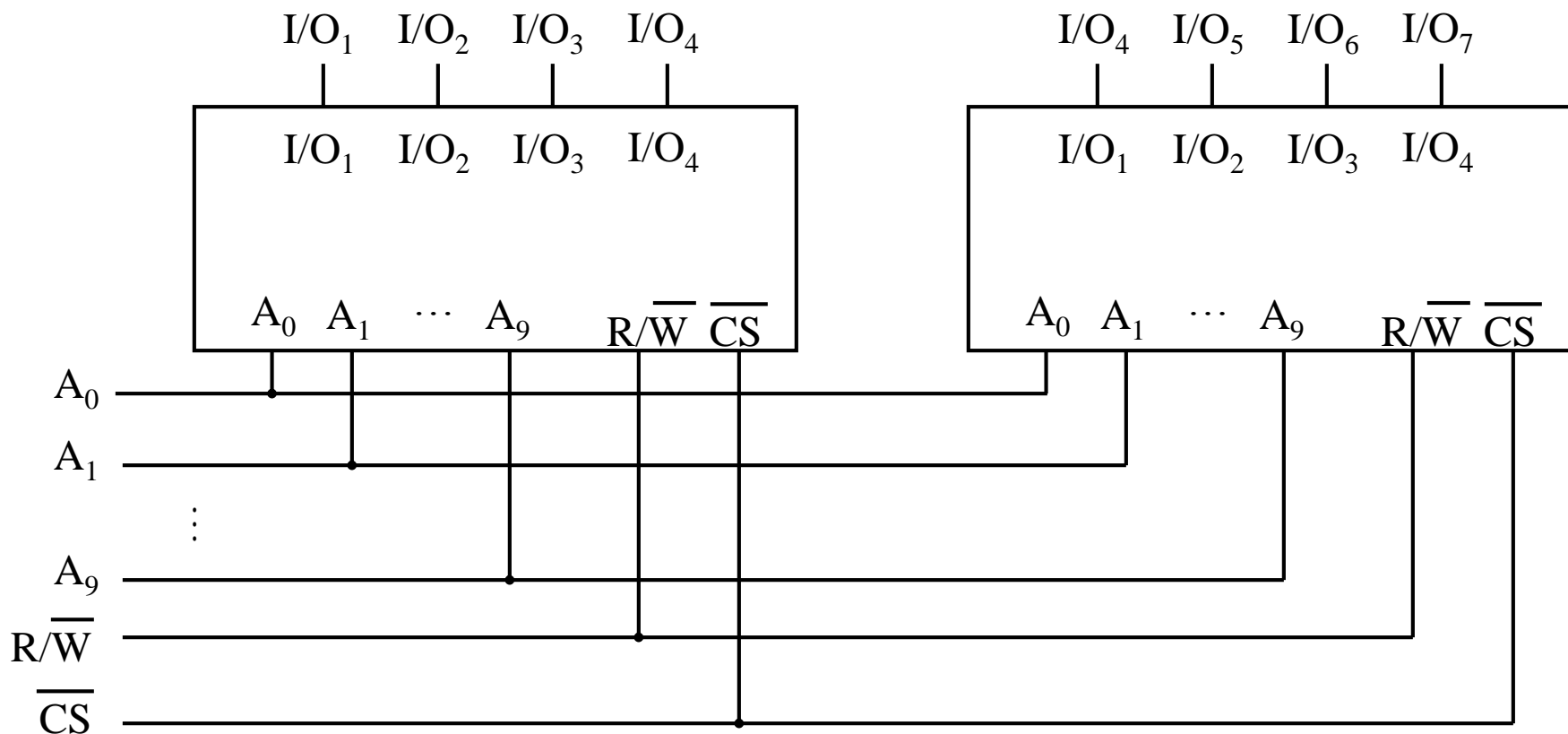
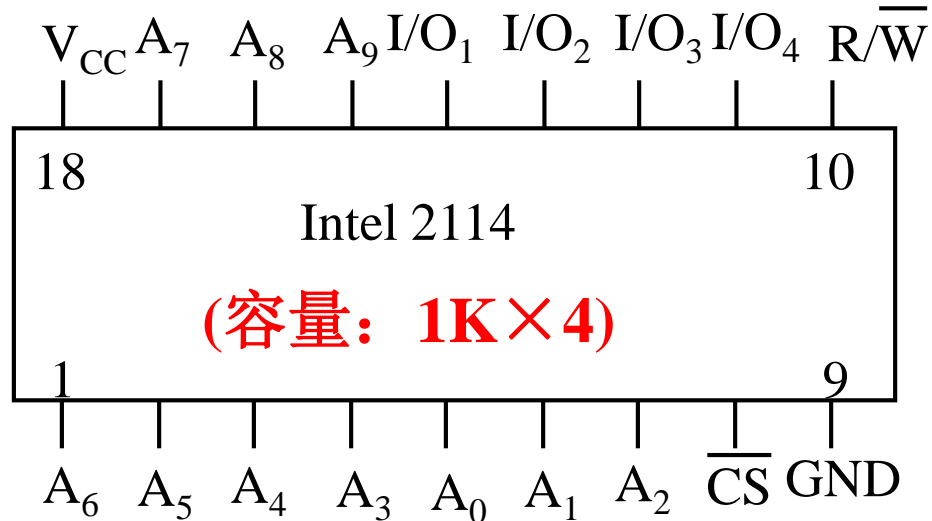
1. RAM的结构



3. RAM容量的扩展

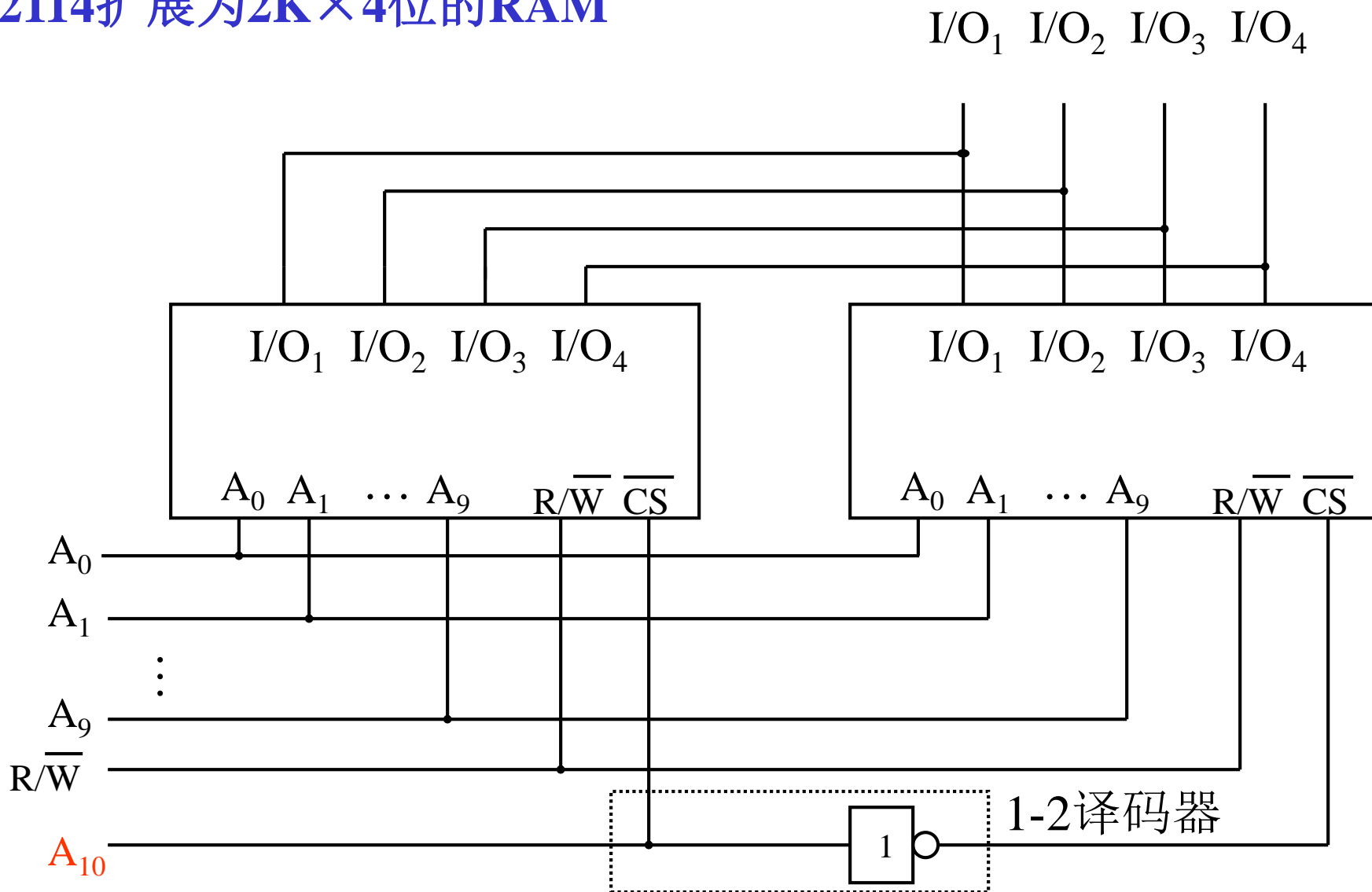
(1) RAM的位扩展

将2114扩展为 $1K \times 8$ 位的RAM



(2) RAM的字扩展

将2114扩展为2K×4位的RAM





7.3 可编程逻辑器件(PLD)

7.3.1 PLD概述

数字逻辑器件分类(按照逻辑功能的特点分)

通用型

通用性强，但逻辑功能较简单、且固定不变；
构成的系统功耗体积大、可靠性差；
中、小规模数字集成电路都属于通用型。

专用型

为某种专门用途而设计的集成电路；
成本较高、周期较长。

矛盾

→ PLD





PLD的特点

- 1) 作为通用型器件生产的，具有批量大、成本低的特点；
- 2) 逻辑功能可由用户通过对器件编程自行设定，且具有专用型器件构成数字系统**体积小、可靠性高**的优点；
- 3) 改变了传统数字系统采用通用型器件实现系统功能的设计方法；
- 4) 增强了设计的灵活性，减轻了电路图和电路板设计的工作量和难度，提高了工作效率；
- 5) **PLD**已在计算机硬件、工业控制、现代通信、智能仪表和家用电器等领域得到愈来愈广泛的应用。





1. PLD的分类

(1) 低密度PLD (SPLD)

每个芯片集成的逻辑门数大约在1000门以下

可编程只读存储器 (**PROM**)

可编程逻辑阵列 (**Programmable Logic Array**, 简称**PLA**)

可编程阵列逻辑 (**Programmable Array Logic**, 简称**PAL**)

通用阵列逻辑 (**Generic Array Logic**, 简称**GAL**)





(2) 高密度PLD

每个芯片集成的逻辑门数达数千门，甚至上万门，具有在系统可编程或现场可编程特性，可用于实现较大规模的逻辑电路。

可擦除的可编程逻辑器件

(Erasable Programmable Logic Array, 简称EPLD)

复杂的可编程逻辑器件

(Complex Programmable Logic Array, 简称CPLD)

现场可编程门阵列

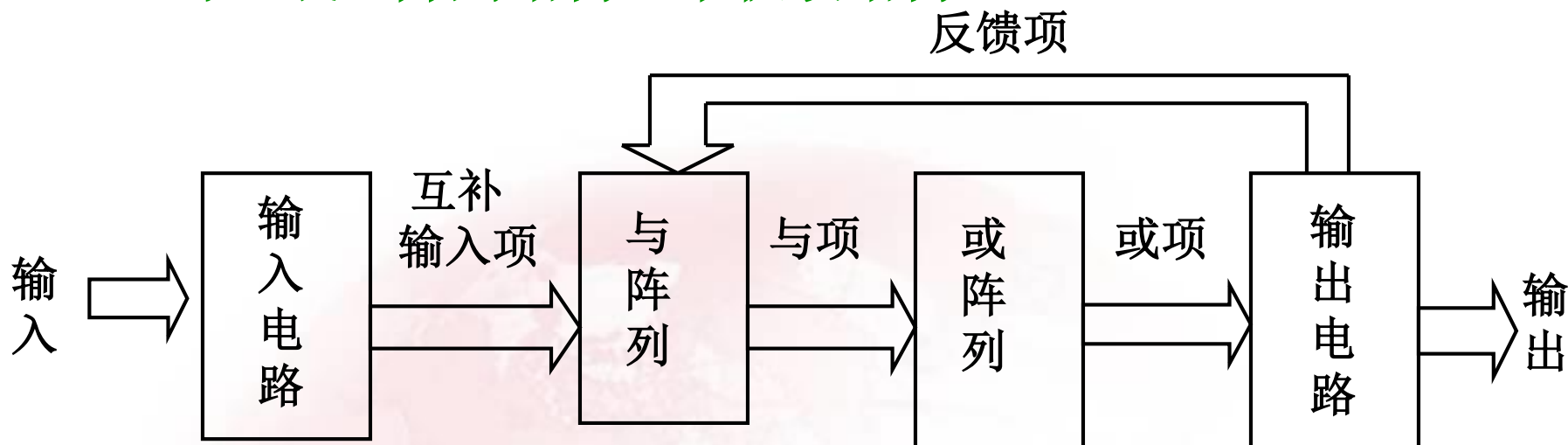
(Field Programmable Gate Array, 简称FPGA)





2. PLD的基本结构

(1) “与—或” 阵列结构（乘积项结构）



PLD与或阵列结构框图

(2) 查找表（Look-Up-Table,LUT）结构

用存储逻辑的存储单元来实现逻辑运算。

FPGA是属于此类器件。





根据与、或阵列的可编程性，PLD分为三种基本结构。

1) 与阵列固定，或阵列可编程型结构

PROM属于这种结构。 特点：与阵列规模大，速度较低。

2) 与、或阵列均可编程型结构

PLA(Programmable Logic Array)属于这种结构。

特点：速度快，设计逻辑函数可采用最简结构，芯片内部资源利用率高。但编程难度大，缺乏质高价廉的开发工具。

3) 或阵列固定，与阵列可编程型结构

PAL(Programmable Array Logic)属于这种结构。

特点：速度快，费用低，易于编程。





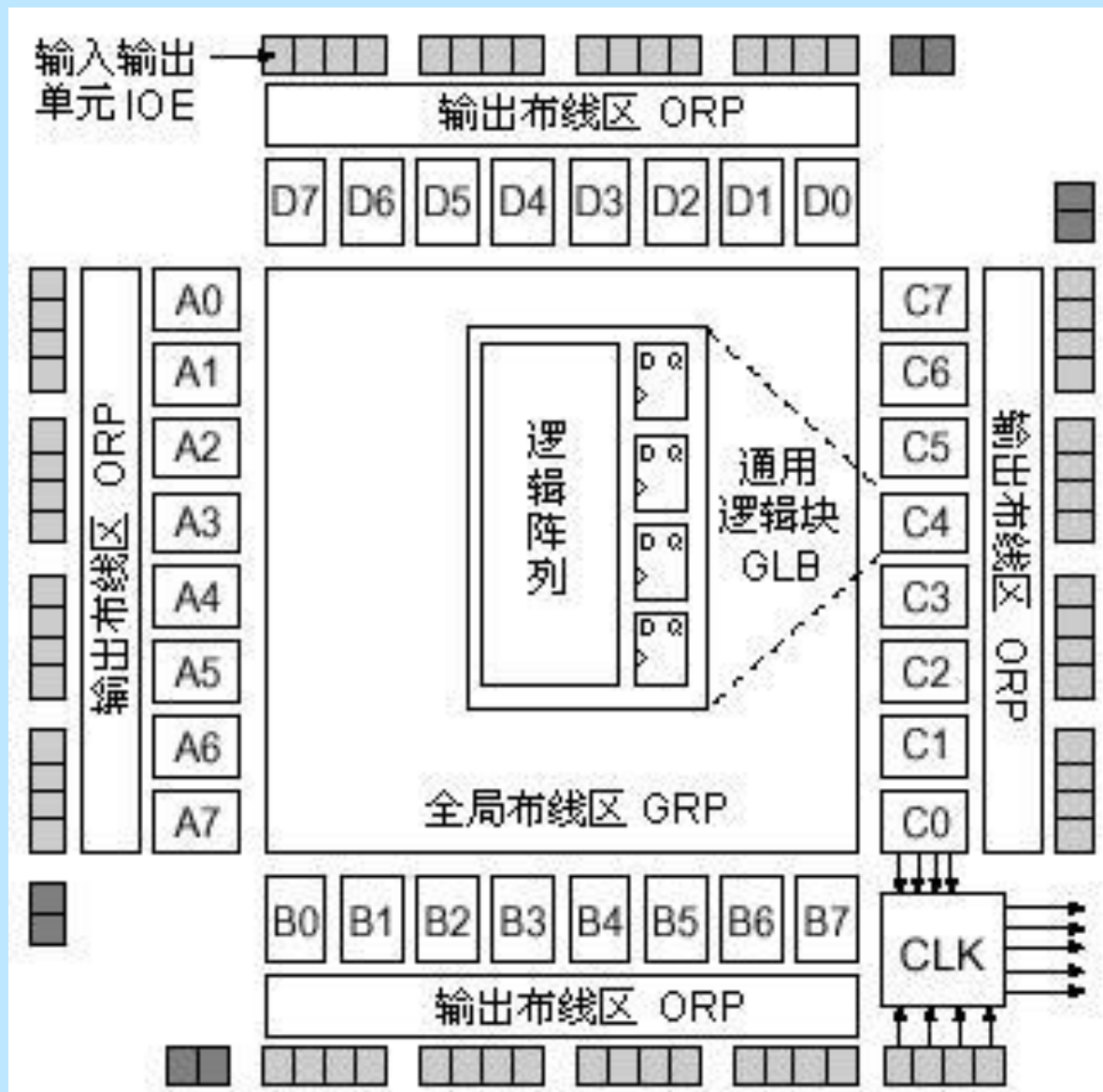
7.3.4 复杂的可编程逻辑器件（CPLD）

1. CPLD的基本结构

可编程的逻辑模块；
输入/输出模块；
可编程的内部连线阵列；

以Lattice公司生产的ispLSI1032为例介绍CPLD具体结构





全局布线区 (GRP)
通用逻辑模块 (GLB)
输入/输出单元 (IOE)
输出布线区 (ORP)
时钟分配网络 (CDN)

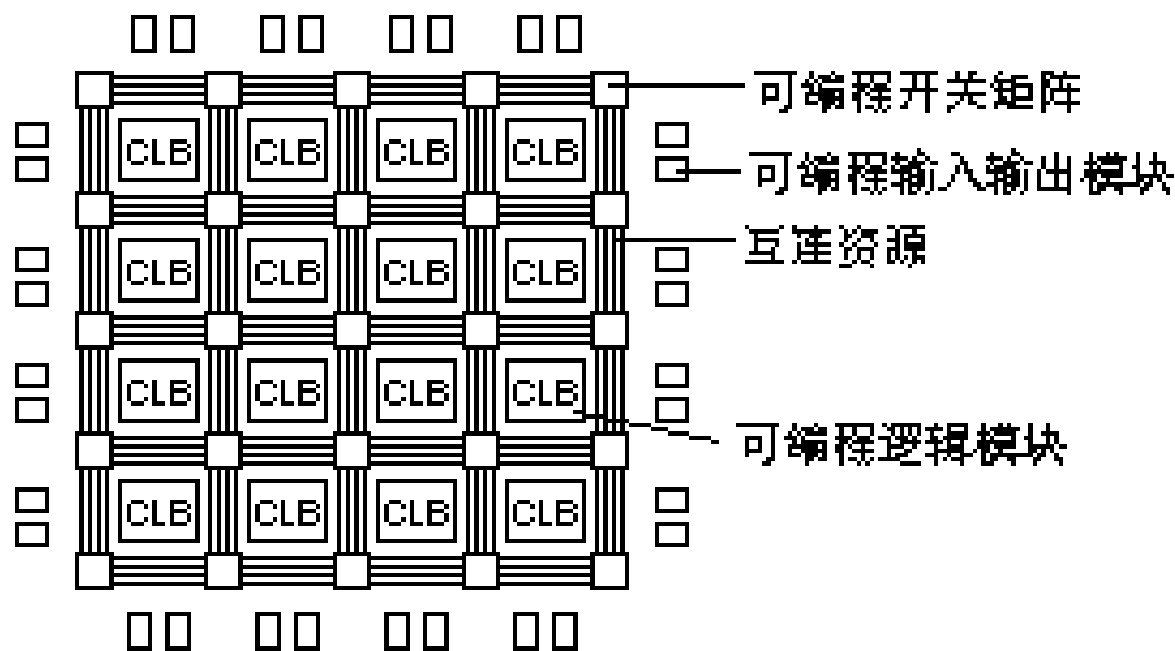
ispLSI1032器件结构



7.3.5 现场可编程门阵列（FPGA）

1. FPGA的基本结构

不同公司生产的FPGA结构和性能不尽相同，以Xilinx公司的XC4000系列为例介绍FPGA的基本结构和各模块功能。



XC4000系列FPGA基本结构

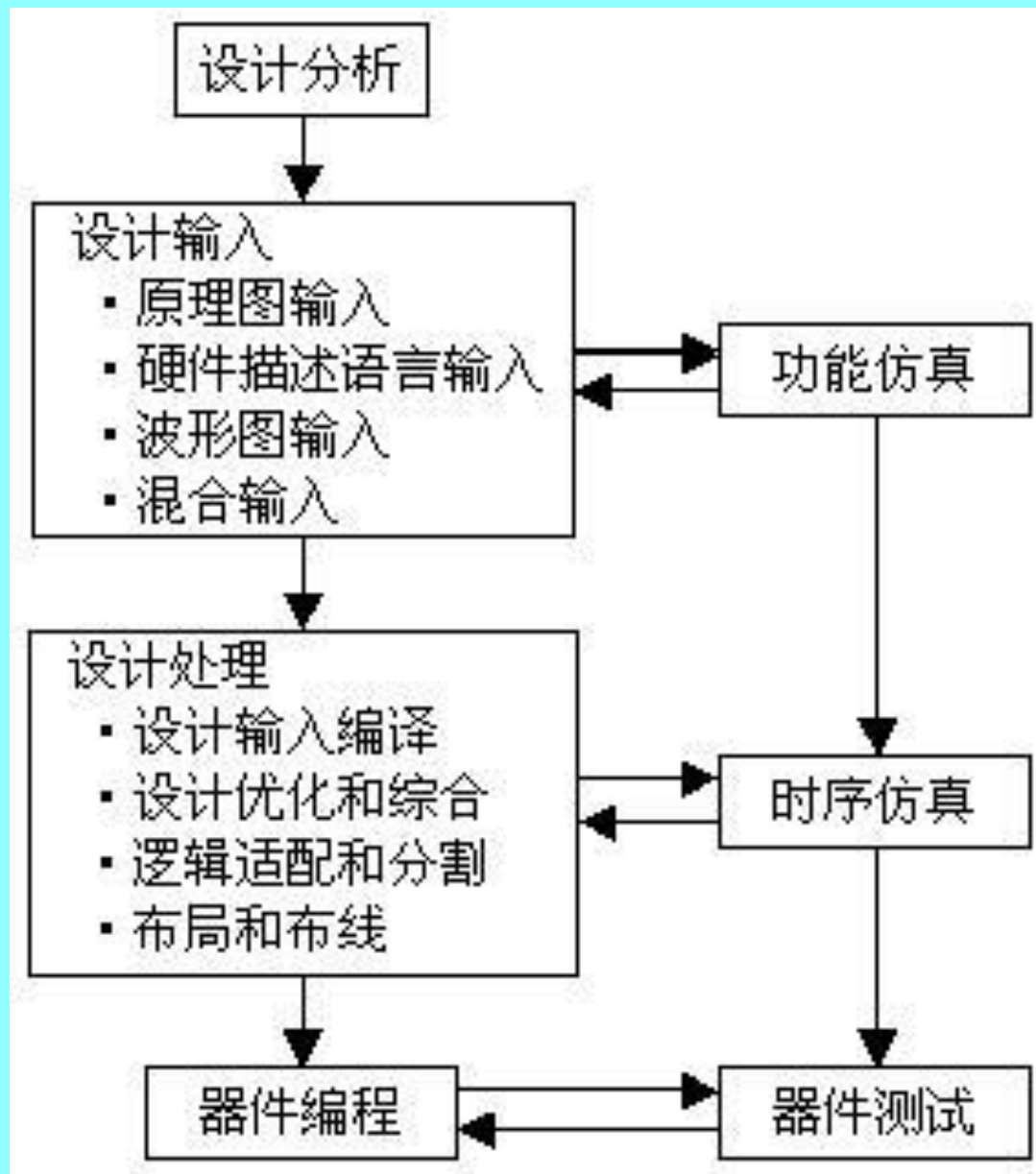




7.3.6 PLD的开发过程



使用VHDL
或Verilog
HDL硬件描
述语言来开
发
PLD/FPGA



PLD的设计流程图