



南京理工大学  
NANJING UNIVERSITY OF SCIENCE & TECHNOLOGY

# 自主发挥电路模块设计 设计报告

专    业： 通信工程

姓    名： 张悦熠

学    号： 9211040G0637

指导老师： 丁淑艳

2023    年    5    月    29    日

# 目录

一、实验目的 .....	3
二、额外功能 .....	3
三、电路原理及功能 .....	4
校分电路 .....	4
报时电路 .....	5
更多显示 .....	6
消颤电路 .....	6
电路级联汇总 .....	8
仿真问题及解决 .....	10
五、实验小结和心得 .....	13
六、附录 .....	14

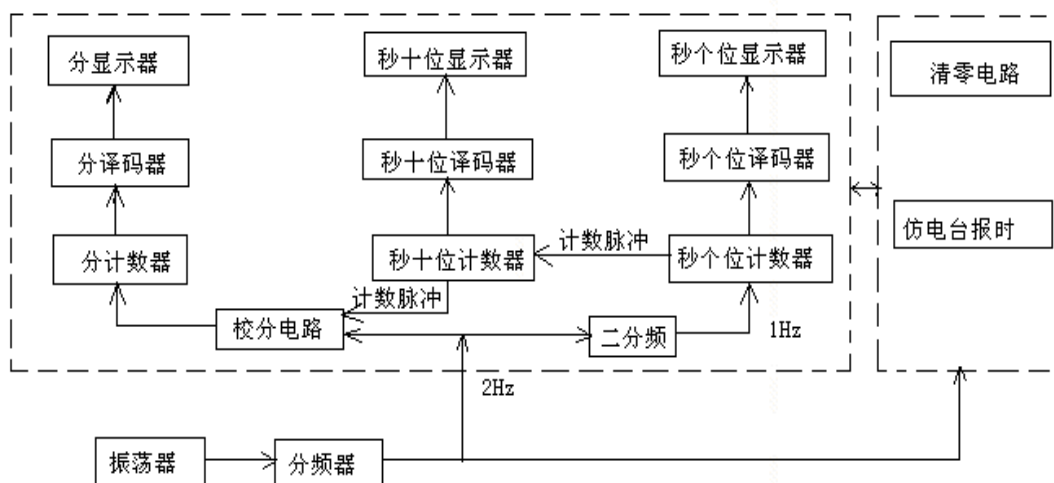
## 实验六 自主发挥电路模块设计

### 一、实验目的

1. 通过实验掌握十进制加法计数、译码、显示电路的工作过程。
2. 通过实验深入掌握电路的分频原理和数字信号的测量方法。
3. 熟悉集成电路构成的计数、译码、显示器件的外部功能及其使用方法。

### 二、额外功能

- 1、设计校分电路：在任何时候，拨动校分开关，可进行快速校分。（校分隔秒）
- 2、设计报时电路：使数字计时器从 9 分 53 秒开始报时，每隔一秒发一声，共发三声低音，一声高音；即 9 分 53 秒、9 分 55 秒、9 分 57 秒发低音（频率 1kHz），9 分 59 秒发高音（频率 2kHz）；
- 3、消颤电路：当按键按下，延时一会，越过信号不稳定的抖动时间，再次判断键盘是不是按下，也就是对抖动时，连续的进行判断，当按下的时间持续了指定的时间之后，再判断按下按钮。
- 5、更多显示：从 0：00~9：59 到 00：00~59：59，多增加一位的时间记录。
- 4、系统级联调试：将以上电路进行级联完成计时器的所有功能。





## 2. 报时电路

电路元件: 蜂鸣器 1 个, 四输入与门 74LS212 片, 二输入或门 74LS321 片, 5V 直流电源。

按照设计要求, 数字计时器应在 9 分 53 秒、9 分 55 秒、9 分 57 秒发低音 (频率 1KHz), 9 分 59 秒发高音 (频率 2KHz), 这里的 1KHz 的信号和 2KHz 的信号由 4060BD 分频器产生。

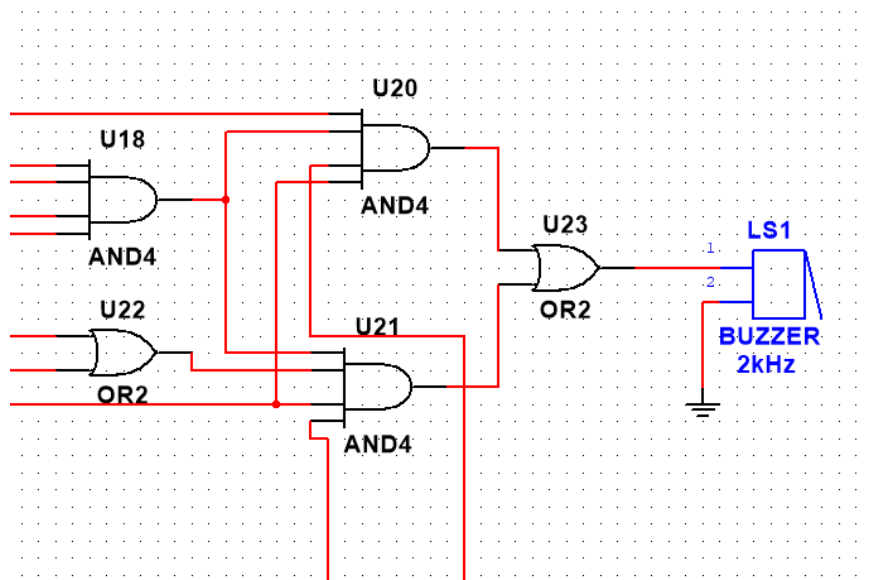


图 3.2 报时电路 multisim 仿真示意图

原理: 在这四个时刻都需要进行报时, 我们先将这四个时刻所对应的二进制码列举出来

时间 (DEC)	分位 (BIN)	秒十位 (BIN)	秒个位 (BIN)
9:53:00	1001	0101	0011
9:55:00	1001	0101	0101
9:57:00	1001	0101	0111
9:59:00	1001	0101	1001

可以看出, 首先需要满足为 9: 50~9: 59, 这里可以使用一个与门, 将个十和分进行与运算, 得到 9: 5x 的输出, 然后再获得 357s 的输出, 并且将与 1KHz 的时钟相与, 能够得到一个低音, 再将 9s 与 2KHz 相与, 能够得到一个高音, 设计图如下所示。

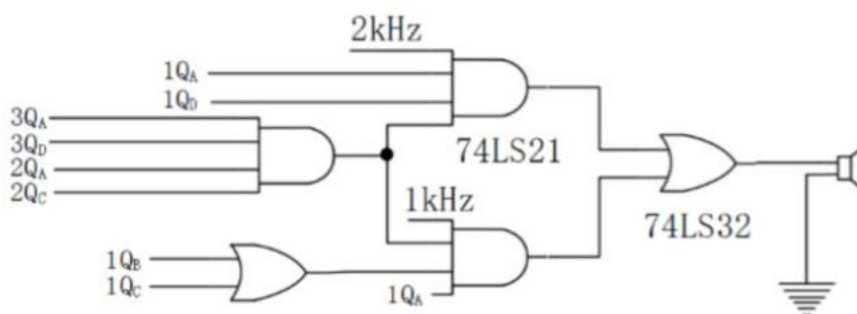


图 3.3 报时电路设计示意图

### 3. 更多显示:

我们可以通过前面的设计方法，同样的再增加一个位数，用于记录分的十位，同样的按照前面的方法，我们用一个与非门和一个或门，或门和清零线路连接到芯片的清零端，这样我们就能控制芯片的清零了。

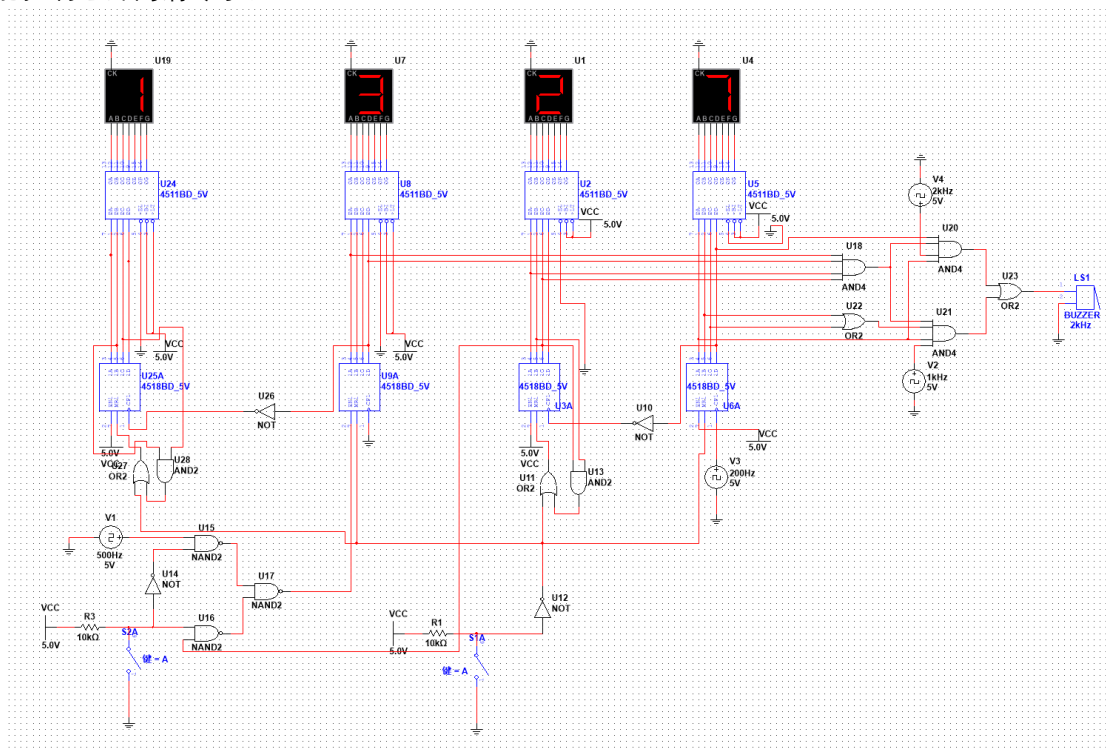


图 3.4 报时电路设计示意图

### 4. 消颤电路:

在这里使用了一种消颤电路来消除开关抖动和噪声信号，保证电路的稳定性和可靠性。消颤电路是一种数字电路，可以通过一些技术手段，去除信号中的抖动和噪声，提高电路的性能和稳定性。在数字电路设计中，合理使用消颤电路可以提高电路的可靠性和精度，实现更加精确和可靠的电路控制和信号处理功能。

对于一个基本的单元，使用了一个 RS 锁存器，用于实现对数据的存储和控制，RS 锁存器是一种基本的数字电路元件，可以实现对数据的存储和传输，是数字电路设计中比较常见的一种元件，RS 锁存器的原理是基于两个双稳态触发器（两个 NOR 门）构成的电路，其中一个双稳态触发器的输出被反馈到另一个双稳态触发器的输入端，形成一个闭环反馈电路，当输入信号发生变化时，闭环反馈电路会产生一个时序脉冲，将输入信号的数值存储到锁存器中，同时防止输入信号的抖动和噪声对输出信号的影响，保证输出信号的稳定性和可靠性。

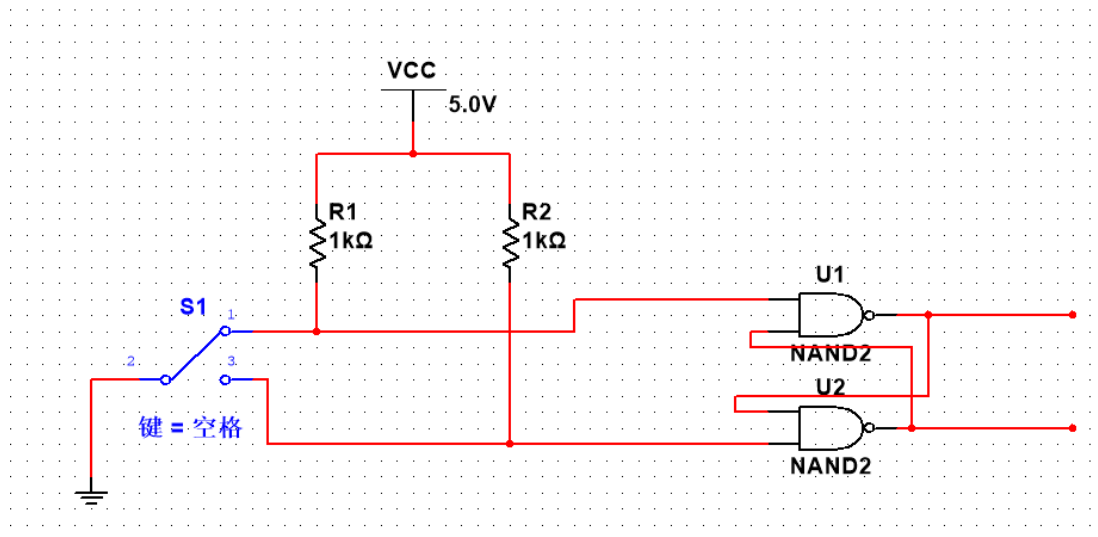


图 3.5 一个异步消颤单元设计示意图

我们还可以使用多个 D 触发器来进行消颤，原理为：D 触发器的信号传输需要时间，所以我们可以将多个 D 触发器串联，然后必须等到所有的 D 触发器都触发了之后，才能够得到一个“开”的信号，具体的设计示意图如下：

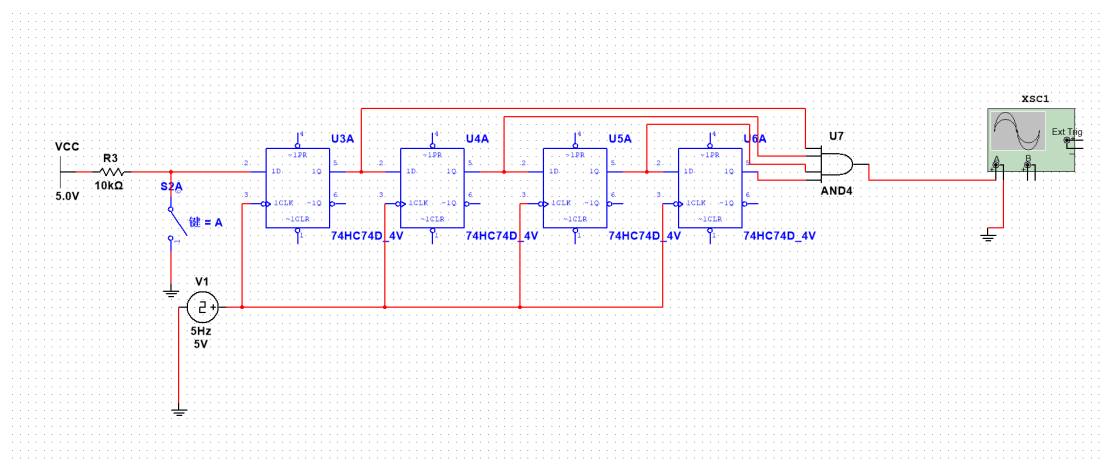


图 3.6 消颤电路设计示意图

我们还可以通过调整下面的方波发生器的频率来设置消颤电路的消颤时间，我们将消颤电路的输出连接到示波器上，通过观察可以发现，当我们设置频率为 5Hz 的时候，会有一个 600ms 的延时之后，才能从输出端得到一个 1 的信号，这里是一个同步的 D 触发器，和前面的 RS 锁存器实现的方式略有不同，但是可以发现，同步的方法更好用，更灵活，更加便于设置。

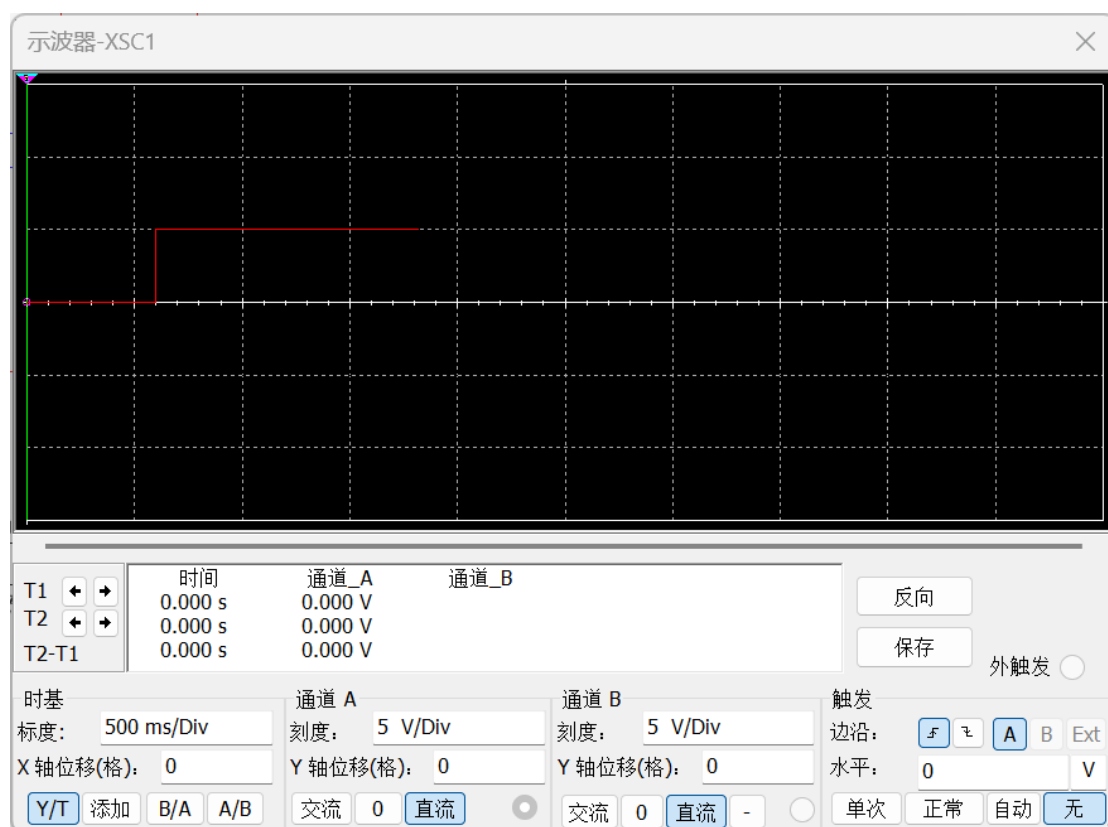


图 3.7 示波器输出图

## 5. 电路级联汇总：

基于上述电路工作原理以及电路主次体分析可知，该电路搭建顺序为：脉冲发生电路→秒个位计数及译码显示电路→秒十位计数及译码显示电路→分个位计数及译码显示电路→分个位计数及译码显示电路→校分电路→清零电路→消颤电路。搭建上述电路前，可按照电路结构框图进行整体布局，将各芯片在面包板上合理定位。电路搭建过程中，基于平行布线原则，在保证布线合理、正确的前提下，提高电路布局的美观性。根据电路设计要求，设计该数字计时器整体电路。

下面是电路连接示意图：



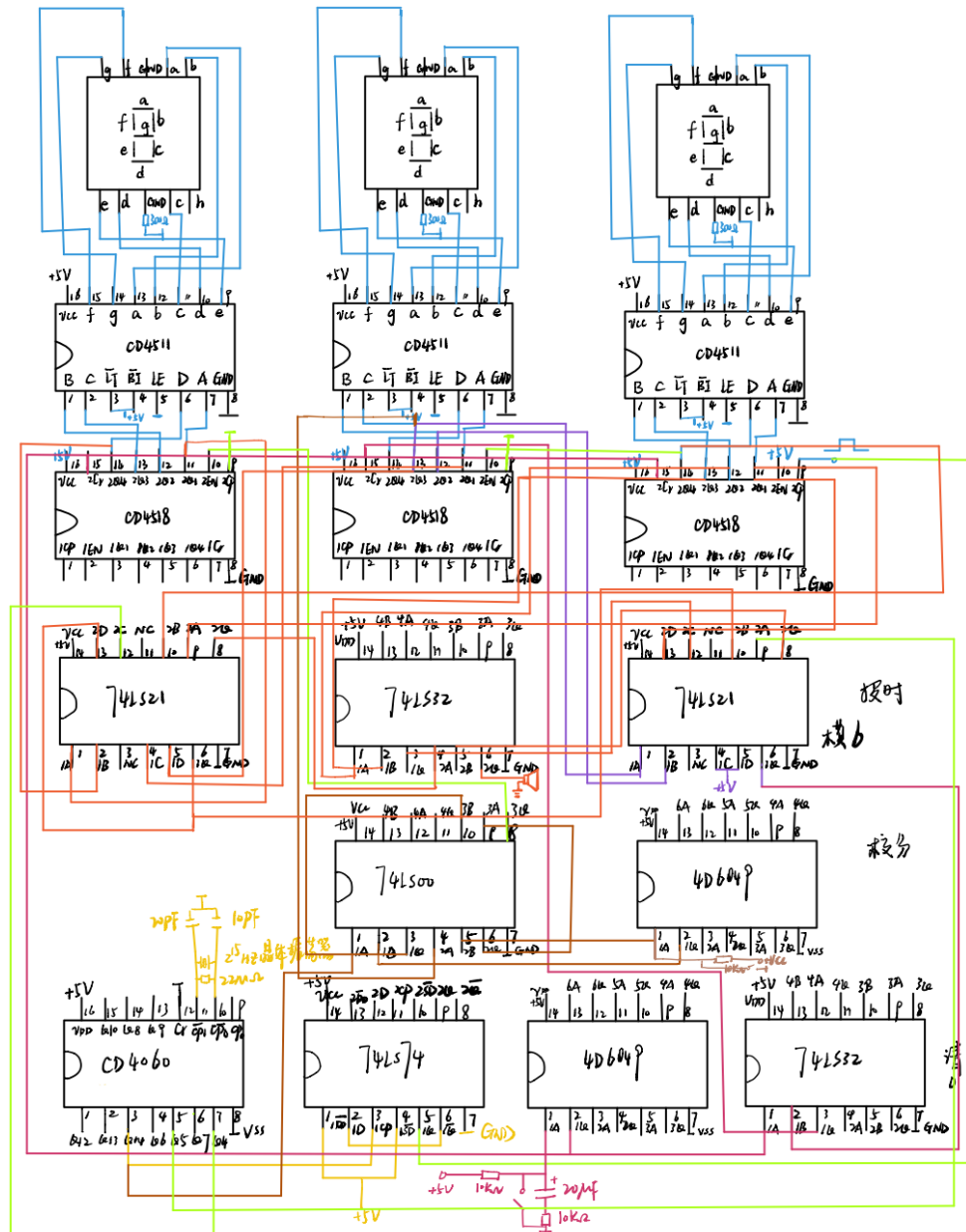


图 3.8 电路实际连接图

将所有的功能融合在一起的仿真图：

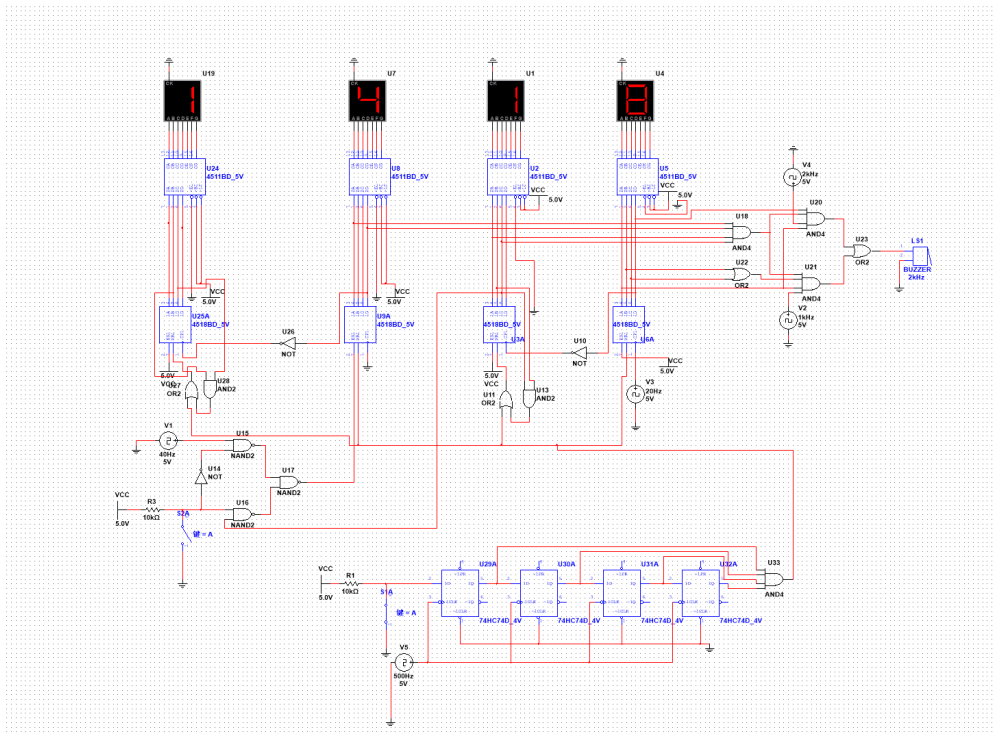


图 3.9 电路实际连接图

**仿真过程中遇到的问题及解决方案：**

**问题 1：** 在使用 multsim 进行仿真的时候，由于使用了晶振，会导致仿真的计算速度变慢，也就是现实中的一秒钟相当于仿真里面的几微秒，所以会很长时间看不到数字的变化，因此，我们可以将晶振这一部分的脉冲发生电路更改为信号源，从而直接获得方波。但是我们会发现 multsim 中的 1s 仍然不是现实中的 1s，我们可以在设置中调整：Simulation → Analyses and simulation → 设置 Maximum time step 和 initial time step（调大），然后仿真速度将会变快，如果还是没能达到很快的效果，那么将方波发生器调到 20Hz 左右。

**问题 2：** 仿真的时候会出现数字停在某一个位置不动的情况，检查后发现是开关处电容的问题，需要将电容给去掉，仿真才能够更好的进行。

## 五、实验小结和心得

在这学期的电子线路实验课中，我受益匪浅。通过实践，我不仅更加深入地理解了理论知识，而且还提高了我的动手能力。我认为，做好课前预习工作并理解电路原理是非常重要的。在每门学科中，预习工作都是至关重要的，特别是在实验课上。只有充分了解电路原理，才能获得充足的理论支持，才能更快更好的解决问题。

在预习过程中，我与同学讨论电路的搭建，理清逻辑关系，从脉冲电路到先完成，然后搭建最基本的计时电路，决定用三块 CD4518（替换一块四位二进制计数器 74LS161），然后将第二块 4518 的 Q3 引出，去搭建校分电路。再将三个 4518 的清 0 端引出做清 0 电路。最后把 4518 的输出拿出去做报时电路，一步接一步级联，最终实现所有的功能。

在搭建电路的过程中会遇到很多的问题，在这个过程中我学会到了如何才能更快更好的找到问题，解决问题，下面列出几个我在搭建电路的时候发现的问题：

### 1. 脉冲发生电路有时候不会工作

解决方法：通过摇动晶振，可能是由于晶振的接触不良导致的，然后对电容进行放电，放完电之后重新插入，有时候也能解决问题。

### 2. 数码管显示不完全

解决方法：对应着八个显示管看，每一根线对应的是哪一个，译码器是否连接错误，然后使用此方法，我检查出了有两根线连接到译码器的同一端，这样解决了显示不完全的问题。第二个数码管也出现了显示不完全的问题，但是经过检查之后发现连线没有问题，后来我将示波器的输出端口接入到不能显示的一端的贴片上，然后发现这端无论如何都没有输出，于是我认为是芯片出现了问题，然后换了一块芯片，最终解决了问题。

**搭建技巧：**在搭建的过程中，我认为先要把电路搭好，然后把空位留在右边，这样会比较容易连接，在布线上会更加的美观，使用更少的线缆，然后多个电路共用一个逻辑门，这样可以使得芯片的数目减少，另外，对于需要拐弯的线，可以先用一根直的导线连接到一个位置，然后使用另外一根导线连接到目标位置，这样就是直角转弯，可以使线缆贴近面包板，更加的美观，但是最后因为追求速度，所以在搭建的过程中一些线的连接很潦草，还有很大的进步空间，由于没有现成的线缆可以使用，所以也导致了很多根线的长度都不符合要求，后面也使用了很多的黑色线缆，通过剥线钳进行剪切，然后再连接到面包板上面。然后还需要调整心态，在搭建的时候需要一步一步来，不要背别人的搭建进度乱了自己的进度。

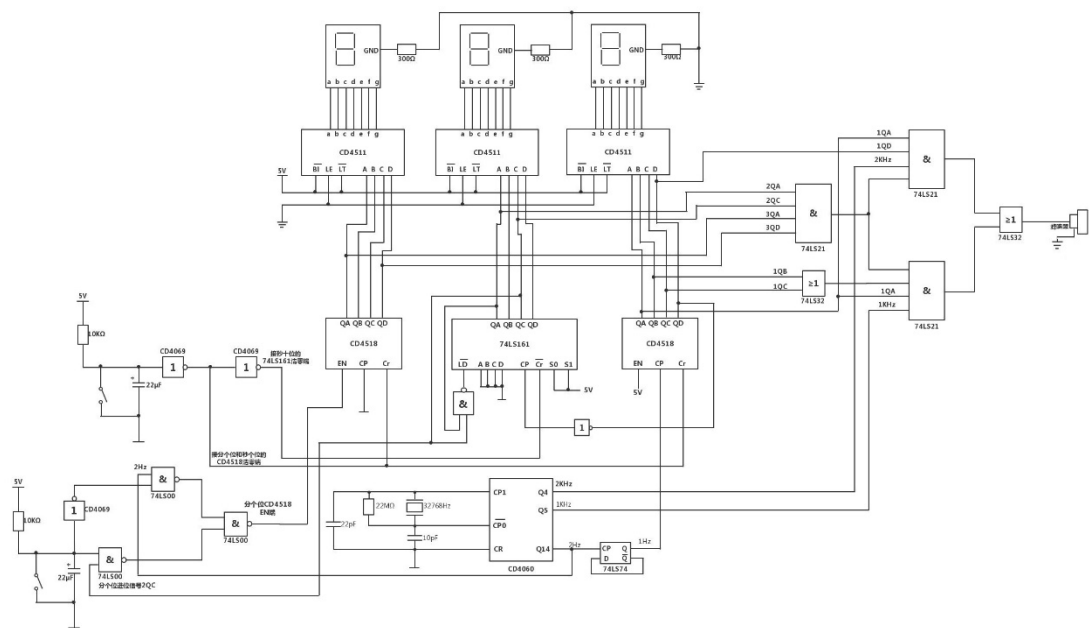
通过这一次数字钟的实验，我学习到了示波器的使用，特别是如何通过示波器来测试电路里出现的错误，还验证了数字电路上课的时候学习的内容，应用和实践相结合，让我更加能够理解这个学科的内容。实验的过程很顺利，我认为和前面四次课程中学习到的知识有关，老师的指导也循序渐进，特别是第四次的实验也为这次的实验打下了基础，在最后听到计时器正确报数的时候，好像宣布了我的电路已经完成，非常的有成就感，很希望在今后的学习中能够有更多的实验学习，能够提高我们的动手能力。

## 六、附录

### 1. 器件清单

名称	型号	数量
显示器	共阴	3
译码器	CC4511	3
BCD 码计数器	CC4518	2
分频器	CC4060	1
D 触发器	74LS74	1
非门	CC4069	1
二入与非门	74LS00	1
四入与门	74LS21	2
二入或门	74LS32	1
晶振	32768Hz	1
蜂鸣器		1
电容	10p	1
	20p	1
	22u	2
电阻	300	3
	10k	2
	22M	1

3. 其他参考线路图



3. 元件功能表：

74LS74 逻辑功能表

	输入				输出	
	CP	$\overline{R_D}$	$\overline{S_D}$	D	$Q_N$	$\overline{Q_{N+1}}$
清零	×	0	1	×	0	1
置“1”	×	1	0	×	1	0
送“0”	↑	1	1	0	0	1
送“1”	↑	1	1	1	1	0
保持	0	1	1	×	保持	
不允许	×	0	0	×	不确定	

CD4518 逻辑功能表

	输入			输出			
	Cr	CP	EN	$Q_D$	$Q_C$	$Q_B$	$Q_A$
清零	1	×	×	0	0	0	0
计数	0	↑	1	BCD 码加法计数			
保持	0	×	0	保持			
计数	0	0	↓	BCD 码加法计数			
保持	0	1	×	保持			

74LS161 逻辑功能表

	输入									输出				
	$C_P$	$\overline{Cr}$	$\overline{LD}$	$S_1$	$S_0$	D	C	B	A	$Q_D$	$Q_C$	$Q_B$	$Q_A$	$Q_{CC}$
清零	×	0	×	×	×	×	×	×	×	0	0	0	0	0
送数	↑	1	0	×	×	d	c	b	a	d	c	b	a	0-1
记数	↑	1	1	1	1	×	×	×	×	二进制加法记数				
保持	×	1	1	0	1	×	×	×	×	不变				
保持	×	1	1	1	0	×	×	×	×	不变				

74LS00 逻辑功能表

输入		输出
B	A	Q
0	0	1
0	1	1
1	0	1
1	1	0

CD4069 逻辑功能表

输入 A	输出 Q
0	1
1	0
0	1
1	0

74LS21 逻辑功能表

输入				输出
A	B	C	D	Q
0	X	X	X	0
X	0	X	X	0
X	X	0	X	0
X	X	X	0	0
1	1	1	1	1

CD4511 逻辑功能表

	输入							输出							
	$\overline{LT}$	$\overline{BI}$	$LE$	D	C	B	A	g	f	e	d	c	b	a	字符
测灯	0	×	×	×	×	×	×	1	1	1	1	1	1	1	8
灭零	1	0	×	0	0	0	0	0	0	0	0	0	0	0	消隐
锁存	1	1	1	×	×	×	×	显示 $LE = 0 \rightarrow 1$ 时数据							
译码	1	1	0	0	0	0	0	0	1	1	1	1	1	1	0
	1	1	0	0	0	0	1	0	0	0	0	1	1	0	1
	1	1	0	0	0	1	0	1	0	1	1	0	1	1	2
	1	1	0	0	0	1	1	1	0	0	1	1	1	1	3
	1	1	0	0	1	0	0	1	1	0	0	1	1	0	4
	1	1	0	0	1	0	1	1	1	0	1	1	0	1	5
	1	1	0	0	1	1	0	1	1	1	1	1	0	0	6
	1	1	0	0	1	1	1	0	0	0	0	1	1	1	7
	1	1	0	1	0	0	0	1	1	1	1	1	1	1	8
	1	1	0	1	0	0	1	1	1	0	0	1	1	1	9

74LS32 逻辑功能表

输入		输出
B	A	Q
0	0	0
0	1	1
1	0	1
1	1	1

元件引脚图：

