



南京理工大学
NANJING UNIVERSITY OF SCIENCE & TECHNOLOGY

组合逻辑电路设计 实验报告

专 业： 通信工程
姓 名： 张悦熠
学 号： 9211040G0637
指导老师： 丁淑艳

2023 年 5 月 29 日

目录

一、实验目的	3
二、实验原理	3
三、实验内容及步骤	5
四、思考题	7

实验七 组合逻辑电路设计

一、实验目的

1. 熟悉门电路逻辑功能及应用。
2. 掌握组合逻辑电路设计的设计方法。
3. 初步学会电路故障的检查与排除。

二、实验原理

在组合逻辑电路设计中，首先需要了解电路整体功能与所需参数，然后选择能实现电路逻辑功能的器件，再利用不同设计思路设计实现组合逻辑电路。

1. 用与非门实现异或门

74LS00 是二输入四与非门，图 4-2-1 是它的引脚图，异或门逻辑功能表如表 4-2-1 所示。

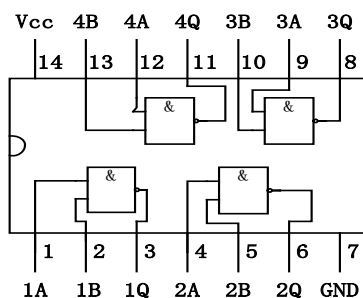


图 4-2-1 74LS00 引脚图

输入		输出
B	A	Q
0	0	0
0	1	1
1	0	1
1	1	0

表 4-2-1 异或门逻辑功能表

例：用与非门实现异或门，已知异或门逻辑功能表如表 4-2-1 所示：

$$\text{可得 } Q = \overline{A}B + A\overline{B}$$

$$\text{则 } Q = \overline{A}B + A\overline{B} + A\overline{A} + B\overline{B} = A(\overline{A} + \overline{B}) + B(\overline{A} + \overline{B})$$

$$= A\overline{A}B + A\overline{B}\overline{B} = \overline{\overline{A}AB} + \overline{\overline{A}BAB} = \overline{\overline{A}AB} + \overline{\overline{A}BAB}$$

即可得到用四个与非门完成异或门的逻辑表达式，逻辑图如图 4-2-2 所示。

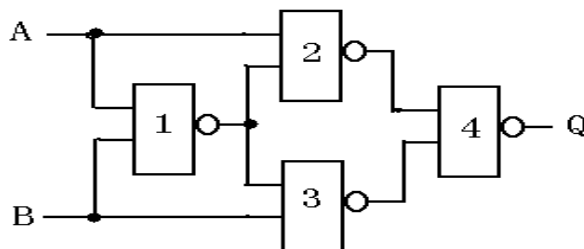


图 4-2-2 与非门实现异或门电路

2. 用数据选择器实现逻辑函数

数据选择器又称多路数据选择器，有多个数据输入端，每个数据输入端都有自己的脉冲变化数据（可以是脉冲频率或编码数据）。在内部地址端的控制下，从多个数据输入端中选

择出一个数据送到输出端。

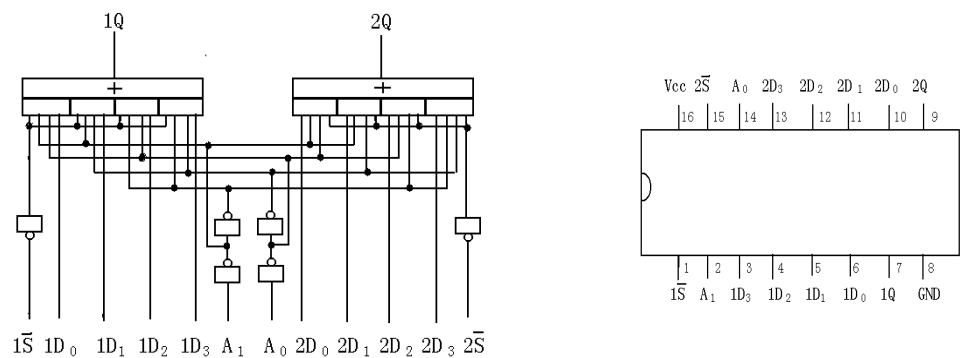


图 4-2-3 74LS153 双四选一数据选择器逻辑图与引脚图

图 4-2-3 给出 74LS153 双四选一数据选择器的逻辑图和引脚图。它包含二个数据选择器，每个数据选择器都有四个数据输入端 $D_3D_2D_1D_0$ 和一个输出端 Q ， \bar{S} 为工作状态选择端（或称使能端）， A_1A_0 为内部地址公共选择端。当 $\bar{S}=1$ 时，数据选择器禁止工作，输出端 $Q=0$ ，当 $\bar{S}=0$ 时，数据选择器正常工作，输出端输出为内部公共地址选择端 A_1A_0 所选的数据口的数据。四选一数据选择器的功能如表 4-2-2 所示。

使能端	地址码	输出
\bar{S}	$A_1 A_0$	Q
1	X X	0
0	0 0	D_0
0	0 1	D_1
0	1 0	D_2
0	1 1	D_3

表 4-2-2 四选一数据选择器功能表

DC BA					
		00	01	11	10
A_1A_0	00	0	0	1	1
	01	1	1	0	1
	11	0	1	1	0
	10	0	0	1	0
	00	0	0	1	1

图 4-2-4 四变量函数输出状态卡诺图

在数字电路中，可以利用数据选择器进行多信道数据传送、实现逻辑函数等。数据选择器实现函数通常使用卡诺图进行设计，设图 4-2-4 为一四变量函数输出状态值。在设计中用内部公共地址选择端 A_1A_0 取带两对应输入变量 B 和 A ，经卡诺图化简即可得到所需逻辑表达式。（ $D_3=C, D_2=CD, D_1=CD, D_0=D$ ）图 4-2-5 为该数据选择器实现四变函数值的逻辑图。

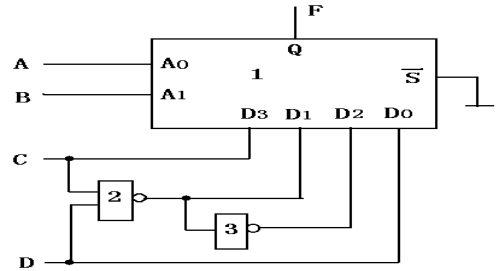


图 4-2-5 数据选择器实现四变函数值的逻辑图

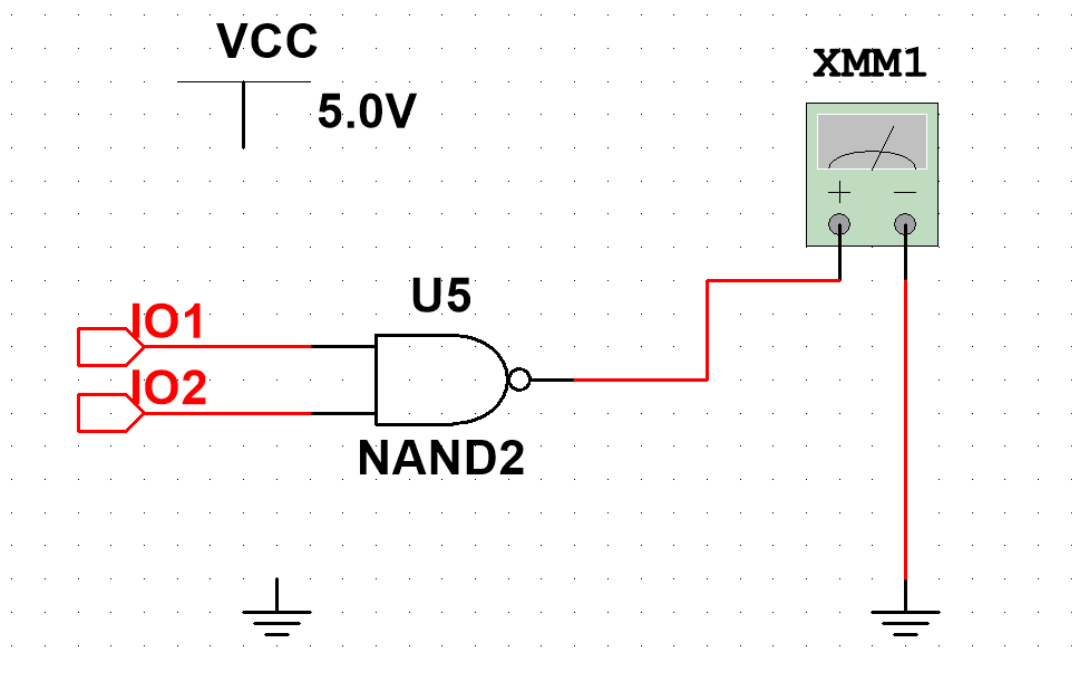
三、实验内容及步骤

1. 验证与非门逻辑功能表 4-2-3。

表 4-2-3 与非门逻辑功能表

输入		输出
A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

仿真图如下所示:



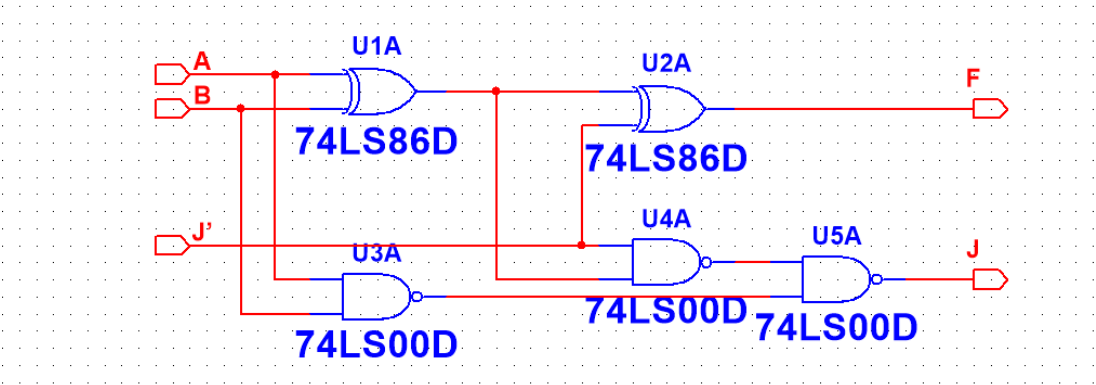
2. 用 74LS00 和 74LS86 设计实现全加器电路，全加器功能表 4-2-4。根据全加器方程式作

逻辑图， $F = A \oplus B \oplus J'$ 、 $J = \overline{A \bullet B \bullet J' \bullet (A \oplus B)}$ 。

输入			输出	
J'	B	A	F	J
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

表 4-2-4 全加器功能表

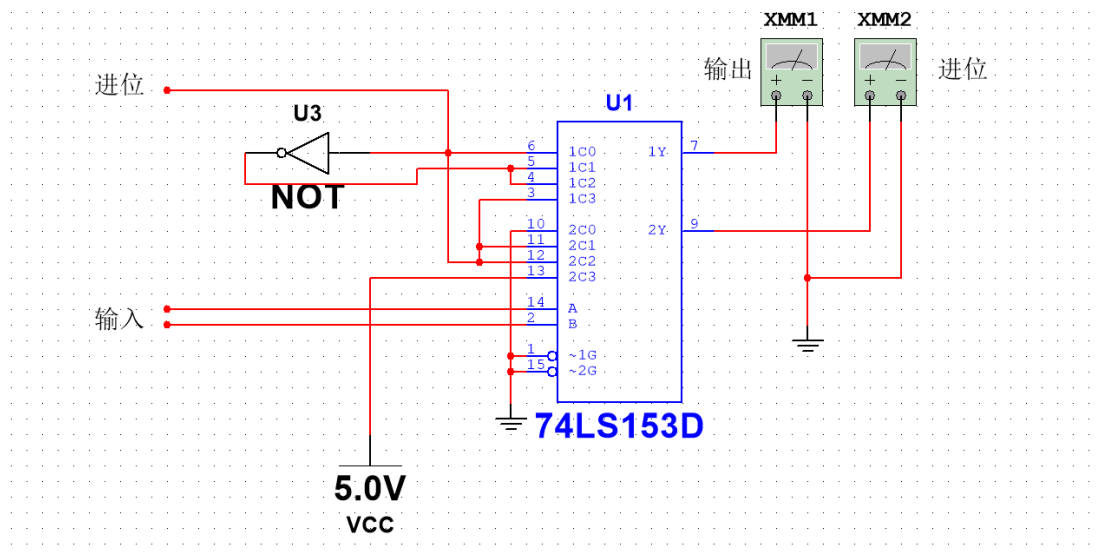
设计电路如下：



3. 测试 74LS153 双四选一数据选择器的逻辑功能，并填表 4-2-5 。

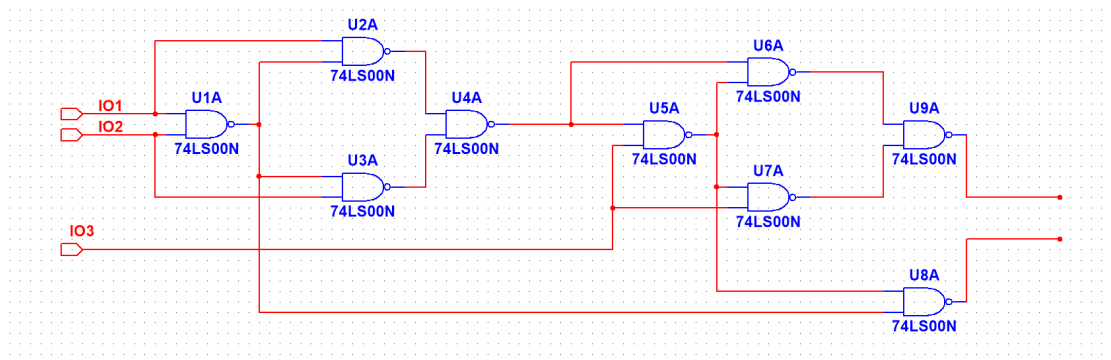
输入				输出	
2S	1S	A ₁	A ₀	1Q	2Q
0	1	0	0	1D0	0
0	1	0	1	1D1	0
0	1	1	0	1D2	0
0	1	1	1	1D3	0
1	0	0	0	0	2D0
1	0	0	1	0	2D1
1	0	1	0	0	2D2
1	0	1	1	0	2D3

4. 用一片 74LS153 双四选一数据选择器和少量门设计实现一位全加器。(自行设计) 设计电路如下:



思考题：

1. 用九个与非门设计全加器



2. 用双四选一数据选择器，设计实现八选一数据选择器

