



第6章 常用时序逻辑功能器件

6.1 计数器

计数器功能：统计输入脉冲的个数。

计数器除了直接用于计数外,还可以用于定时器、分频器、程序控制器、信号发生器等多种数字设备中。

计数器分类：

按计数器中的触发器是否同时翻转分类：

同步计数器； 异步计数器

按计数器中数字的编码方式分类：

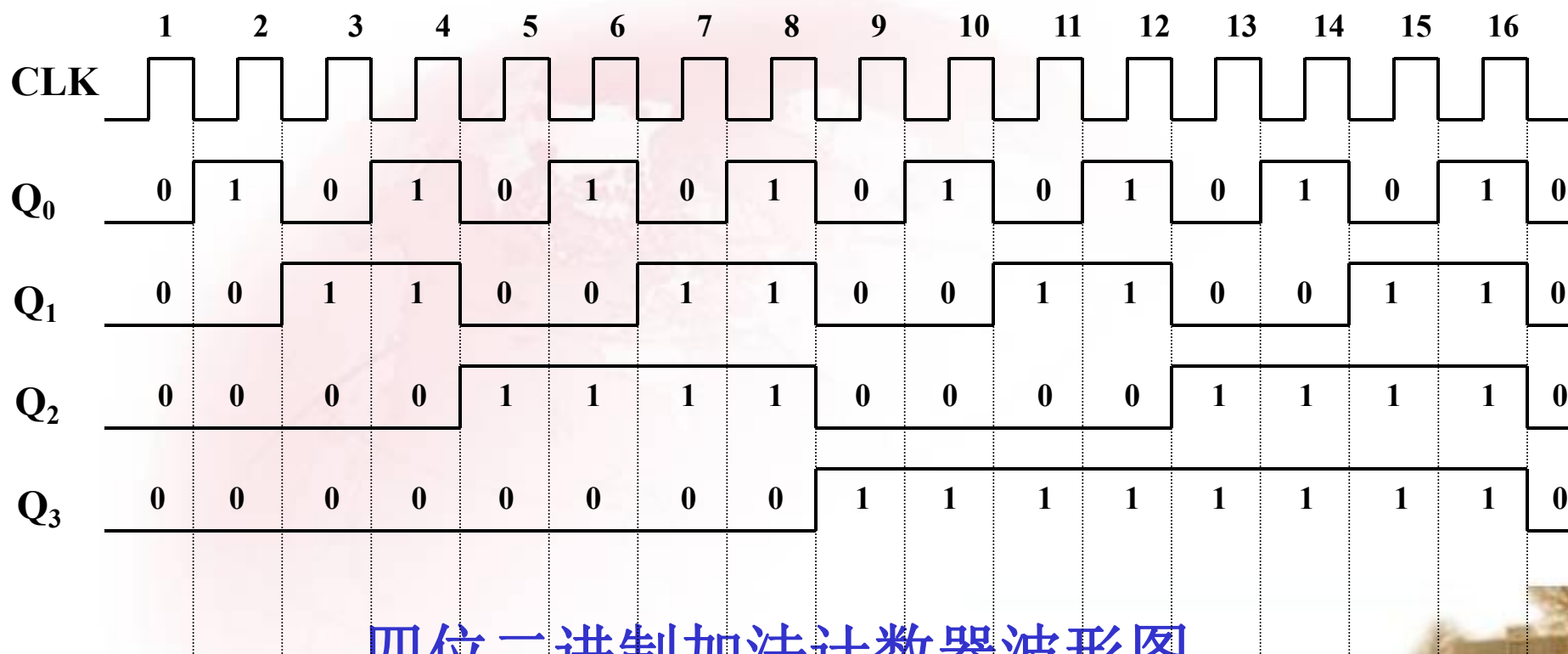
二进制计数器； 非二进制计数器



6.1.1 异步计数器

1. 异步二进制计数器

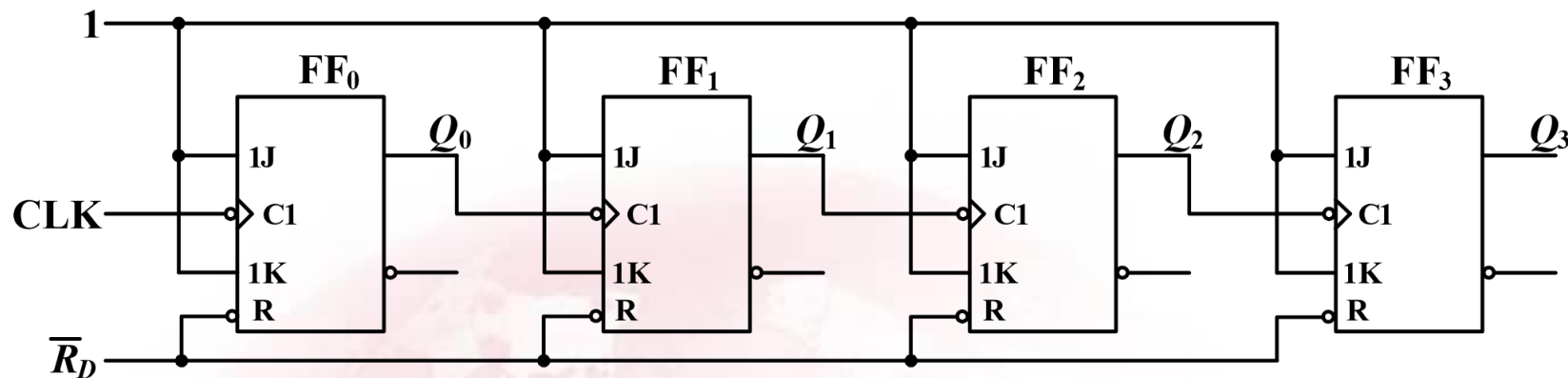
(1) 电路组成和逻辑功能设计（以加法计数讨论）



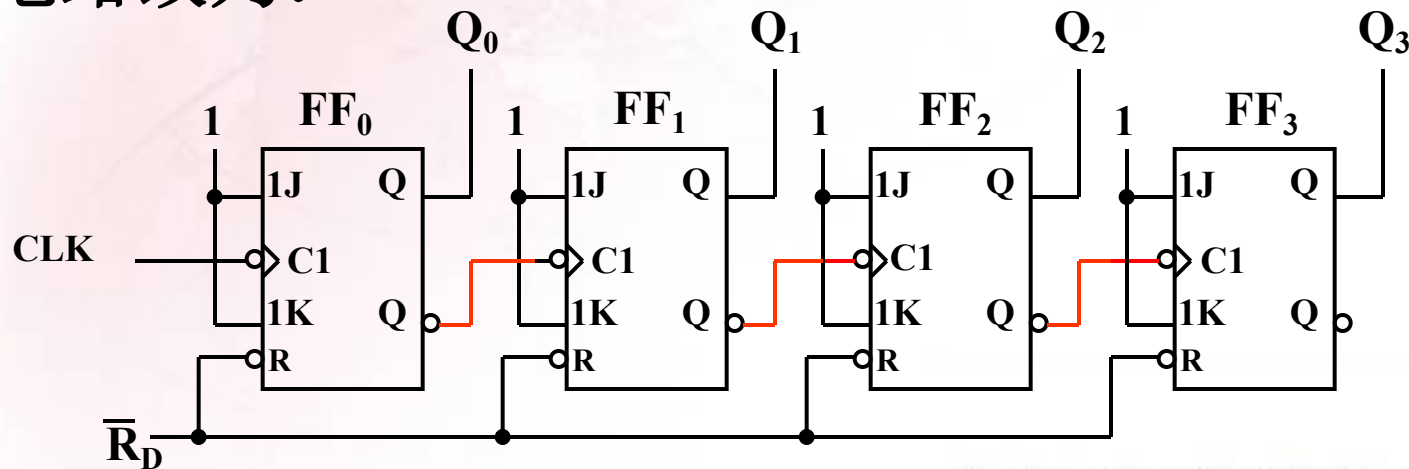
四位二进制加法计数器波形图

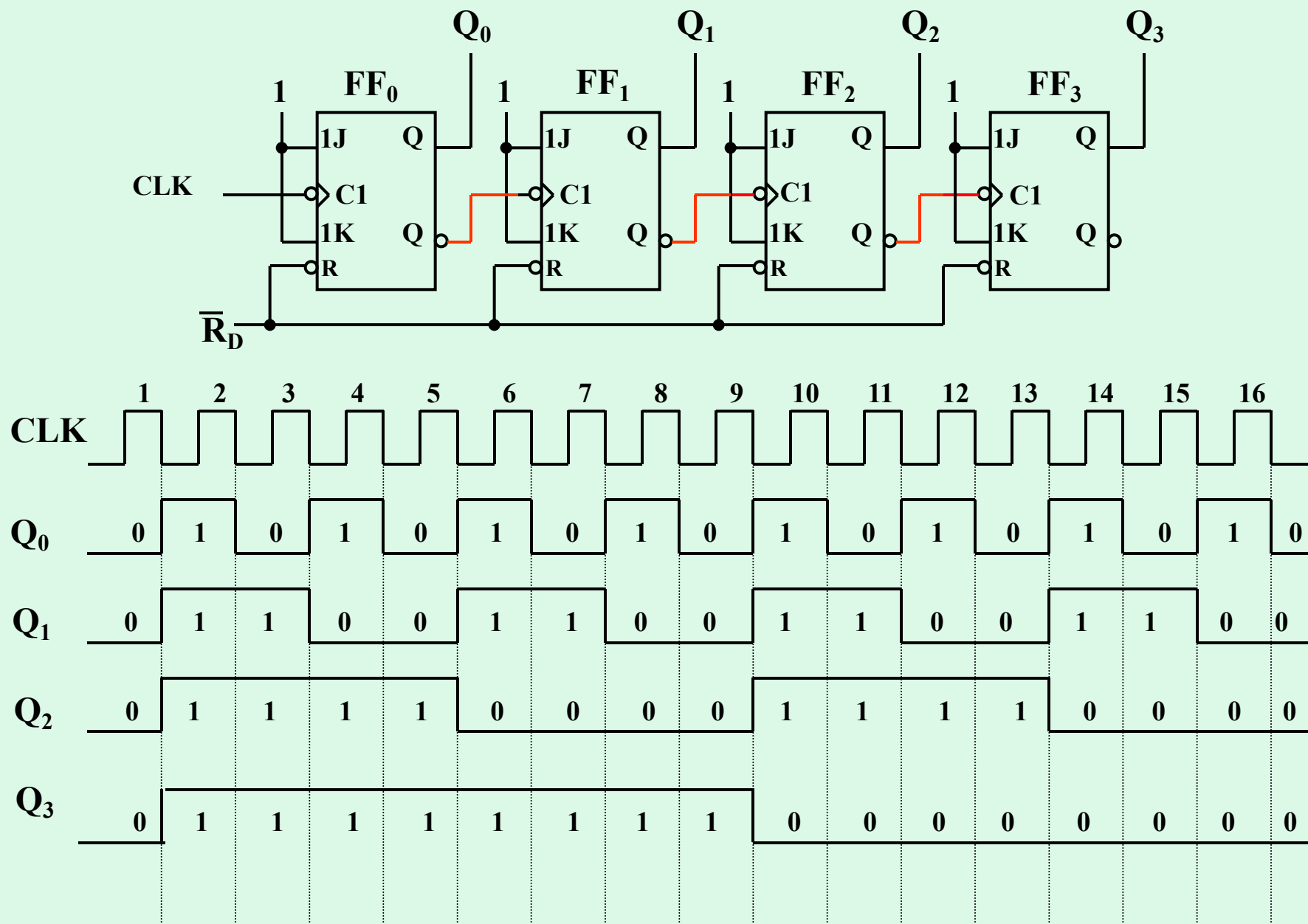


由下降边沿触发的JK触发器（转换为T'触发器）构成的四位二进制加法计数器：



如将电路改为：





二进制减法计数器波形图



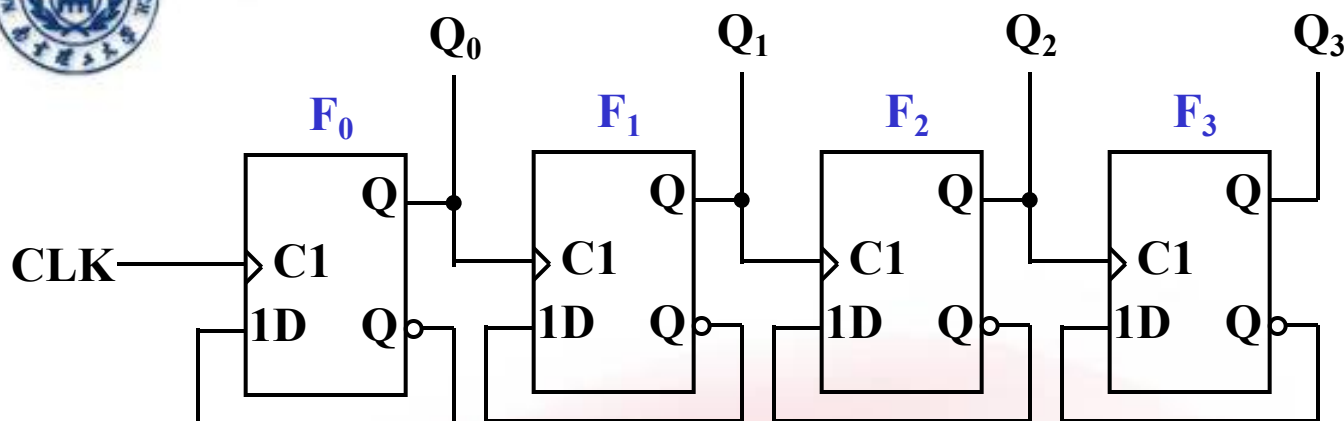
(2) 异步二进制计数器的特点

1) 异步二进制计数器可由T'触发器构成,触发器之间串接,低位触发器的输出,作为高位触发器的时钟.

当采用下降边沿触发器时,如将 Q_i 和 CLK_{i+1} 相连,则构成加法计数器;如将 $\overline{Q_i}$ 和 CLK_{i+1} 相连,则构成减法计数器;

当采用上升边沿触发器时,如将 Q_i 和 CLK_{i+1} 相连,则构成减法计数器;如将 $\overline{Q_i}$ 和 CLK_{i+1} 相连,则构成加法计数器;

● 用D触发器构成二进制计数器的例子:



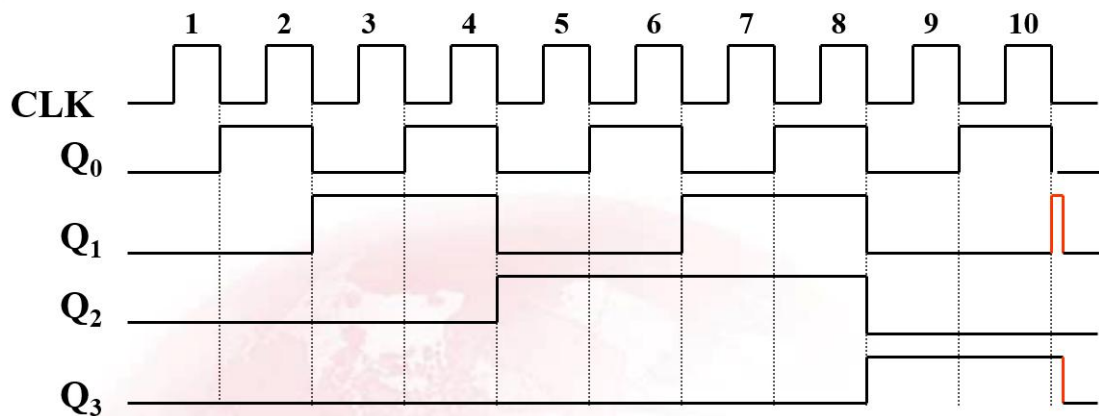
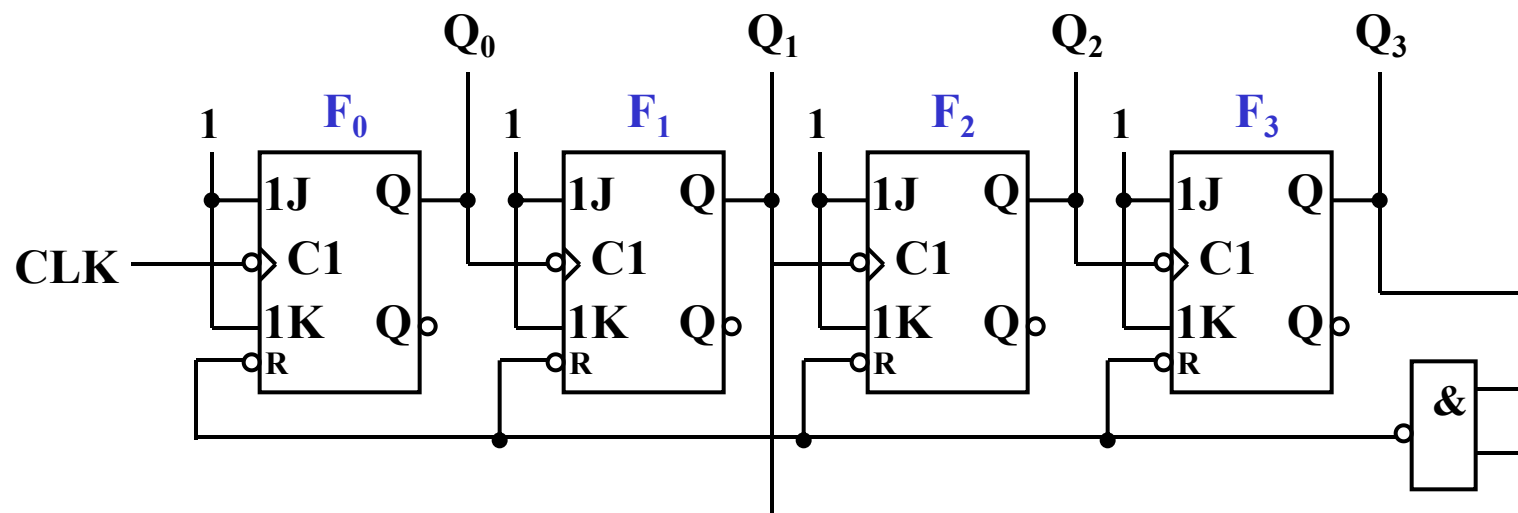
异步为荷种
类型计数器

- 2) 异步二进制计数器, 由于触发器的状态翻转是由低位向高位逐级进行的, 因此, 计数速度较低.
- 3) 若CLK脉冲的频率为 f , 则 Q_0 、 Q_1 、 Q_2 、 Q_3 输出脉冲的频率分别为 $\frac{1}{2}f$ 、 $\frac{1}{4}f$ 、 $\frac{1}{8}f$ 、 $\frac{1}{16}f$ 。常称这种计数器为分频器。

2. 异步十进制计数器

(1) 电路组成和逻辑功能分析

由下降边沿触发的T'触发器构成的异步十进制加法计数器:



十进制计数器波形图

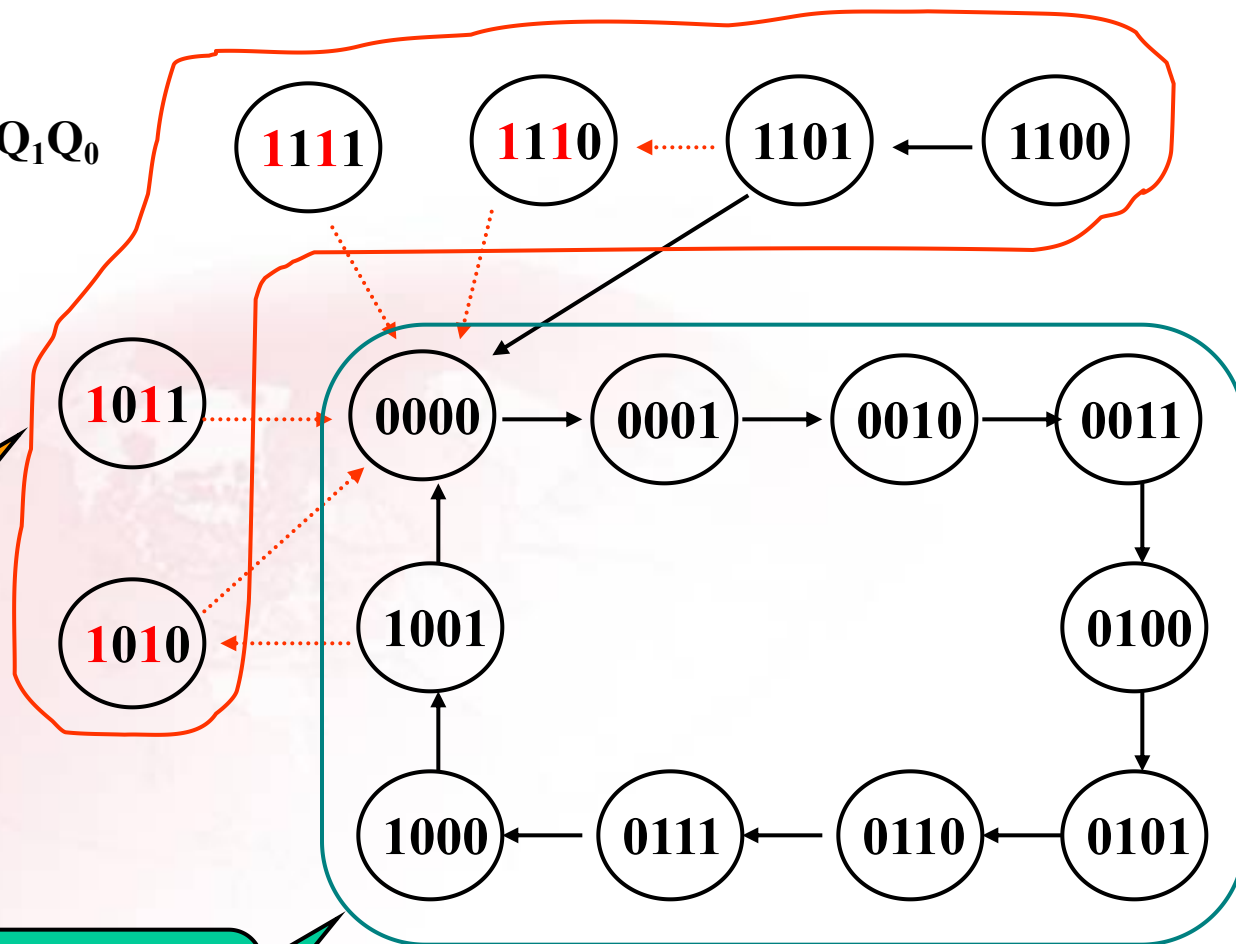


状态图

$Q_3Q_2Q_1Q_0$

无效状态

有效状态





(2) 自启动特性

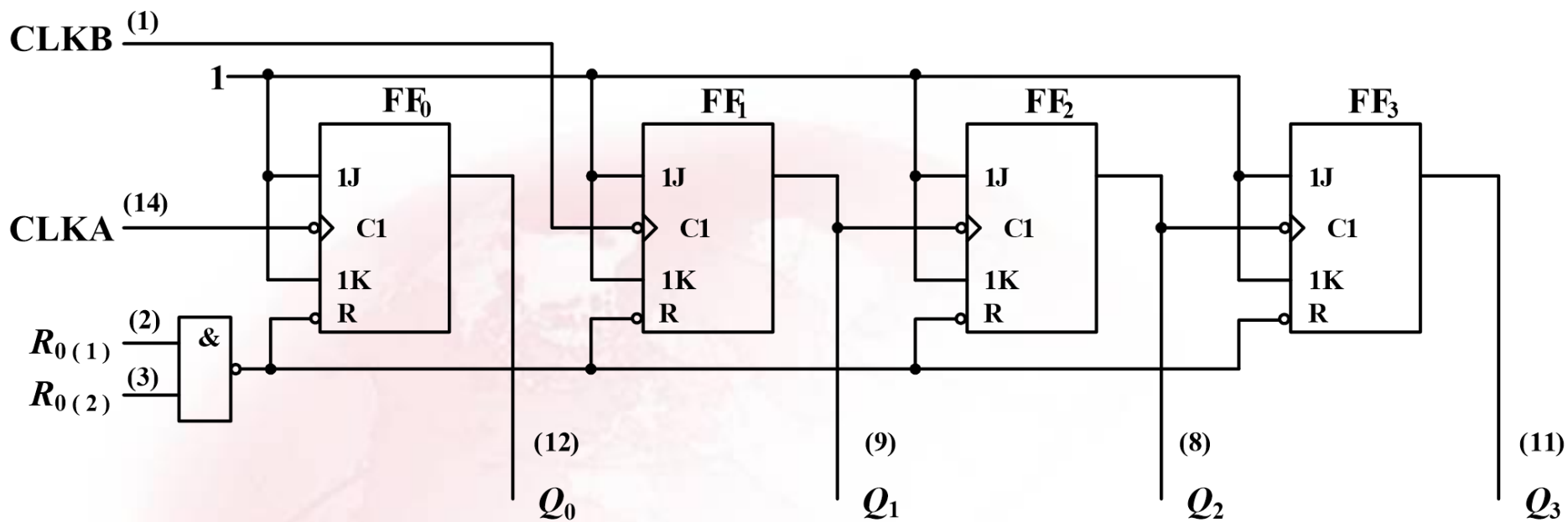
如果电路由于某种原因（例如受干扰影响）进入无效状态，但在若干个时钟脉冲的作用下，能自动返回（直接或间接返回）到某个有效状态，进入有效循环，则称该电路具有自启动特性。否则就不具有自启动特性。



3. 通用异步计数器集成电路

属二进制计数器的有74LS93A、74HC93、74LS197等，它们均为4位计数器。这些计数器的共同特点是：

- 1) 每个集成电路内部有两组彼此独立的计数器，一组为模2计数器，另一组为模8计数器；
- 2) 通过外电路，将这两组计数器相连，可构成模16计数器，这类集成电路也称为二—八—十六进制计数器。

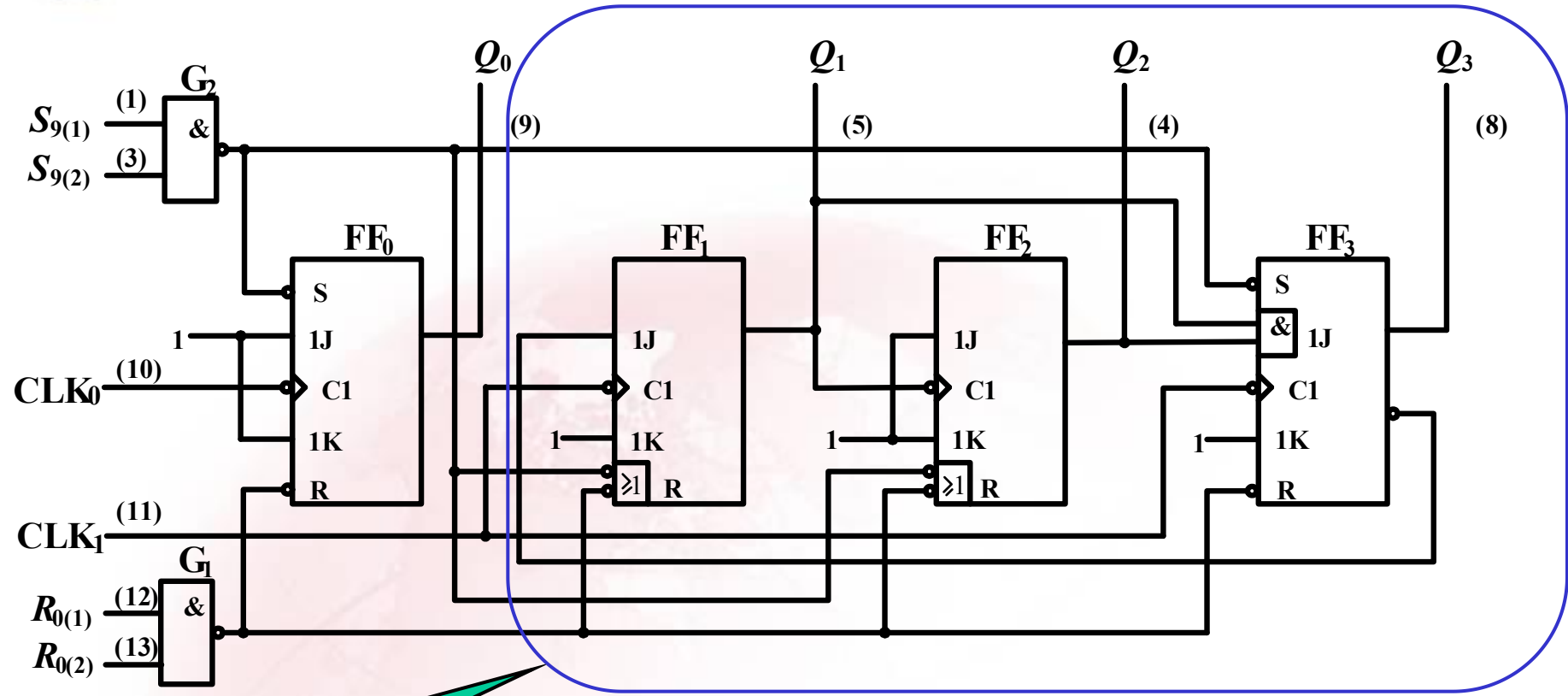


4位异步二进制计数器74LS93A逻辑图



属中规模集成异步十进制计数器的型号有74290、74176和74196等，这些计数器的共同特点：

- 1) 每个集成电路内部有两组彼此独立的计数器，一组为模2计数器，另一组为模5计数器；
- 2) 通过外电路，将这两组计数器相连，可构成模10计数器，这类集成电路也称为二—五—十进制计数器。



模5计数器

异步十进制计数器 74290 逻辑图

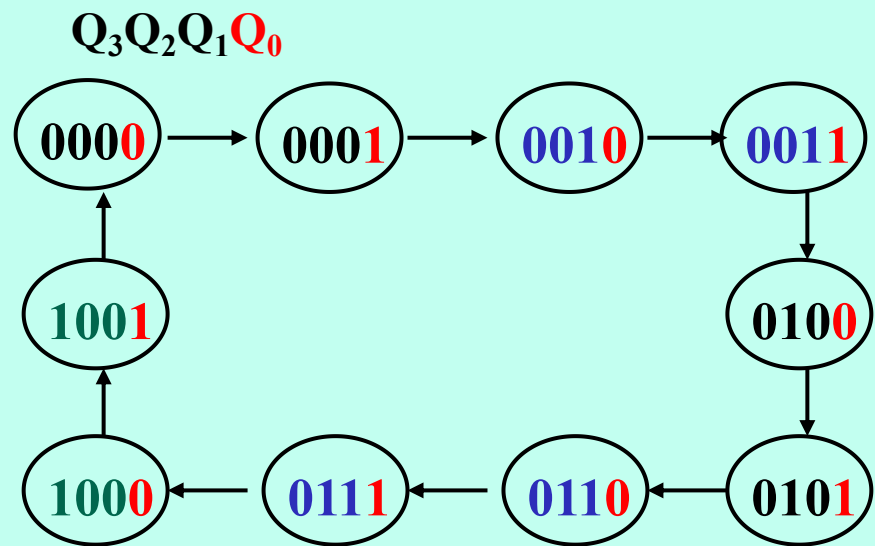
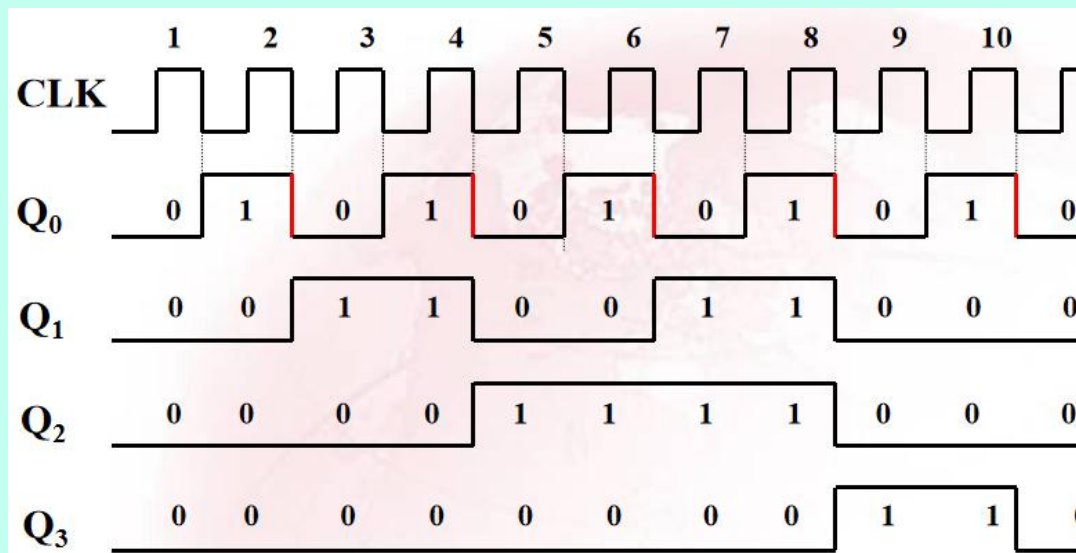
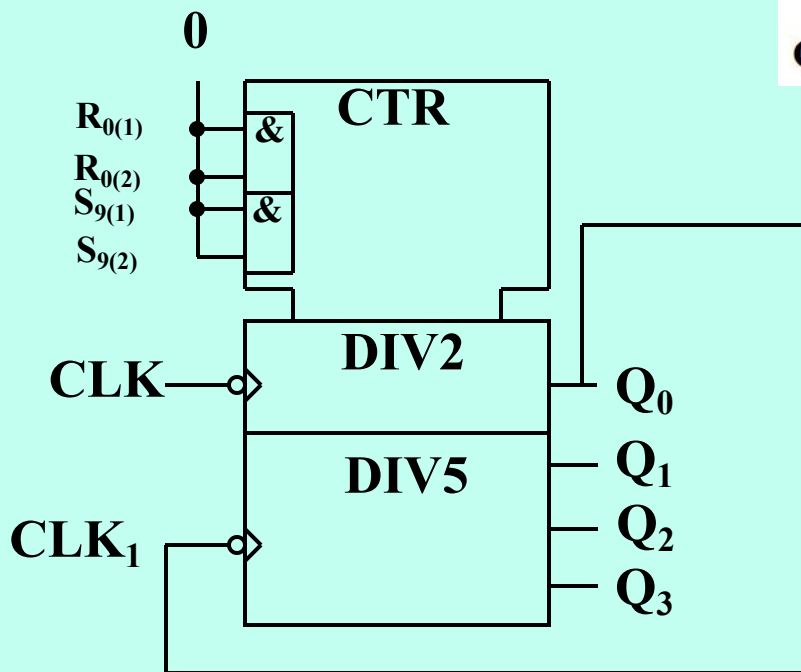


74290逻辑功能:

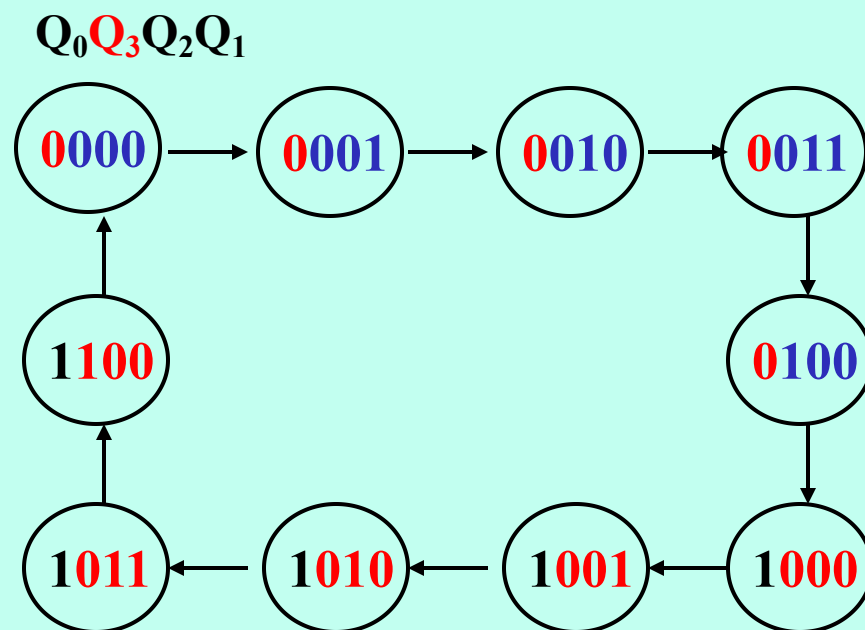
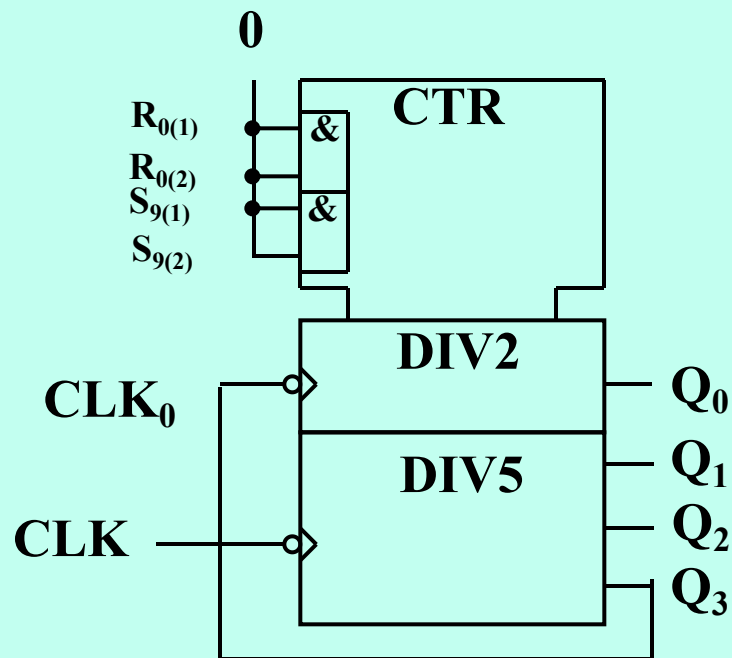
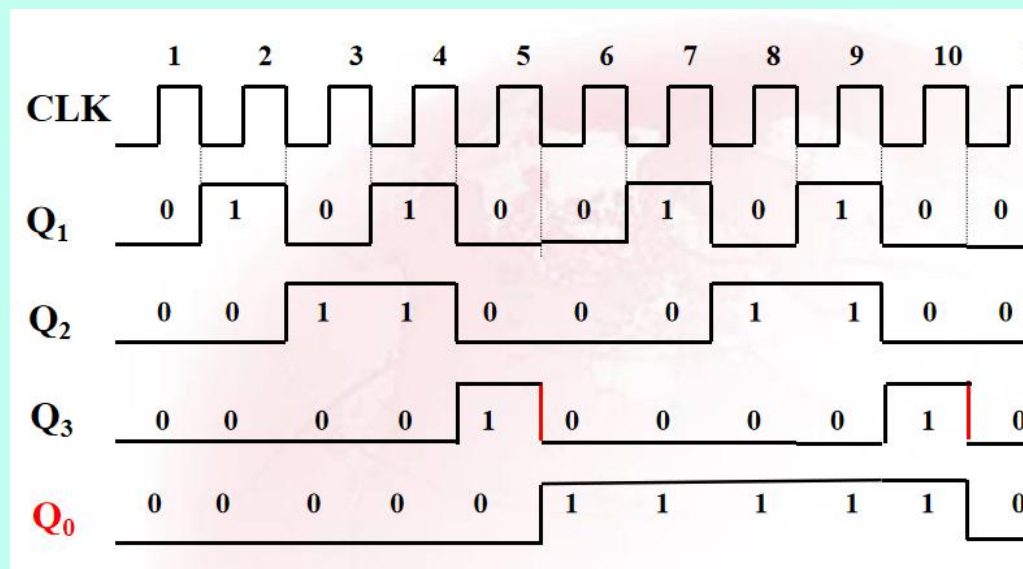
- 1) 异步清零: $R_{0(1)}=R_{0(2)}=1$, 且 $S_{9(1)} \cdot S_{9(2)}=0$
 $Q_3Q_2Q_1Q_0=0000$
- 2) 异步置9: $R_{0(1)} \cdot R_{0(2)}=0$, 且 $S_{9(1)} = S_{9(2)}=1$
 $Q_3Q_2Q_1Q_0=1001$
- 3) 计数: $R_{0(1)} \cdot R_{0(2)}=0$, 且 $S_{9(1)} \cdot S_{9(2)}=0$

74290构成模10计数器

- 1) 将 Q_0 和 CLK_1 相连,计数脉冲从 CLK_0 输入,
 $Q_3Q_2Q_1Q_0$ 输出,
构成8421BCD码计数器;

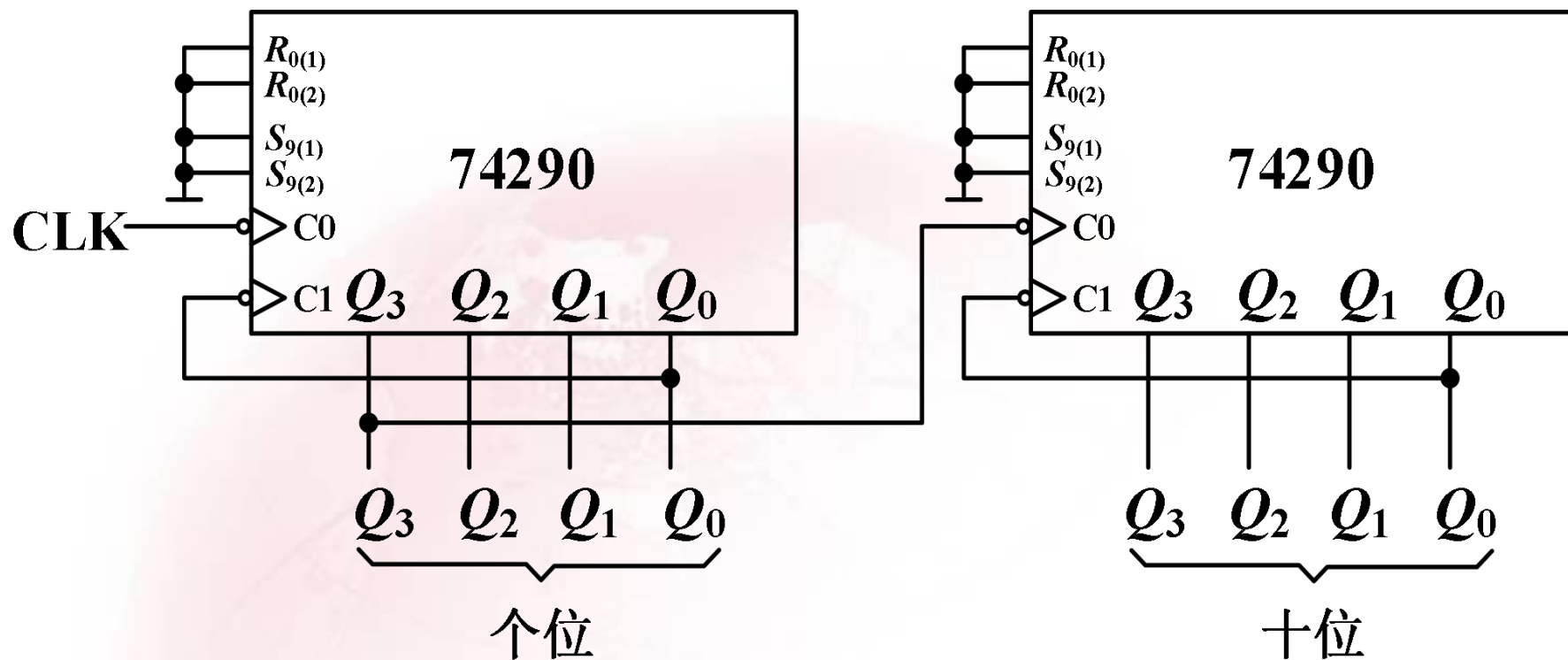


2) 将 Q_3 和 CLK_0 相连,
计数脉冲从 CLK_1 输入,
 $Q_0Q_3Q_2Q_1$ 输出;
构成5421BCD码计数器。





两片74290级联实现模100计数器



模100计数器



6.1.2 同步计数器

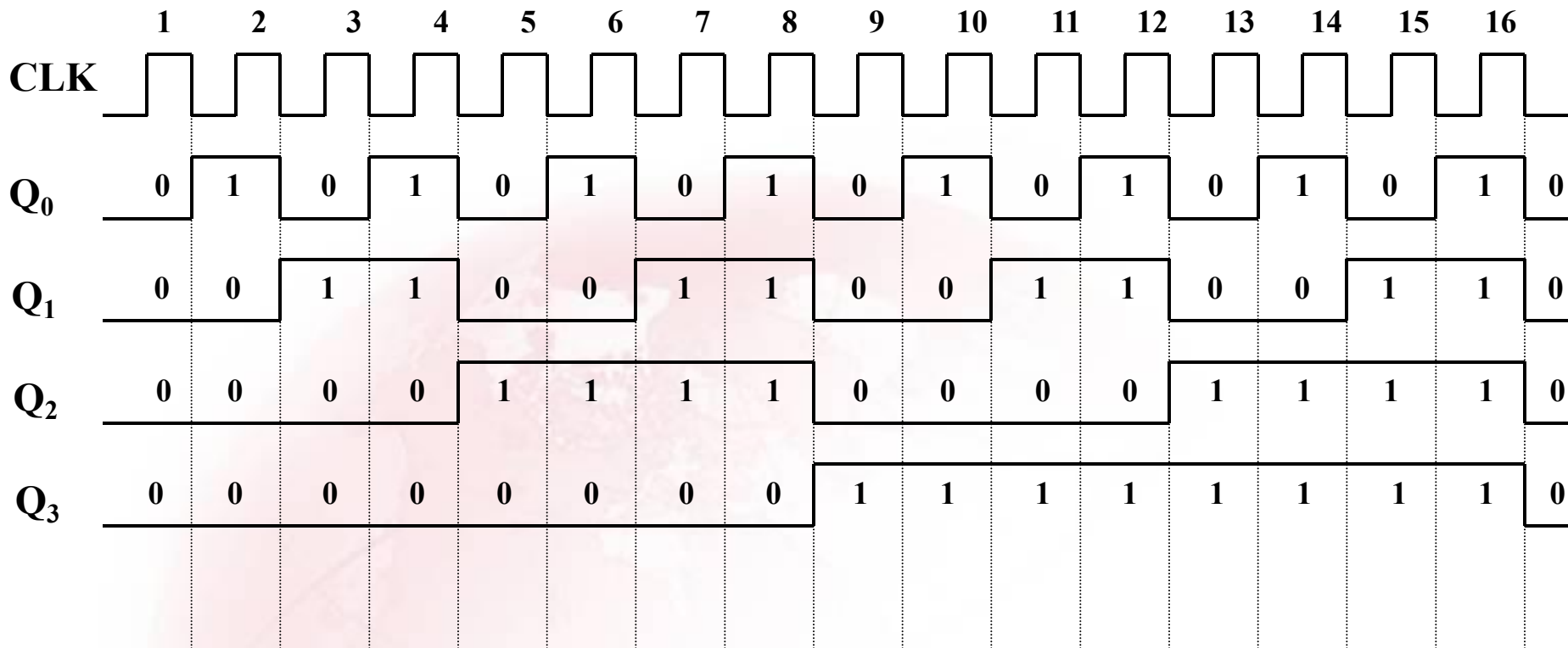
1. 同步二进制计数器

(1) 电路组成和逻辑功能分析

*同步二进制加法计数器设计思想



四位二进制加法计数器波形图



- 二进制计数规则：每加1，最低位改变一次状态，高位的状态是否改变，由低位是否计满来决定。



The circuit diagram shows a 4-bit counter implemented with four J-K flip-flops, labeled F₀, F₁, F₂, and F₃. Each flip-flop has inputs 1J, C1, and 1K, and output Q. The clock signal CLK is connected to the C1 input of all flip-flops. The outputs are Q₀, Q₁, Q₂, and Q₃. The feedback logic consists of three AND gates: G₁ takes Q₀ and Q₁ as inputs; G₂ takes Q₁, Q₂, and Q₃ as inputs; and G₃ takes Q₂ and Q₃ as inputs. The output of G₁ is T₁, which is connected to the 1J input of F₁. The output of G₂ is T₂, which is connected to the 1J input of F₂. The output of G₃ is T₃, which is connected to the 1J input of F₃. Additionally, there is a constant input T₀=1 connected to the 1J input of F₀.

**Q₃为高位;
Q₀为低位.**

CLK: 计数脉冲; $Q_3Q_2Q_1Q_0$: 计数器的输出状态;

C: 计数器的进位标志.



计数器的驱动方程和输出方程：

T触发器的特性方程：

计数器的状态方程：

$$T_0=1$$

$$T_1=Q_0^n$$

$$T_2=Q_1^n Q_0^n$$

$$T_3=Q_2^n Q_1^n Q_0^n$$

$$C=Q_3^n Q_2^n Q_1^n Q_0^n$$

$$\begin{aligned} Q^{n+1} &= T\bar{Q}^n + \bar{T}Q^n \\ &= T \oplus Q^n \end{aligned}$$

$$Q_0^{n+1} = \bar{Q}_0^n$$

$$Q_1^{n+1} = Q_1^n \oplus Q_0^n$$

$$Q_2^{n+1} = Q_2^n \oplus (Q_1^n Q_0^n)$$

$$Q_3^{n+1} = Q_3^n \oplus (Q_2^n Q_1^n Q_0^n)$$



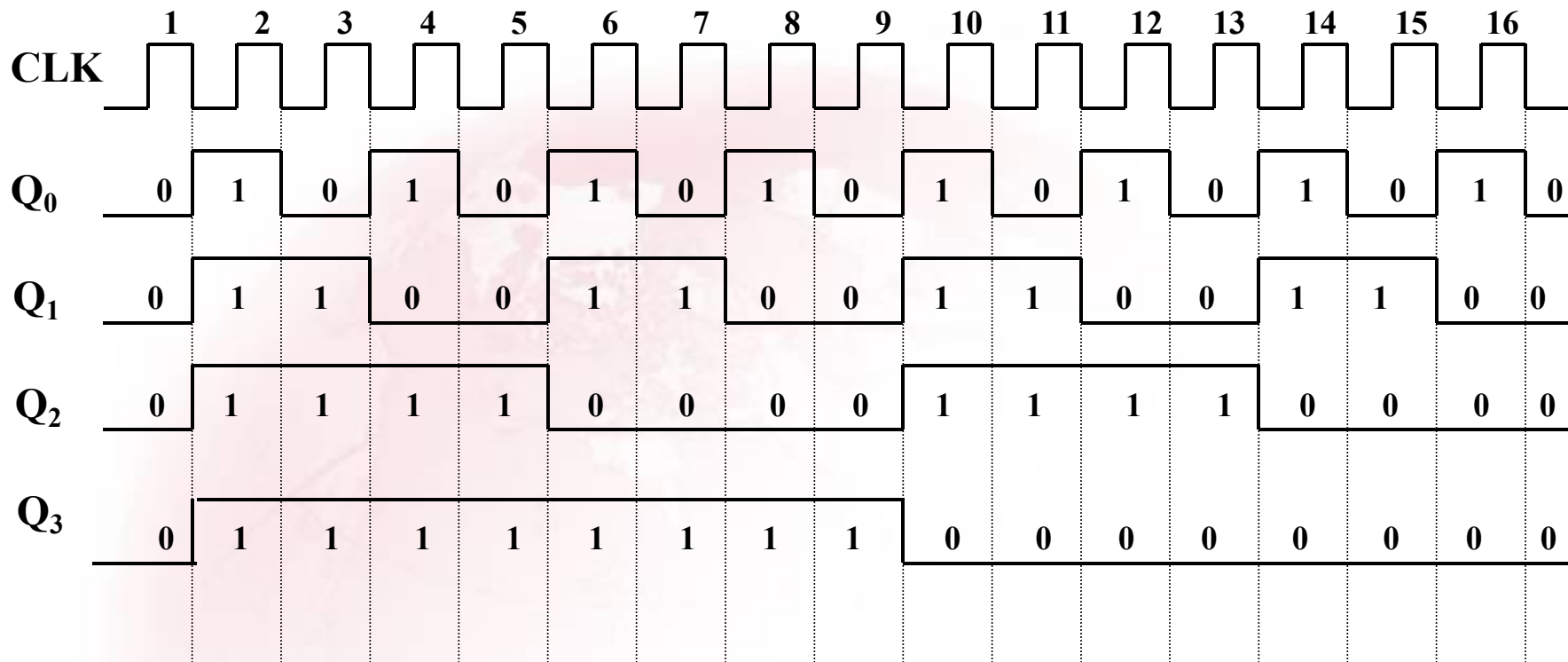
(2) 同步二进制加法计数器的特点

- (1) 由 n 个触发器构成的同步二进制加法计数器的模为 2^n , 没有多余状态, 状态利用率最高;
- (2) 用 T 触发器构成的同步二进制加法计数器, 其电路结构有两条规则:
 - ① $T_0=1$;
 - ② $T_i=Q_{i-1}Q_{i-2}\dots Q_0$ ($i \neq 0$).
- (3) 同步计数器工作速度快, 这种计数器的最高工作频率可达

$$f_{\max} = \frac{1}{t_{PF} + t_{PG}}$$



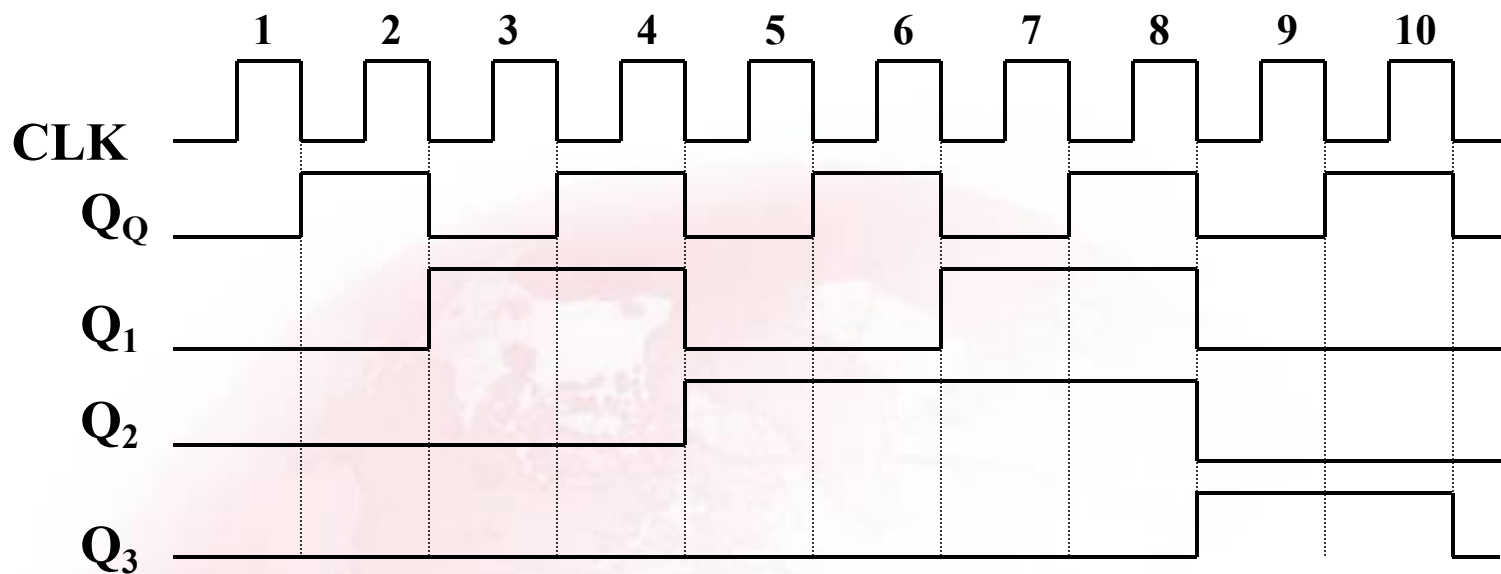
思考题：如何设计同步 二进制减法计数器？



二进制减法计数器波形图



2. 同步十进制计数器



十进制计数器波形图

$$T_0 = 1$$

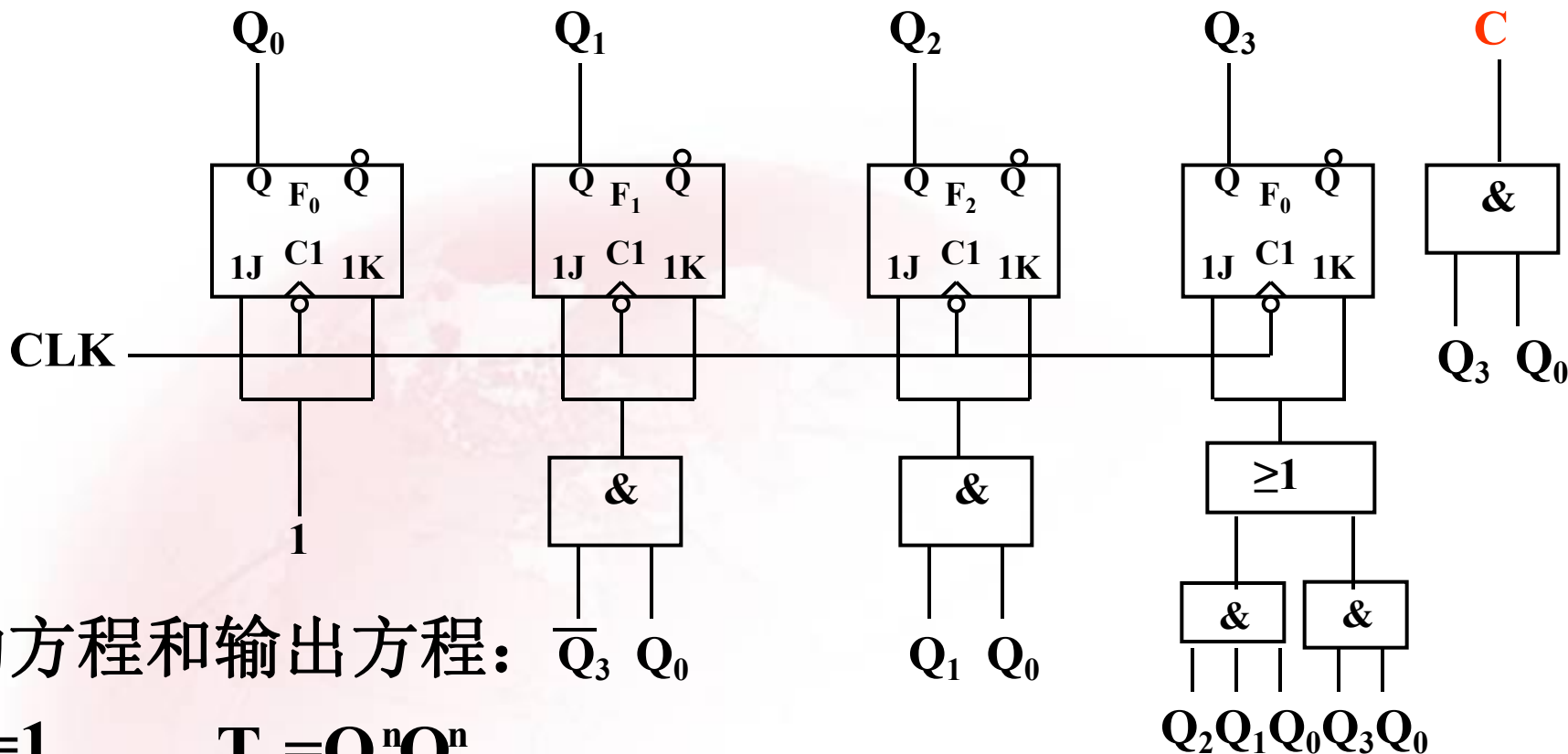
$$T_2 = Q_1^n Q_0^n$$

$$T_1 = \overline{Q_3^n} Q_0^n$$

$$T_3 = Q_2^n Q_1^n Q_0^n + Q_3^n Q_0^n$$



(1) 电路组成和逻辑功能分析



驱动方程和输出方程:

$$T_0=1$$

$$T_2=Q_1^n Q_0^n$$

$$T_1=\overline{Q_3}^n Q_0^n$$

$$T_3=Q_2^n Q_1^n Q_0^n + Q_3^n Q_0^n$$

$$C=Q_3^n Q_0^n$$

状态表

电路状态方程

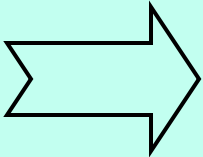
$Q_0^{n+1} = \overline{Q_0^n}$

$Q_1^{n+1} = Q_1^n \oplus (\overline{Q_3^n} Q_0^n)$

$Q_2^{n+1} = Q_2^n \oplus (Q_1^n Q_0^n)$

$Q_3^{n+1} = Q_3^n \oplus (Q_2^n Q_1^n Q_0^n + Q_3^n Q_0^n)$

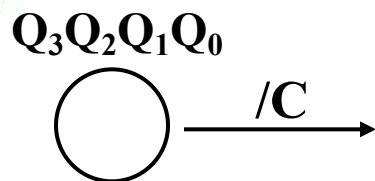
无效状态



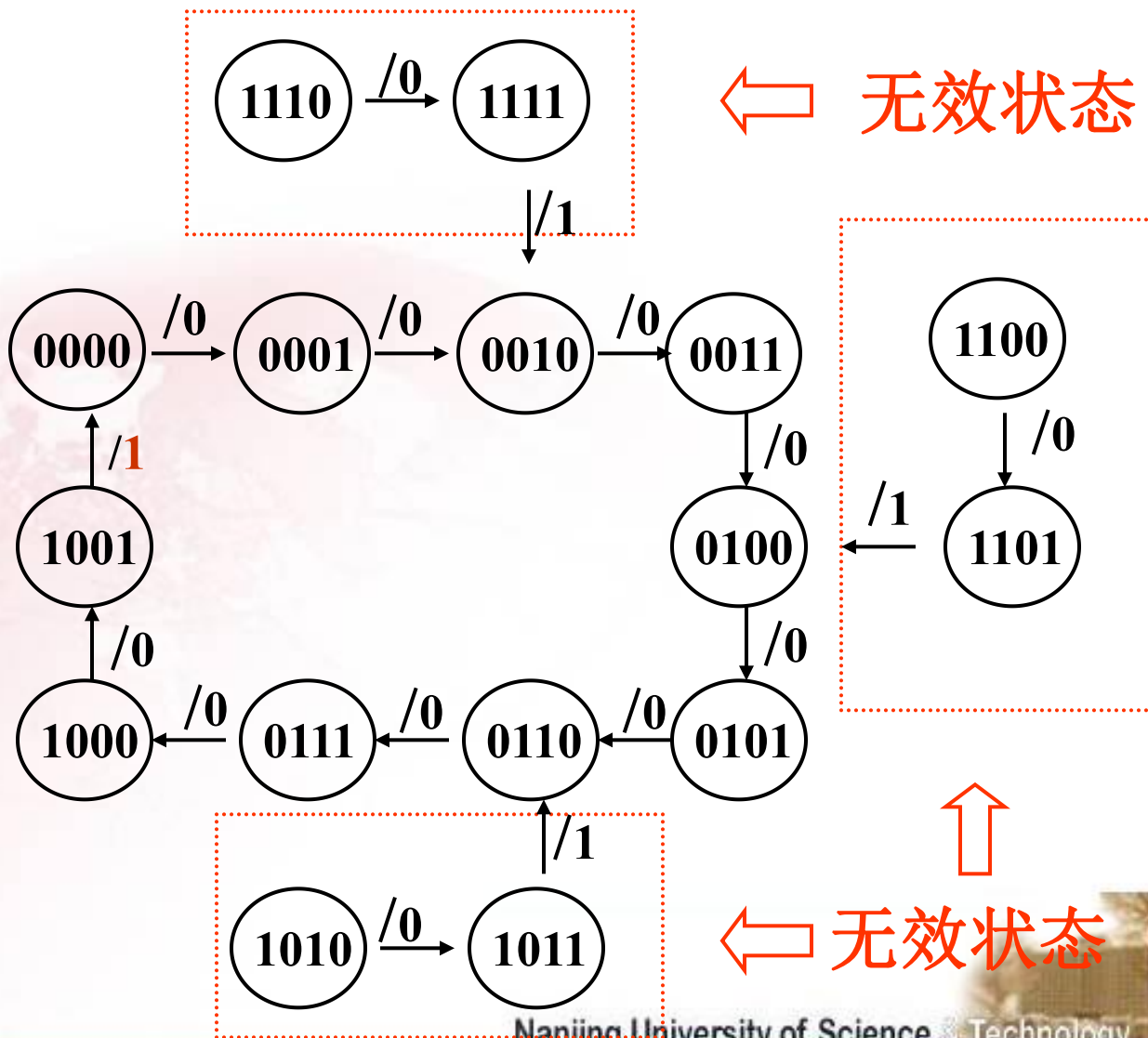
Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	C
0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	0	0
0	0	1	0	0	0	1	1	0
0	0	1	1	0	1	0	0	0
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	0
0	1	1	0	0	1	1	1	0
0	1	1	1	1	0	0	0	0
1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	0	0	1
1	0	1	0	1	0	1	1	0
1	0	1	1	0	1	1	0	1
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	1	1	1	0
1	1	1	1	0	0	1	0	1



同步十进制加法计数器状态图



有效状态圈





3. 可逆计数器

可逆计数器具有两种形式:

- ① 有加减控制的**可逆计数器**: 这种电路有一个**CLK脉冲输入端**,有一个**加减控制端**,电路作何种计数,由加减控制端的**控制信号**来决定;
- ② **双时钟可逆计数器**: 这种电路有**两个CLK脉冲输入端**,电路作不同计数时,分别从不同的**CLK端**输入.

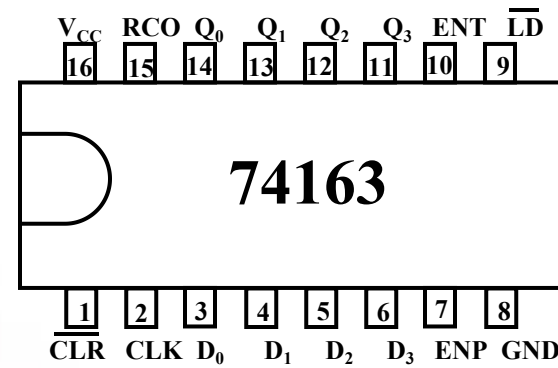
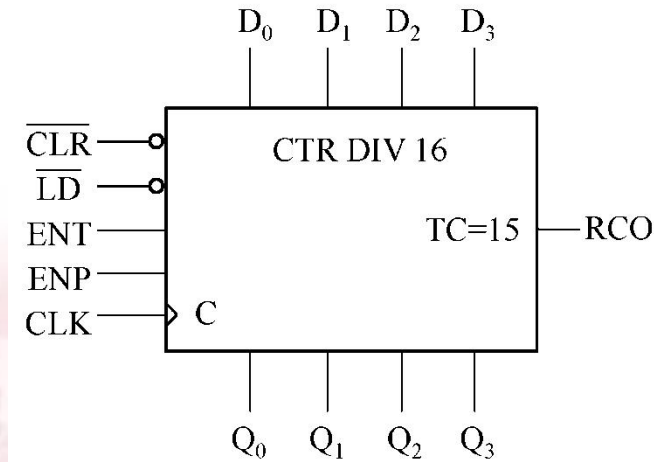
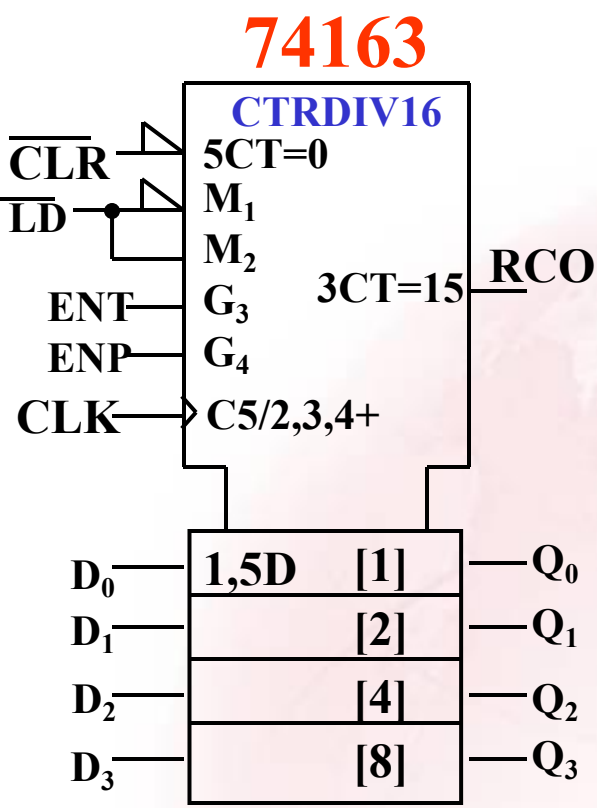


4. 通用同步计数器集成电路

集成同步计数器的产品型号较多，属4位二进制计数器的有74161、74163等，属十进制计数器的有74160,属4位二进制可逆计数器有74169、74191、74193等，属十进制可逆计数器有74190、74192等，这些计数器均有对应的CMOS集成电路，其型号为74HC



1) 同步4位二进制计数器74163的功能

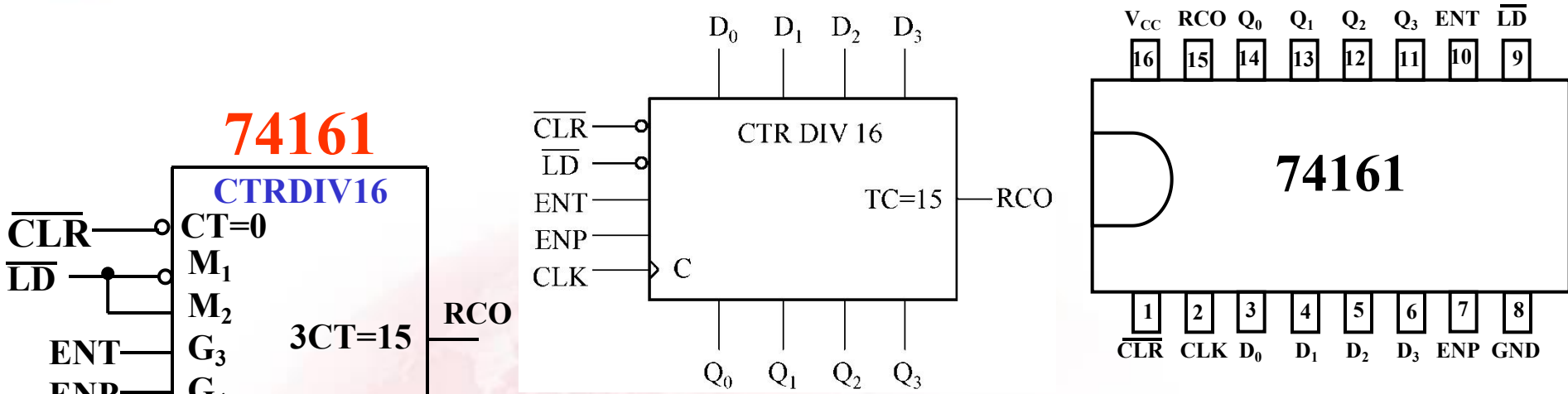


74163功能表

CLK	$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENP	ENT	功能
↑	0	×	×	×	同步清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持(包括RCO的状态)
×	1	1	×	0	保持(RCO=0)
↑	1	1	1	1	同步计数



2) 同步4位二进制计数器74161的功能

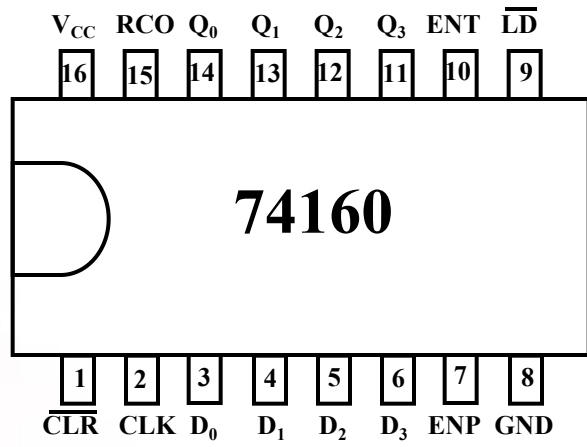
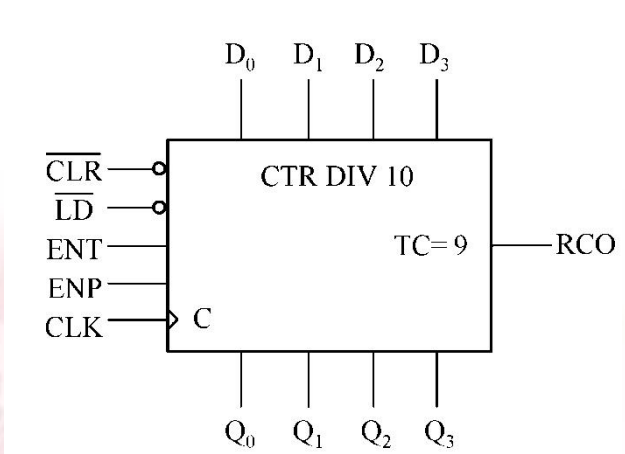
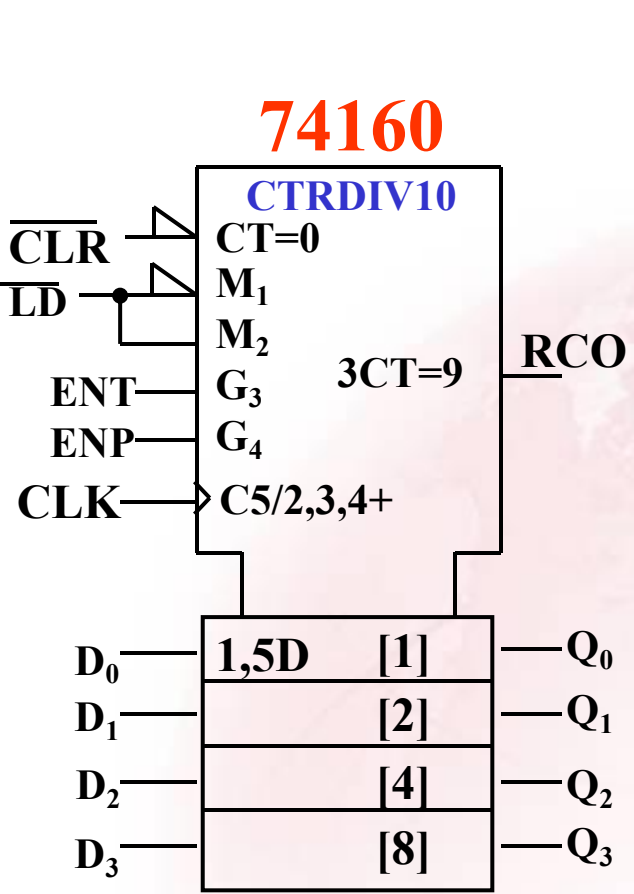


74161功能表

CLK	$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENP	ENT	功能
×	0	×	×	×	异步清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持(包括RCO的状态)
×	1	1	×	0	保持(RCO=0)
↑	1	1	1	1	同步计数



3) 同步十进制计数器74160的功能



74160功能表

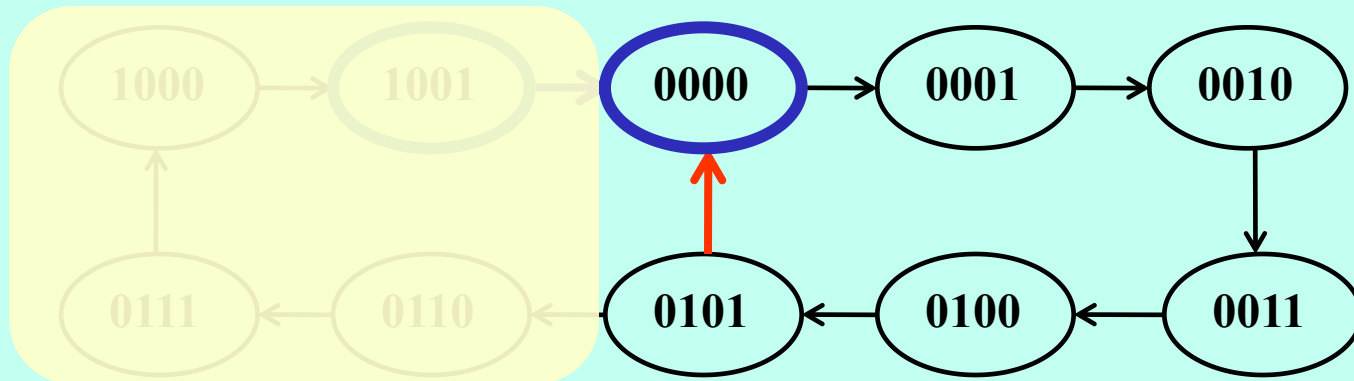
CLK	$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENP	ENT	功能
×	0	×	×	×	异步清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持(包括RCO的状态)
×	1	1	×	0	保持(RCO=0)
↑	1	1	1	1	同步计数

任意进制计数器

利用中规模集成计数器,经外电路的不同连接,以得到所需任意进制计数器。

已有 N 进制计数器, 需要得到 M ($M < N$) 进制的计数器, 在顺序计数过程中跳跃 $N-M$ 个状态即可。

例如: 已有十进制计数器, 若需要得到六进制计数器。



十进制计数器状态图 ➡ 六进制计数器状态图

任意进制计数器——清零法

➤ 反馈复位法（清零法）

控制中规模集成计数器的**清零端**来获得任意进制计数器

• 同步清零法

$$\overline{\text{CLR}}=0$$

$$\text{CLK} \uparrow$$

• 异步清零法

$$\overline{\text{CLR}}=0$$

74163 功能表

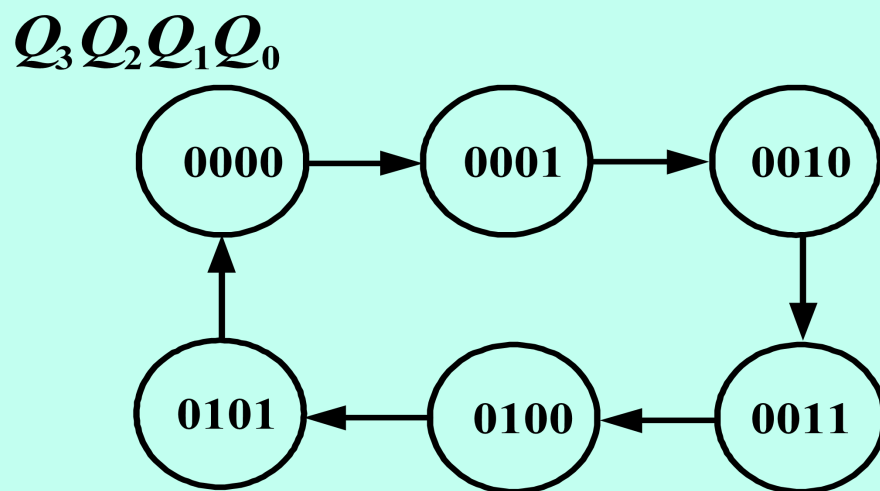
CLK	$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENP	ENT	功 能
↑	0	×	×	×	同步清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持（包括 RCO 的状态）
×	1	1	×	0	保持（RCO=0）
↑	1	1	1	1	加计数

74161 功能表

CLK	$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENP	ENT	功 能
×	0	×	×	×	异步清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持（包括 RCO 的状态）
×	1	1	×	0	保持（RCO=0）
↑	1	1	1	1	加计数

任意进制计数器——清零法

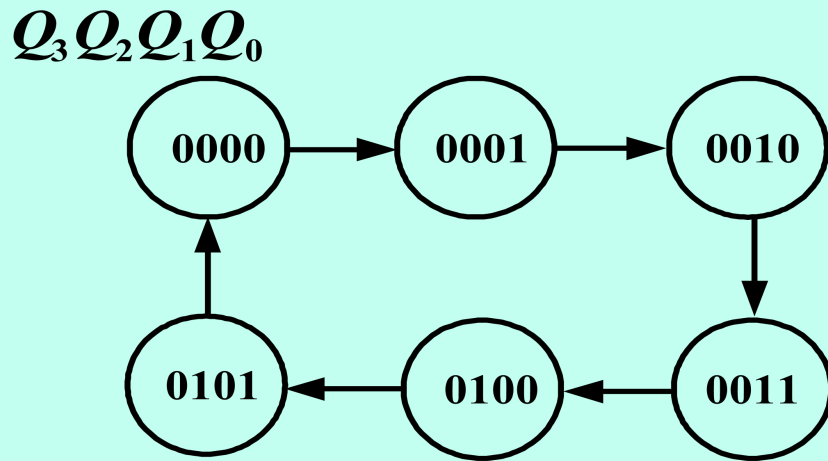
例1： 请用中规模同步二进制加法计数器74163和74161分别构成一个模6加法计数器。



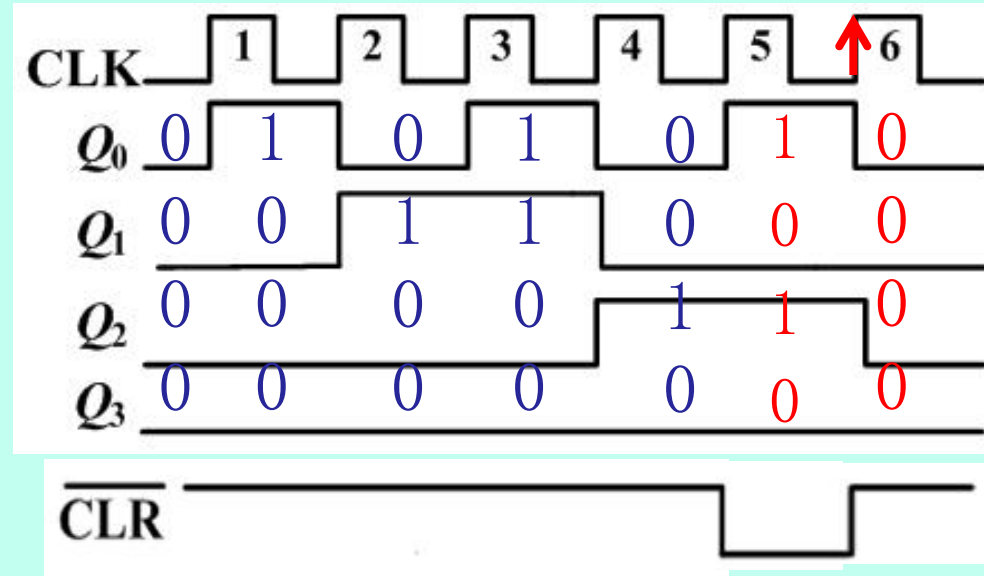
模6计数器状态图

反馈复位法——同步清零

1) 用74163（同步清零）实现模6计数器。



模6计数器状态图



模6计数器时序图

同步清零法

$\overline{\text{CLR}}=0 \leftarrow Q_3 Q_2 Q_1 Q_0=0101$

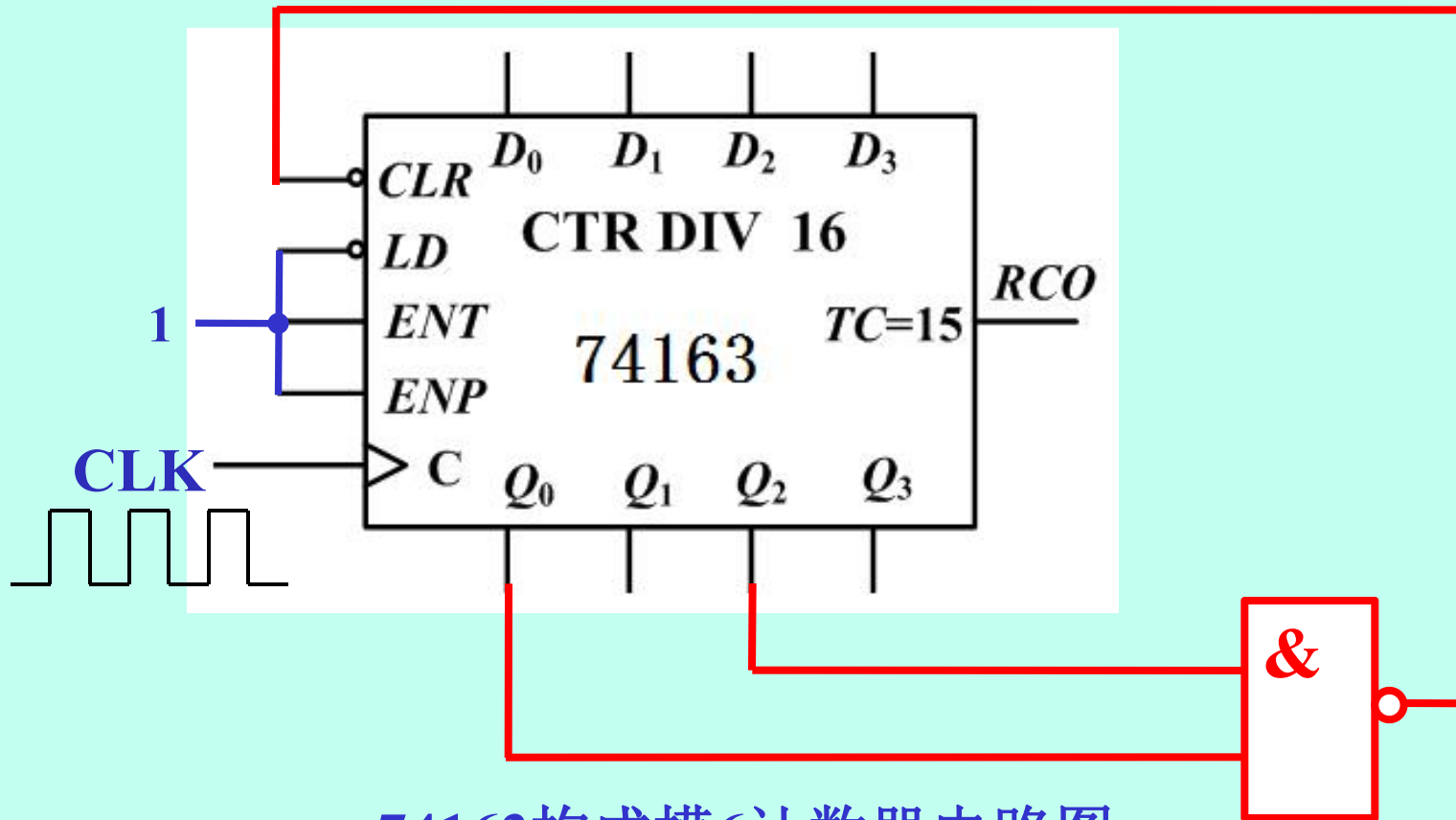
CLK \uparrow

$$\overline{\text{CLR}} = \overline{Q_2 Q_0}$$

反馈复位法——同步清零

1) 用74163（同步清零）实现模6计数器。

$$\overline{\text{CLR}} = \overline{Q_2 Q_0}$$



74163构成模6计数器电路图

* 同步清零法实现M进制计数器，在第M个计数状态取清零信号

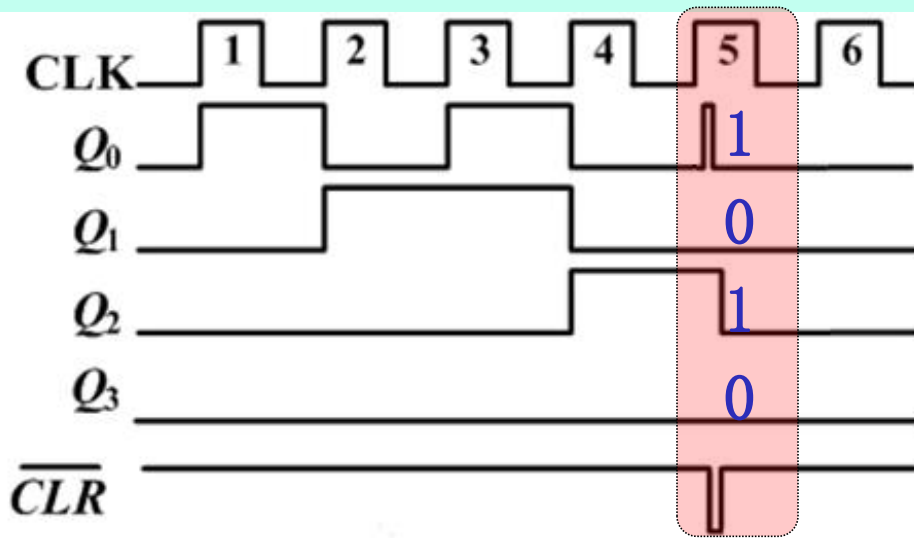
反馈复位法——异步清零

2) 用**74161**（异步清零）实现模6计数器。

- 异步清零法 $\overline{\text{CLR}}=0 \leftarrow Q_3Q_2Q_1Q_0=0110$

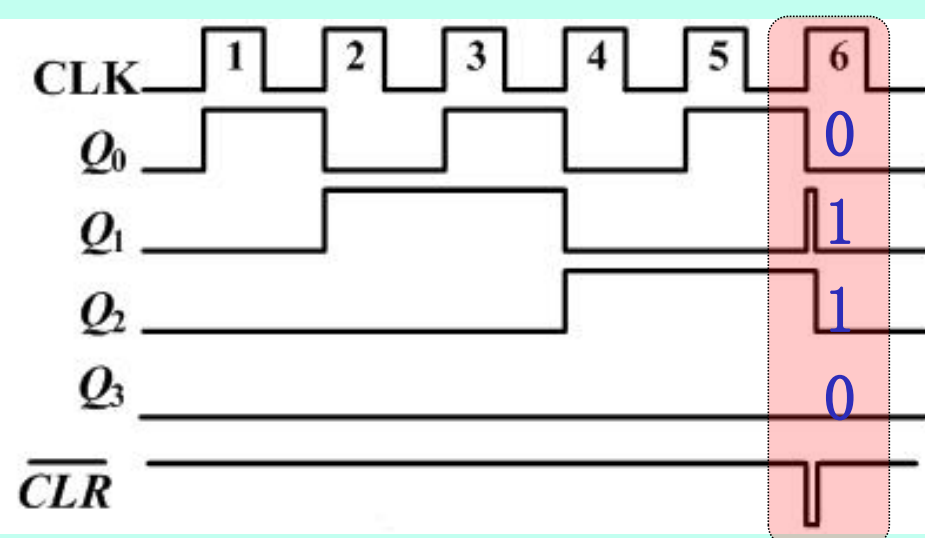
假设 $\overline{\text{CLR}} = \overline{Q_2 Q_0}$

$$\overline{\text{CLR}} = \overline{Q_2 Q_1}$$



模5计数器时序图

瞬间即逝



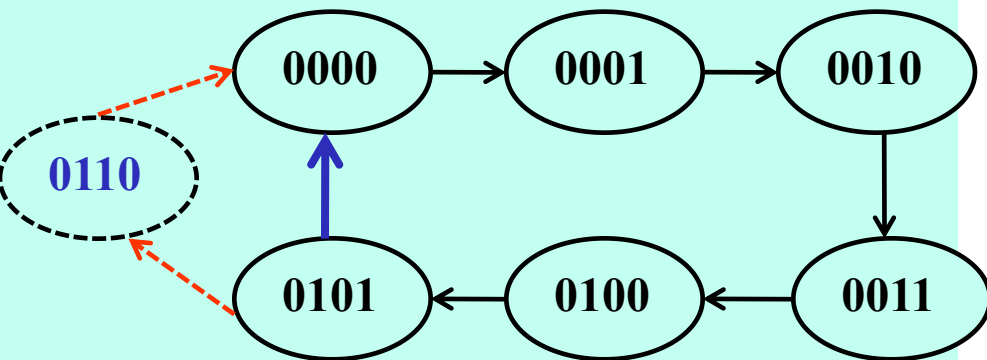
模6计数器时序图

反馈复位法——异步清零

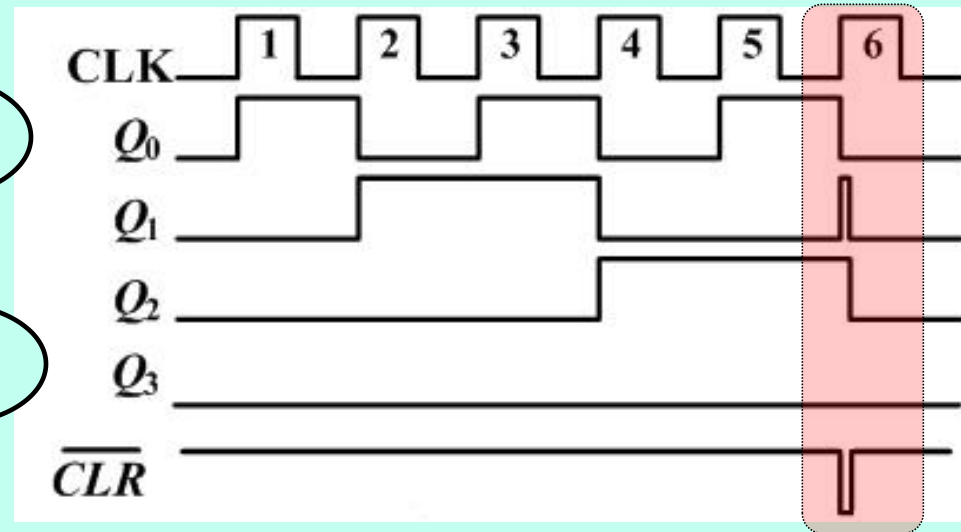
2) 用**74161**（异步清零）实现模6计数器。

- 异步清零法 $\overline{\text{CLR}}=0 \leftarrow Q_3Q_2Q_1Q_0=0110$

$$\overline{\text{CLR}} = \overline{Q_2 Q_1}$$



状态图

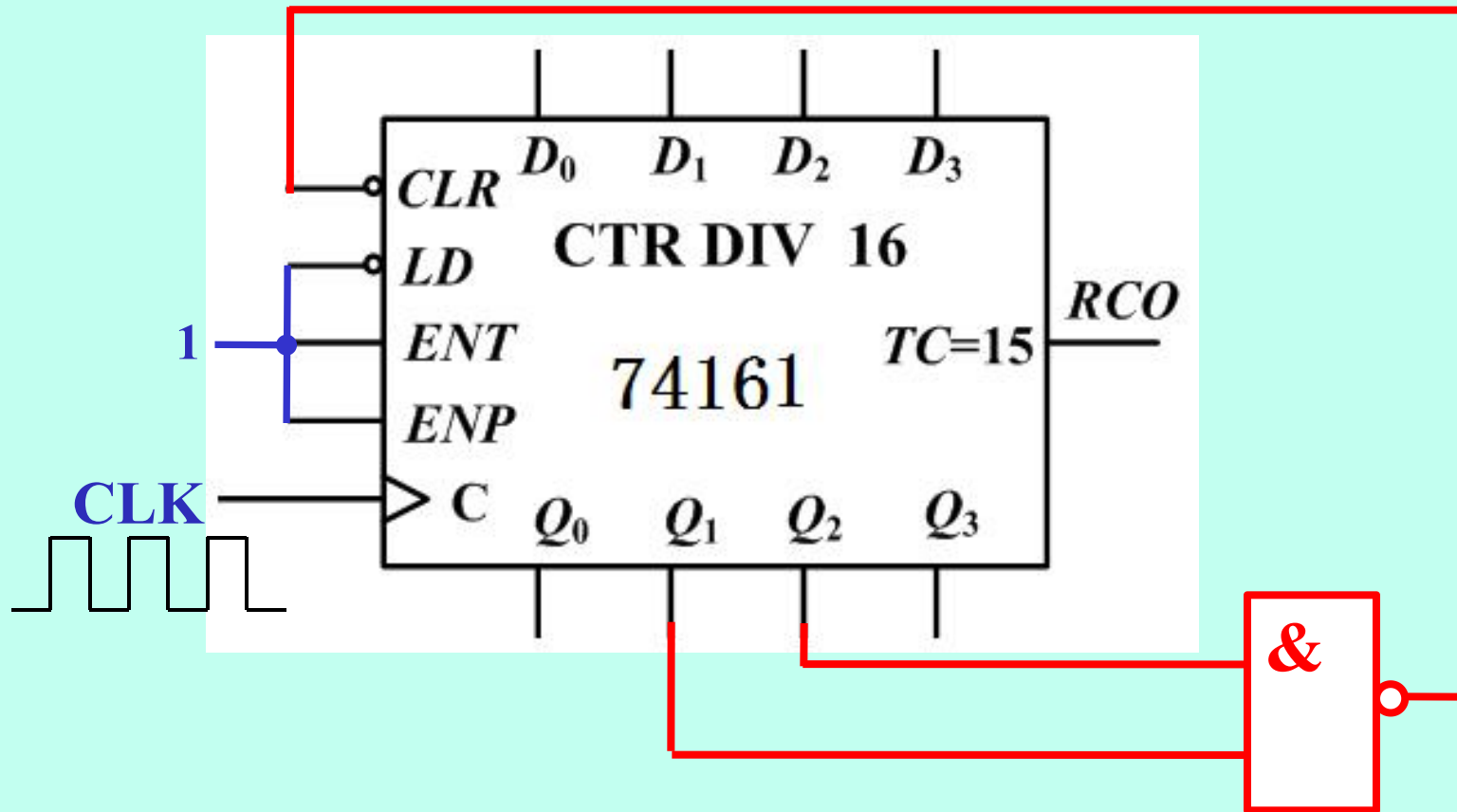


模6计数器时序图

反馈复位法——异步清零

2) 用**74161**（异步清零）实现模6计数器.

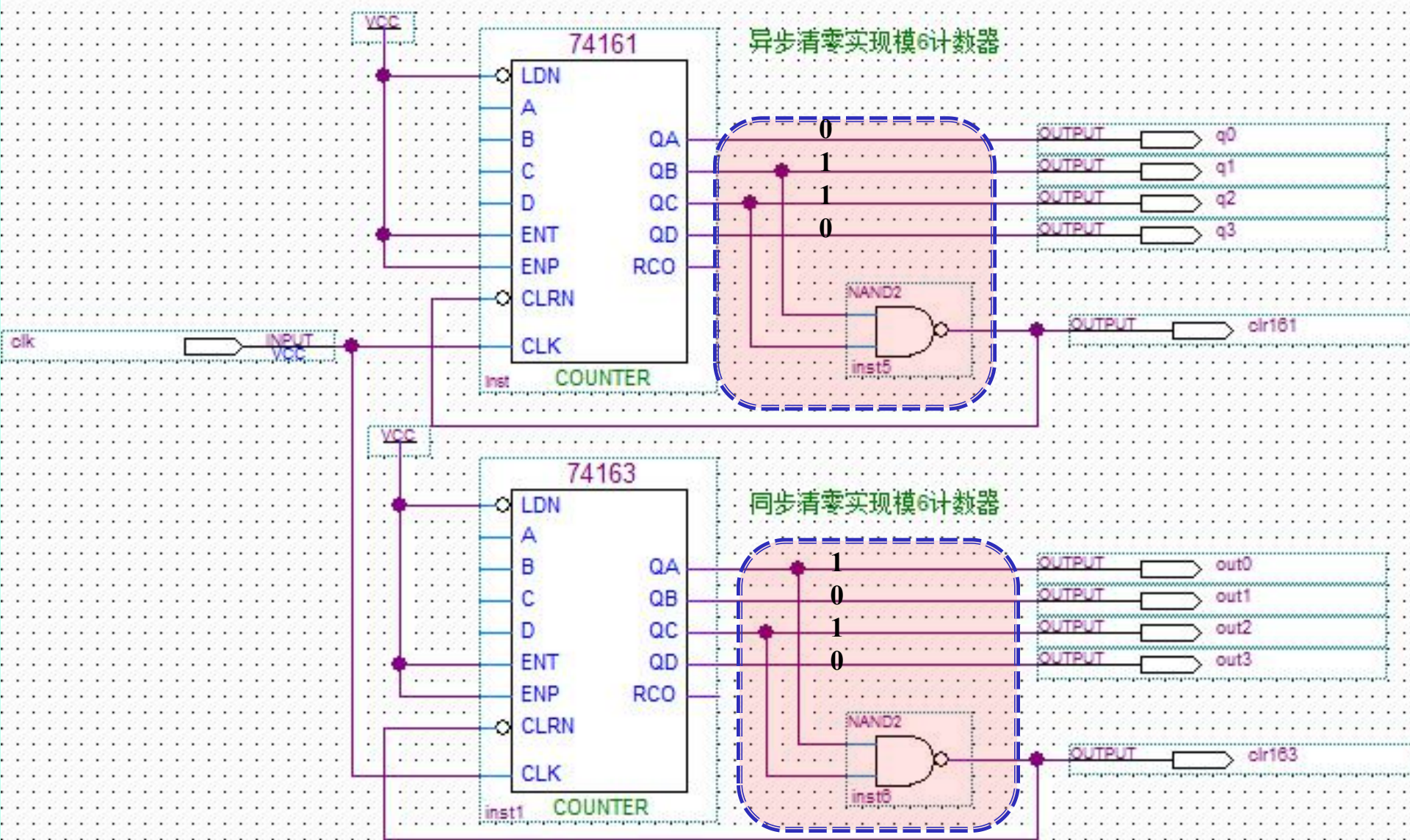
$$\overline{\text{CLR}} = \overline{Q_2 Q_1}$$



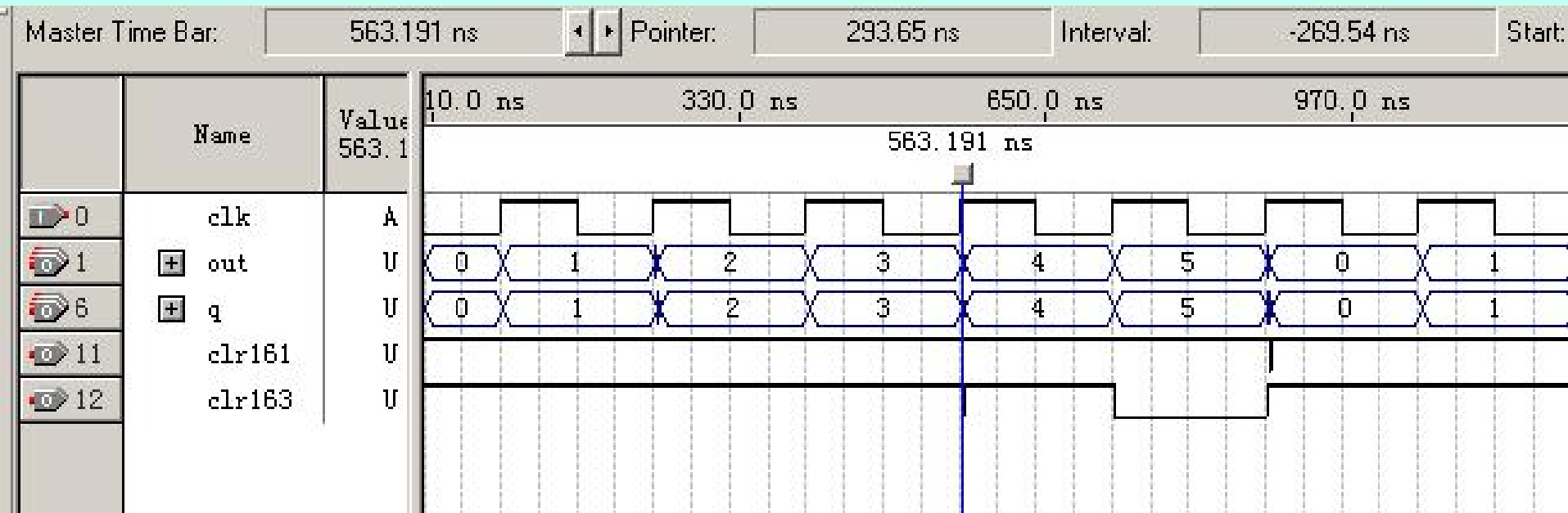
74161构成模6计数器电路图

* 异步清零法实现**M**进制计数器，在**第M+1个**计数状态取清零信号

模6计数器仿真实验原理图



模6计数器仿真实验波形图



clk : 时钟（周期为160ns）

out : 74163的输出信号

q : 74161的输出信号

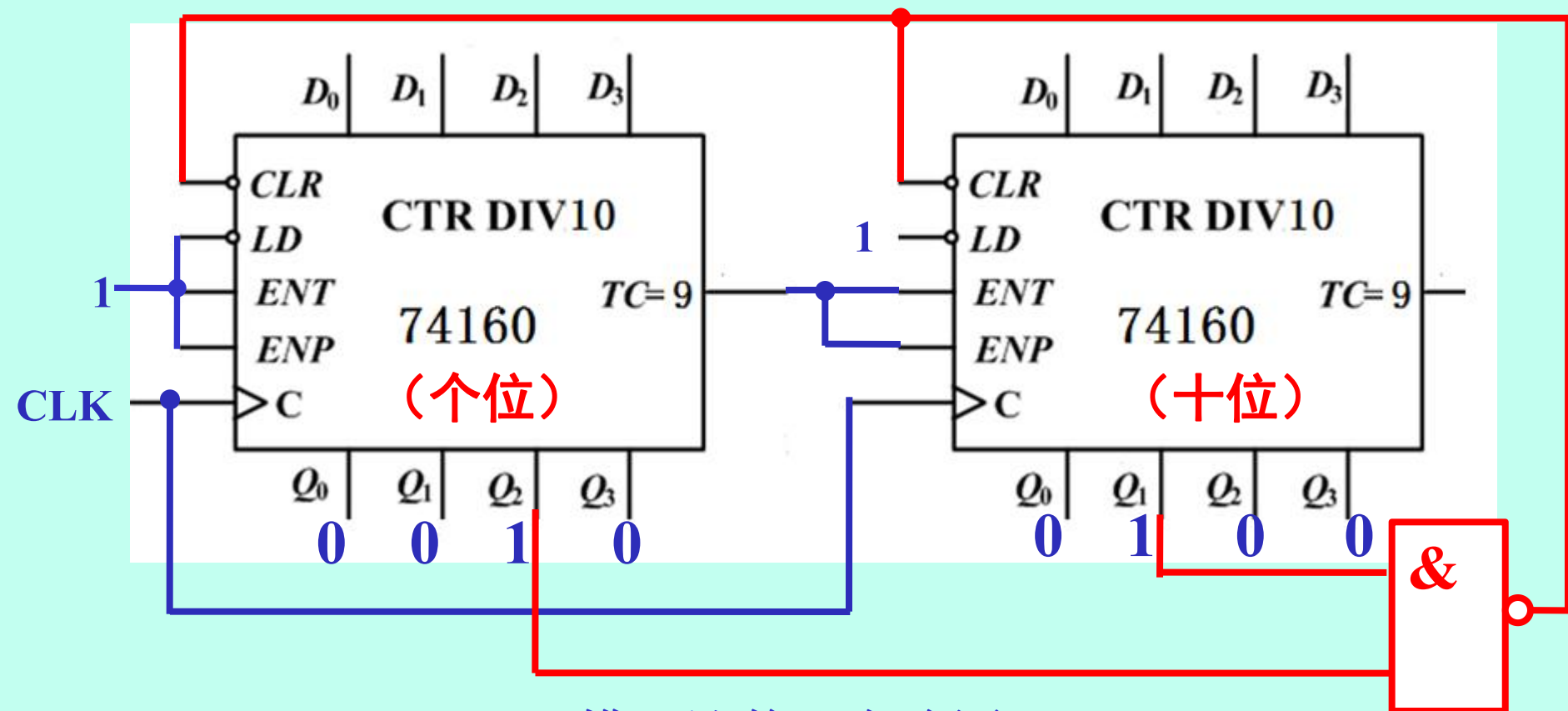
clr163 : 74163的同步清零信号

clr161 : 74161的异步清零信号

任意进制计数器——反馈复位法

➤ **思考题：** 请用十进制计数器**74160**实现一个模**24**的计数器。

分析: 1、容量扩展; 2、异步清零



模24计数器电路图

任意进制计数器——反馈复位法

思维进阶：

请用二进制计数器**74163**实现一个模24（十进制）的计数器。

分析： 1、容量扩展； 2、个体同步清零实现模10；
3、整体同步清零实现模24

知识点小结

* 同步清零法实现**M**进制计数器，在第M个计数状态取清零信号

* 异步清零法实现**M**进制计数器，在第M+1个计数状态取清零信号

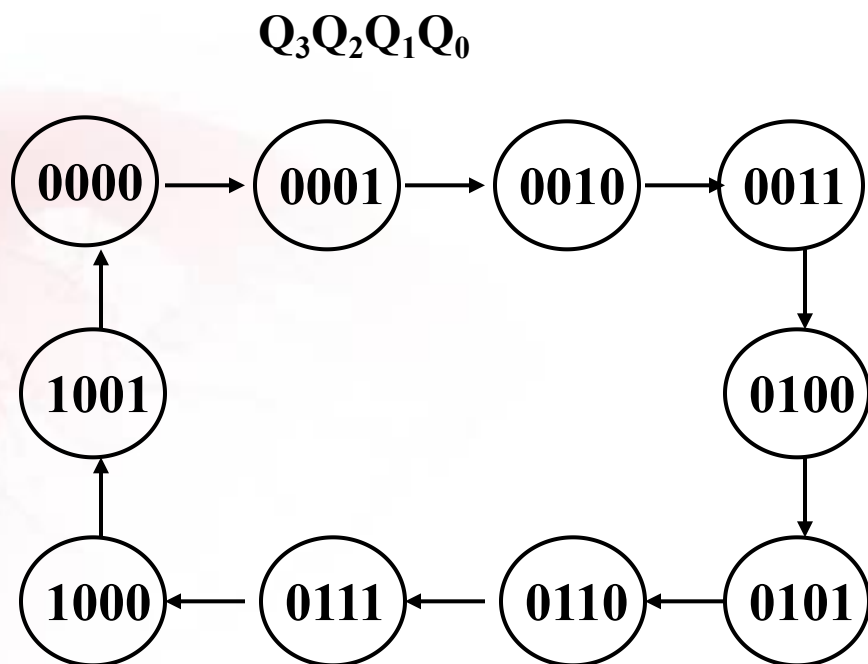
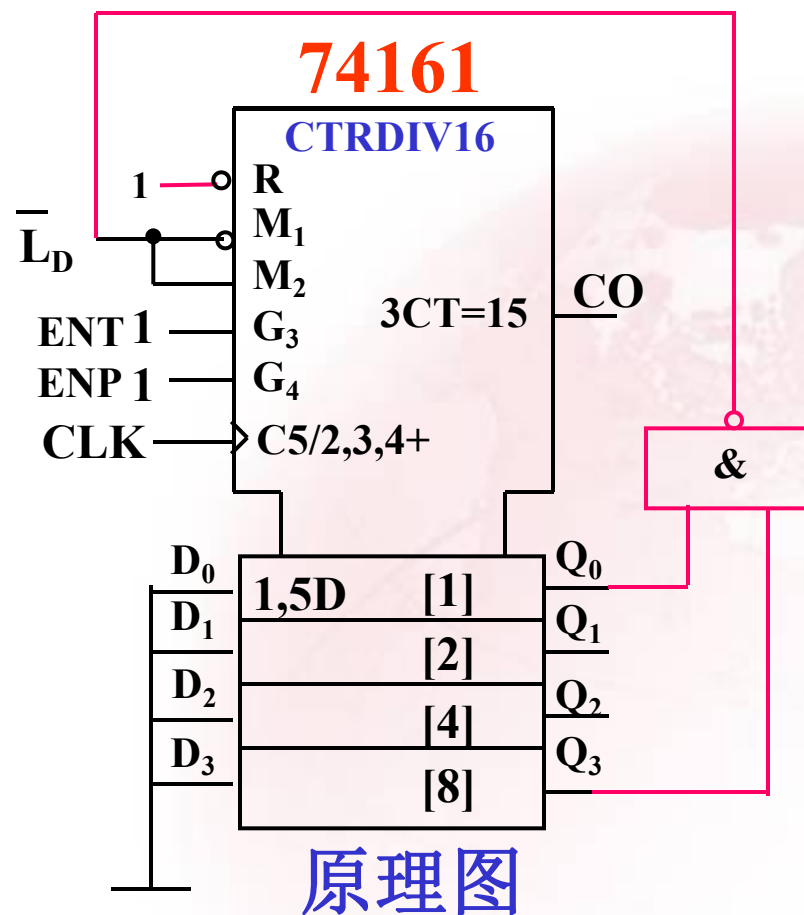


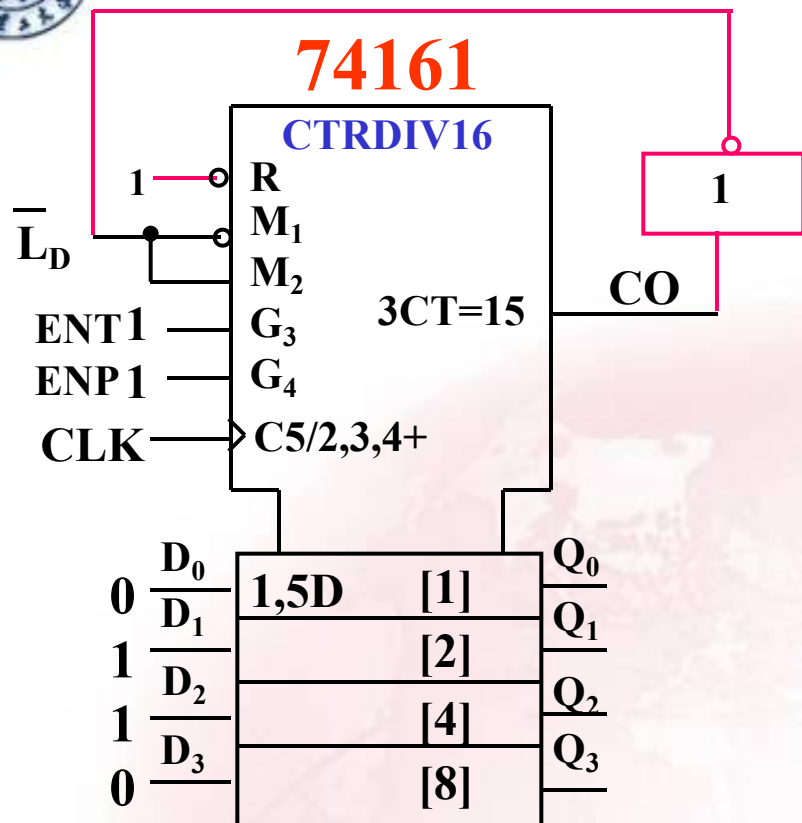
2) 反馈置位法(置数法)

利用计数器的预置数控制端来获得任意进制计数器.

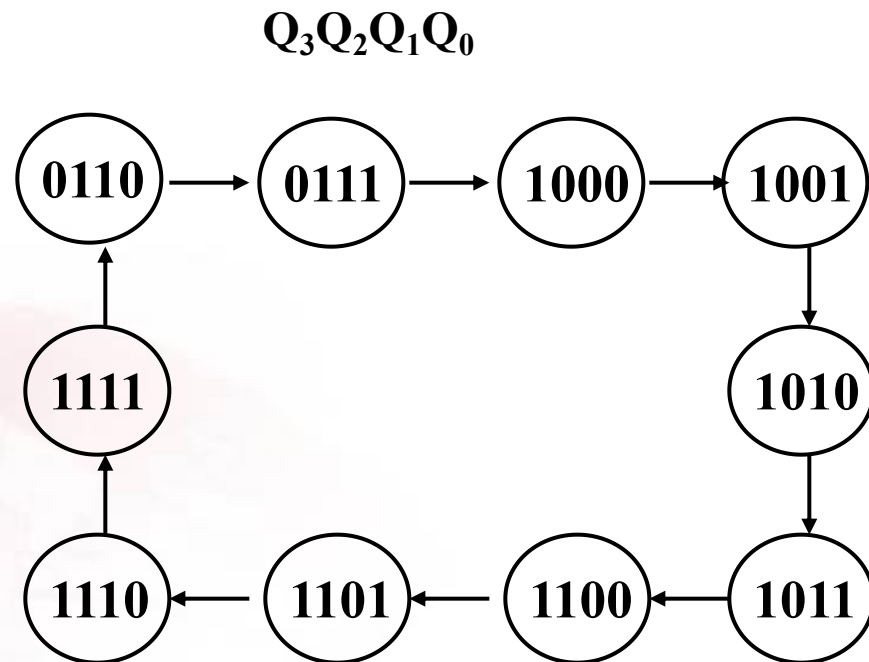


例：试用74161实现模10计数器。





原理图

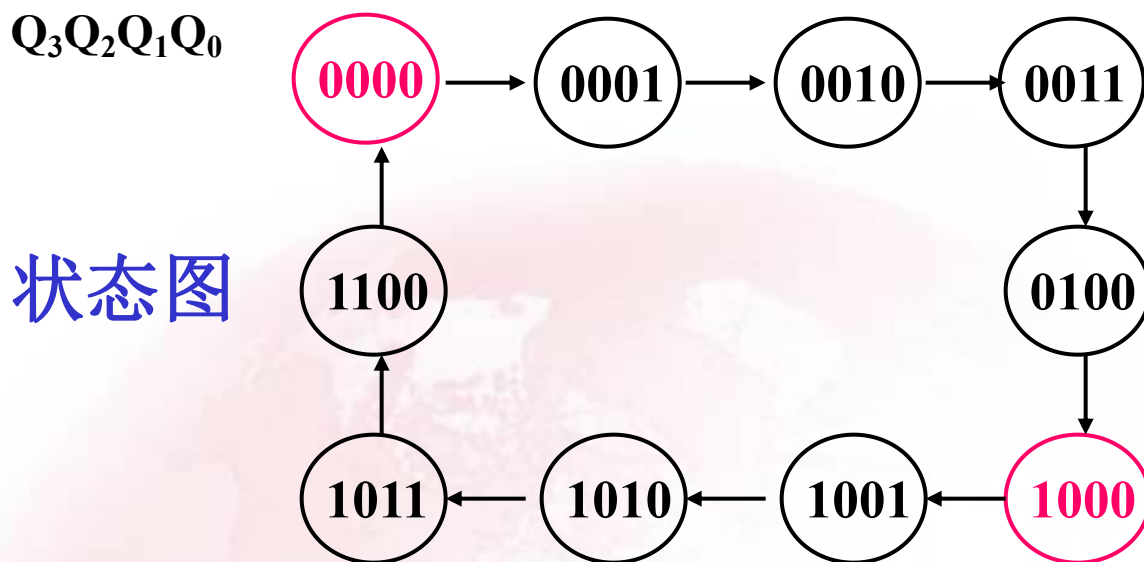


状态图

模10计数器的另一种方案

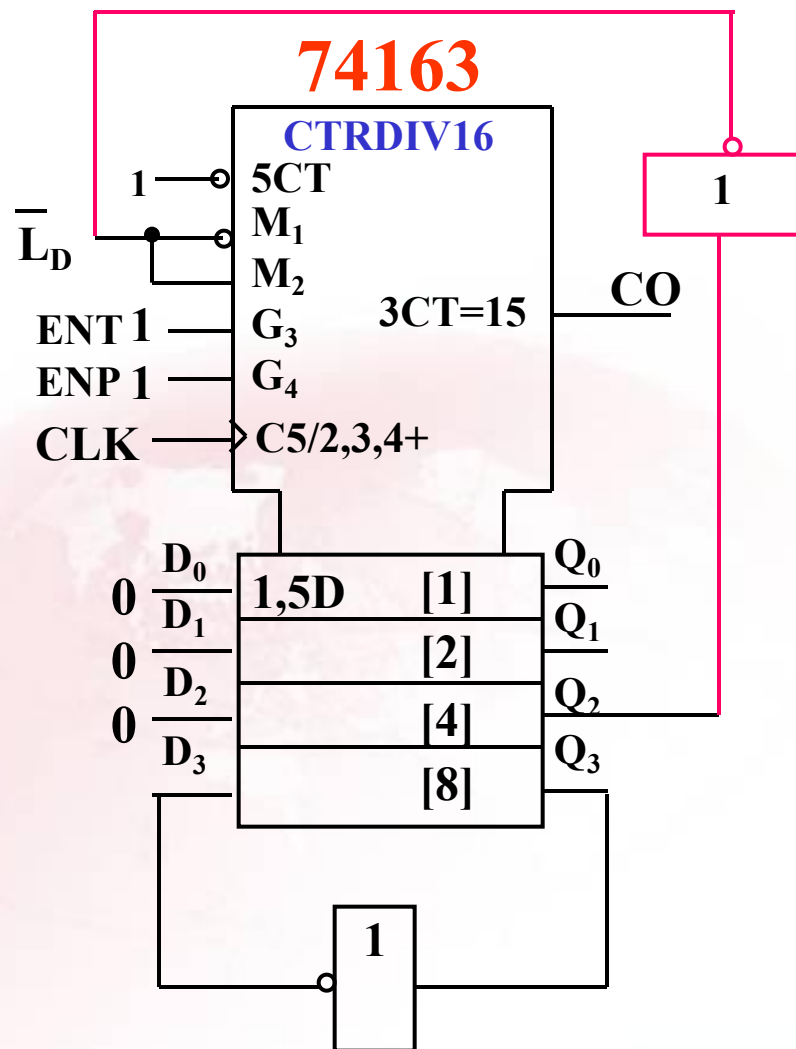


例：用同步计数器74163实现5421BCD码计数器。



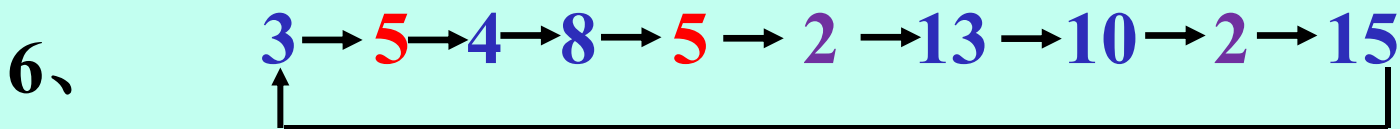
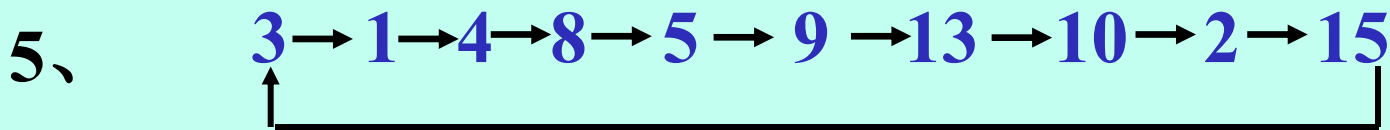
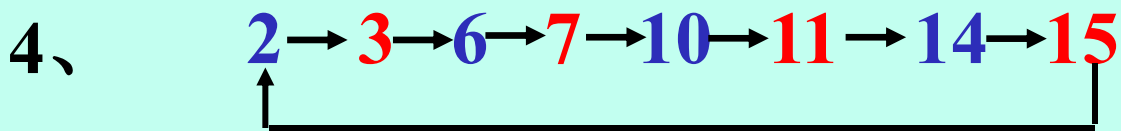
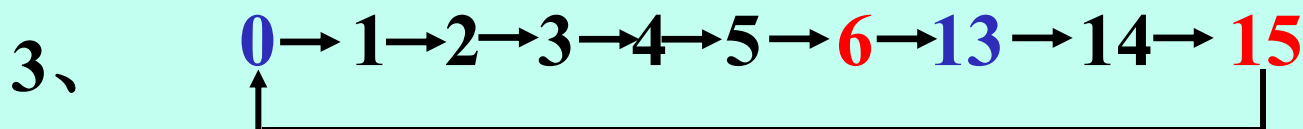
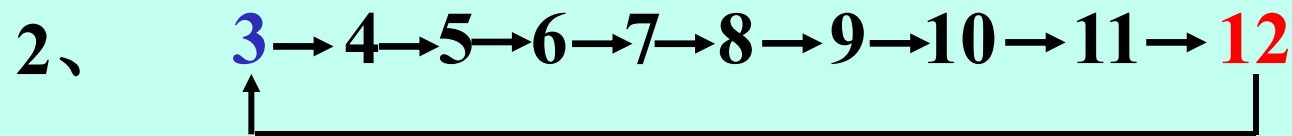
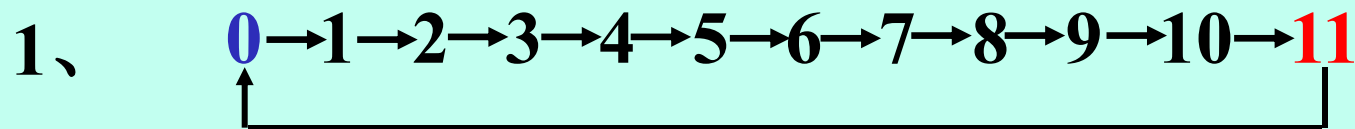
方案一：可在同一电路中既采用置数，又采用清零方法。

方案二：只采用置数法，在不同的位置置不同的数。



讨论题

请设计分别为以下状态转换规律的任意进制计数器



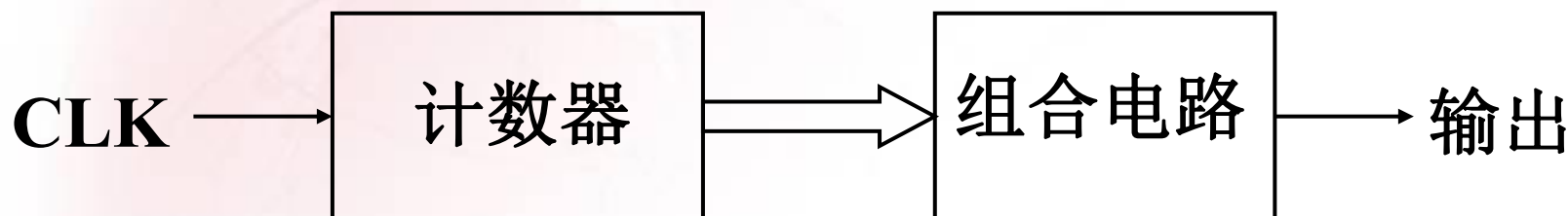


6.1.3 计数器应用

1. 序列信号发生器

在数字信号的传输和数字系统的测试中，有时需要用到一组**特定的串行数字信号**。通常把这种串行数字信号称为序列信号。产生序列信号的电路称为**序列信号发生器**。

用计数器和简单组合逻辑电路（如MUX）组成**序列信号发生器**。





例：试设计一个能产生序列信号为**0101101**的计数型序列信号发生器。

- 解：1) 根据序列信号的长度 M (本例为7),设计**模 M** 计数器;
(本例计数器选用74160,并用置数法实现模7计数器)
- 2) 将计数器的输出 $Q_2Q_1Q_0$ 作为输入,**序列信号作为输出**,列出真值表;
- 3) 根据真值表,求出**组合逻辑**关系表达式;
- 4) 画逻辑图.

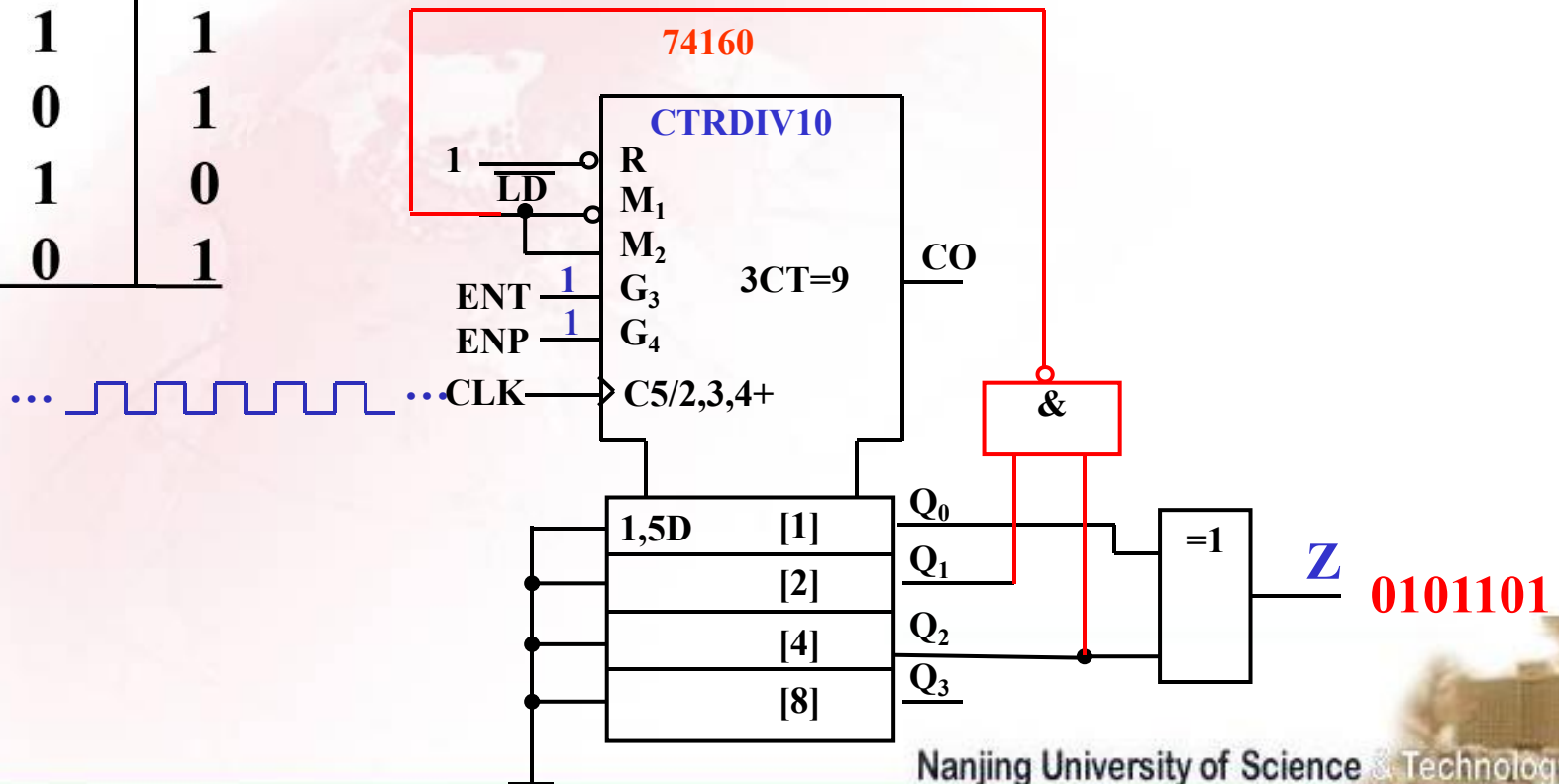


方法一：

Q_2	Q_1	Q_0	Z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	0	1	1	0
1	1	0	×	1

$$Z = \bar{Q}_2 Q_0 + Q_2 \bar{Q}_0 \\ = Q_2 \oplus Q_0$$

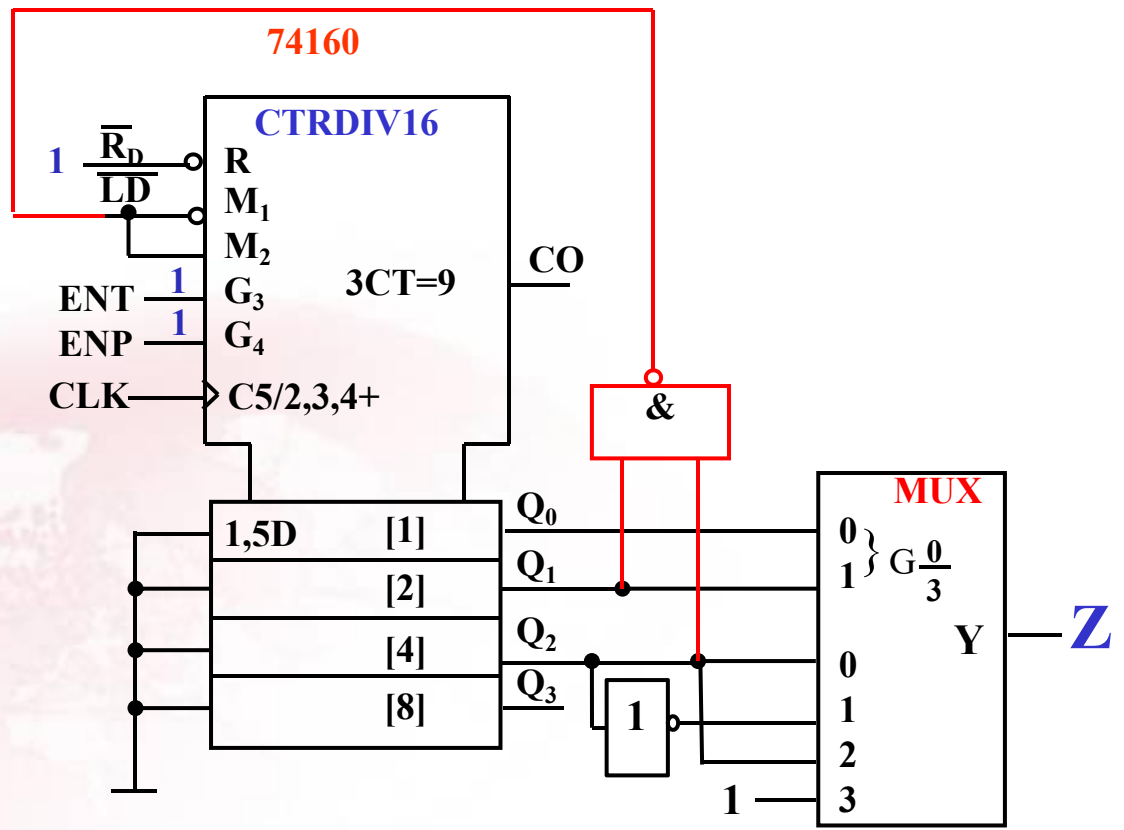




方法二:

Q_2	Q_1	Q_0	Z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	0	1	1	0
1	1	0	×	1

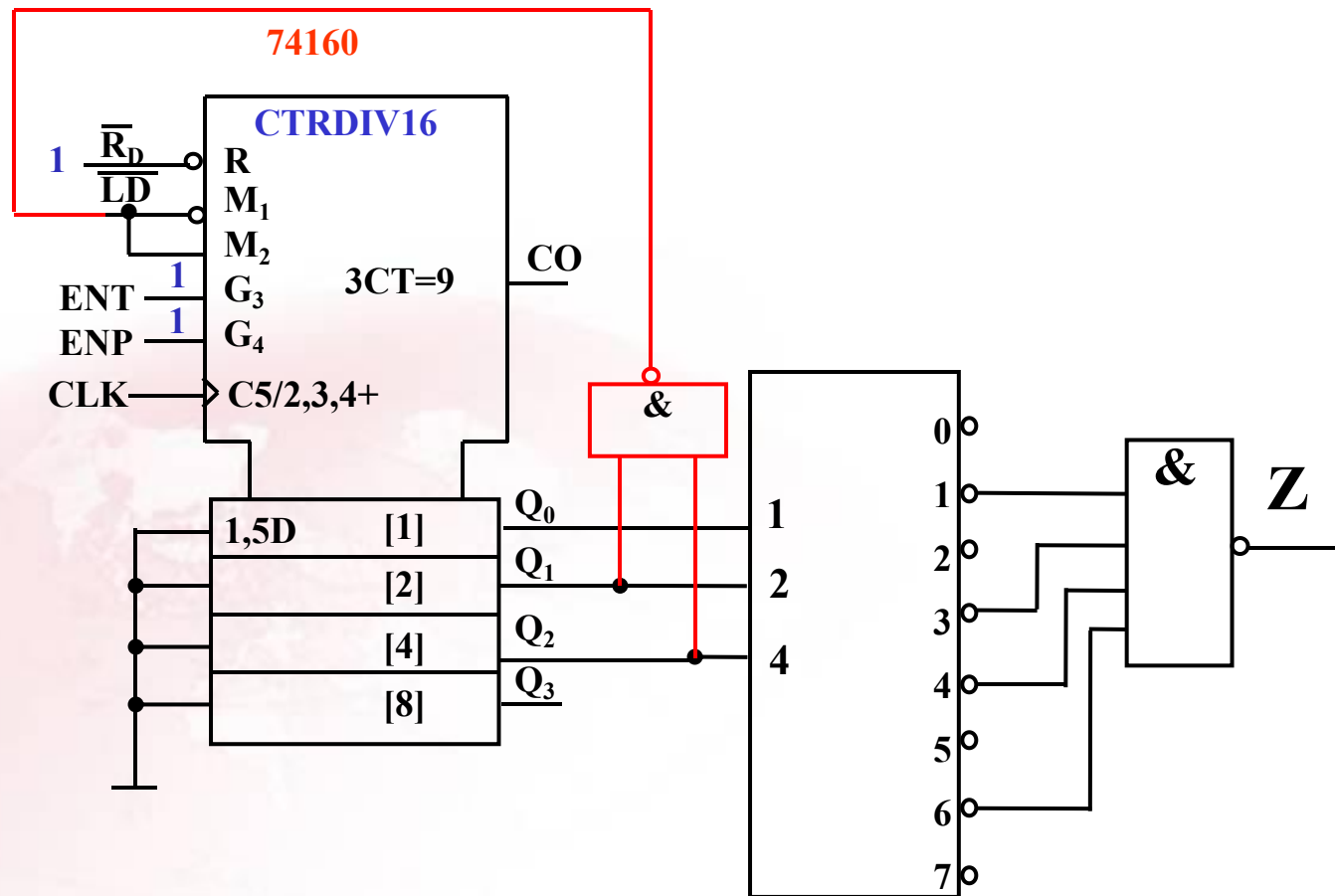


$D0=Q_2$ $D2=Q_2$
 $D1=\bar{Q}_2$ $D3=1$



方法三:

Q_2	Q_1	Q_0	Z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1





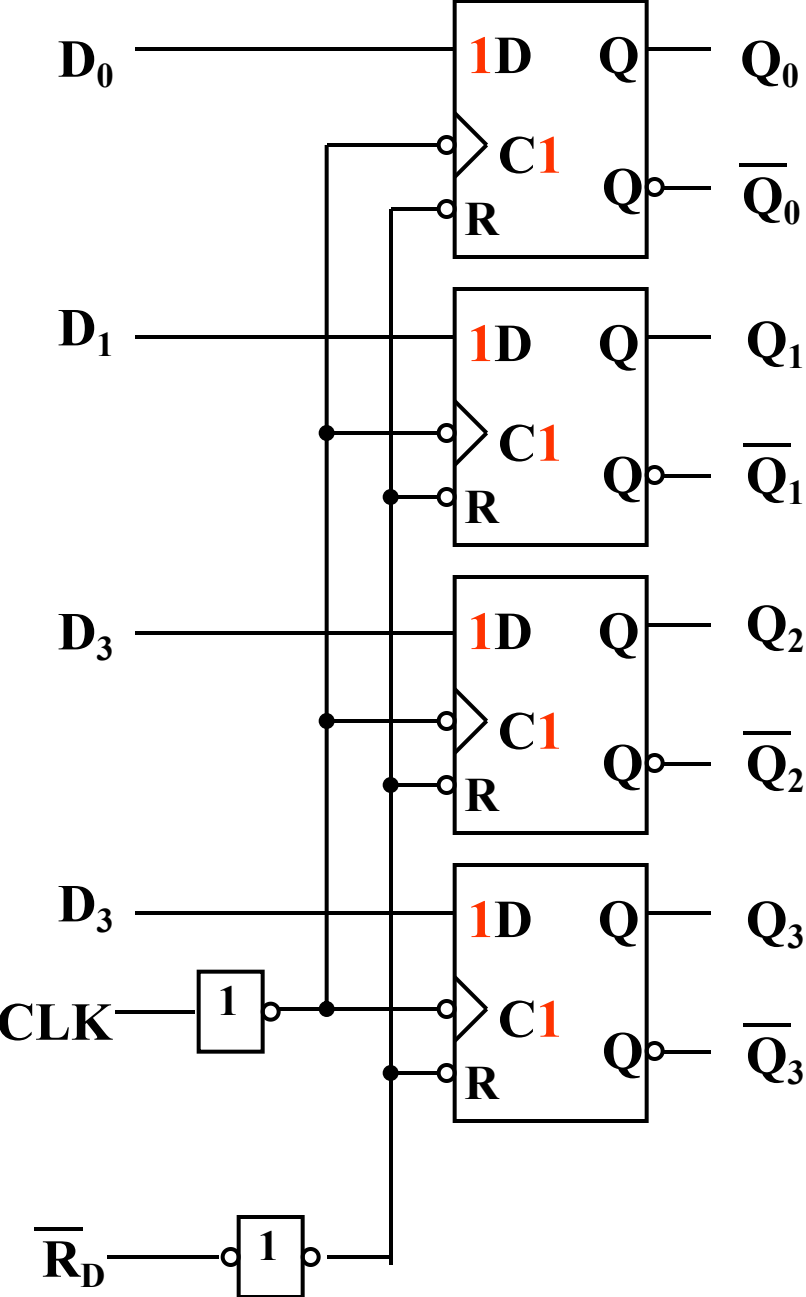
6.2 寄存器和移位寄存器

6.2.1 寄存器

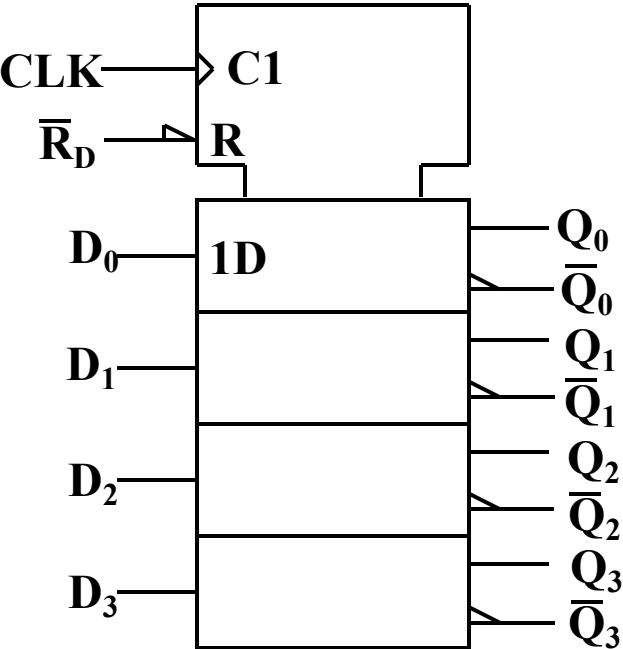
寄存器是用于暂时存放二进制数码的时序逻辑部件，广泛地应用于各类数字系统中。

MSI多位数据寄存器通常分为**两类**，一类是由多位**D触发器**并行组成的寄存器，数据是在时钟**有效边沿**到来时存放的；另一类是由**D锁存器**组成，数据是在时钟某个约定**电平**下存入的。

① 4位D触发器寄存器(74175)

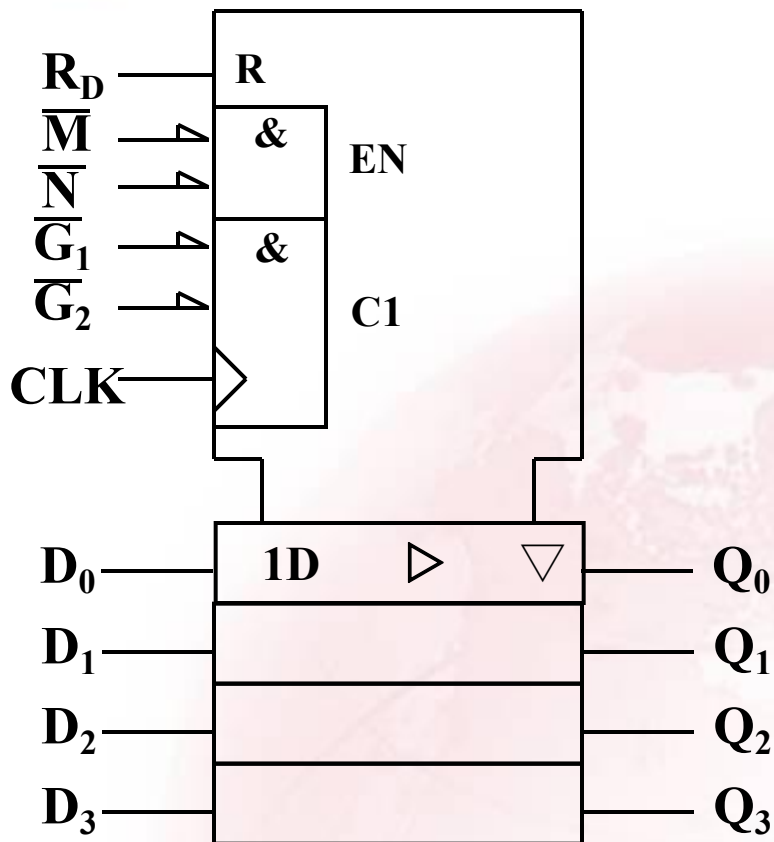


输入			输出	
$\overline{R_D}$	CLK	D	Q^{n+1}	\overline{Q}^{n+1}
0	×	×	0	1
1	↑	1	1	0
1	↑	0	0	1
1	0	×	Q^n	\overline{Q}^n





② 具有三态输出的四位缓冲数据寄存器(74173)



▷: 为缓冲器符号;
▽: 三态符号。

74173功能表

R_D	CLK	\overline{G}_1	\overline{G}_2	\overline{M}	\overline{N}	Q_0	Q_1	Q_2	Q_3
1	×	×	×	0	0	0	0	0	0
0	↑	0	0	0	0	D_0	D_1	D_2	D_3
0		1	×	0	0	Q_0	Q_1	Q_2	Q_3
0		×	1	0	0	Q_0	Q_1	Q_2	Q_3
×				1	×	Z			
				×	1				



6.2.2 移位寄存器

功能：存放代码；移位。

分类：

1) 按移位方向分类： ① 单向移位寄存器；
② 双向移位寄存器。

2) 按输入输出的方式分类：

- | | |
|------------|------------|
| ① 串入---串出； | ② 串入---并出； |
| ③ 并入---串出； | ④ 并入---并出。 |

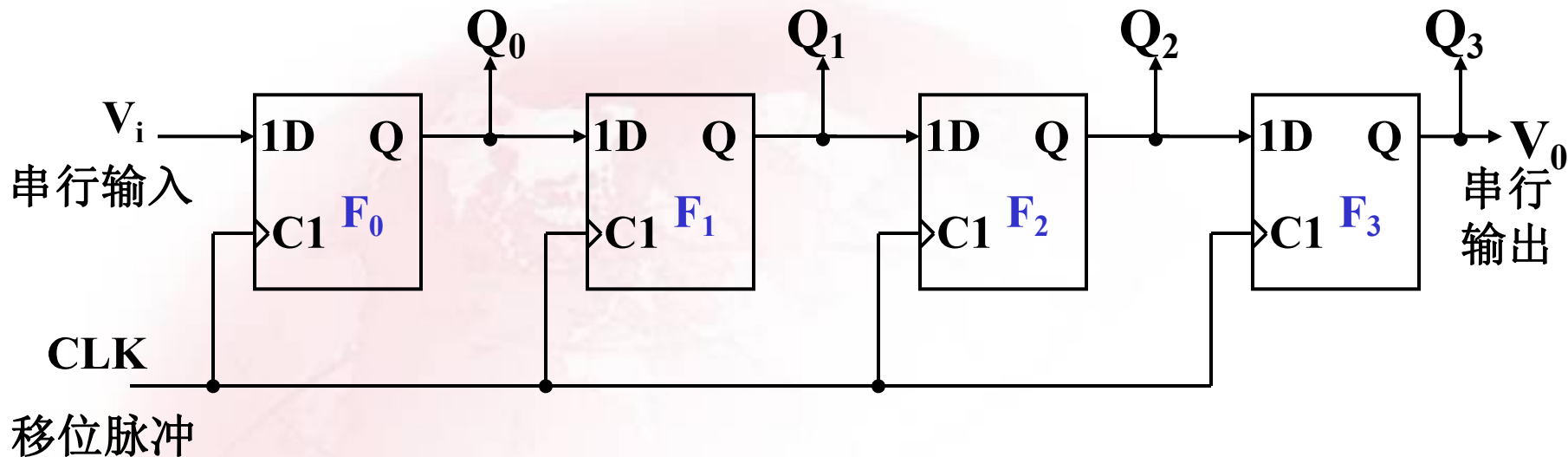
移位寄存器组成：

移位寄存器中的存储电路可用时钟控制的无空翻的D、RS或JK触发器组成。



(1) 单向移位寄存器

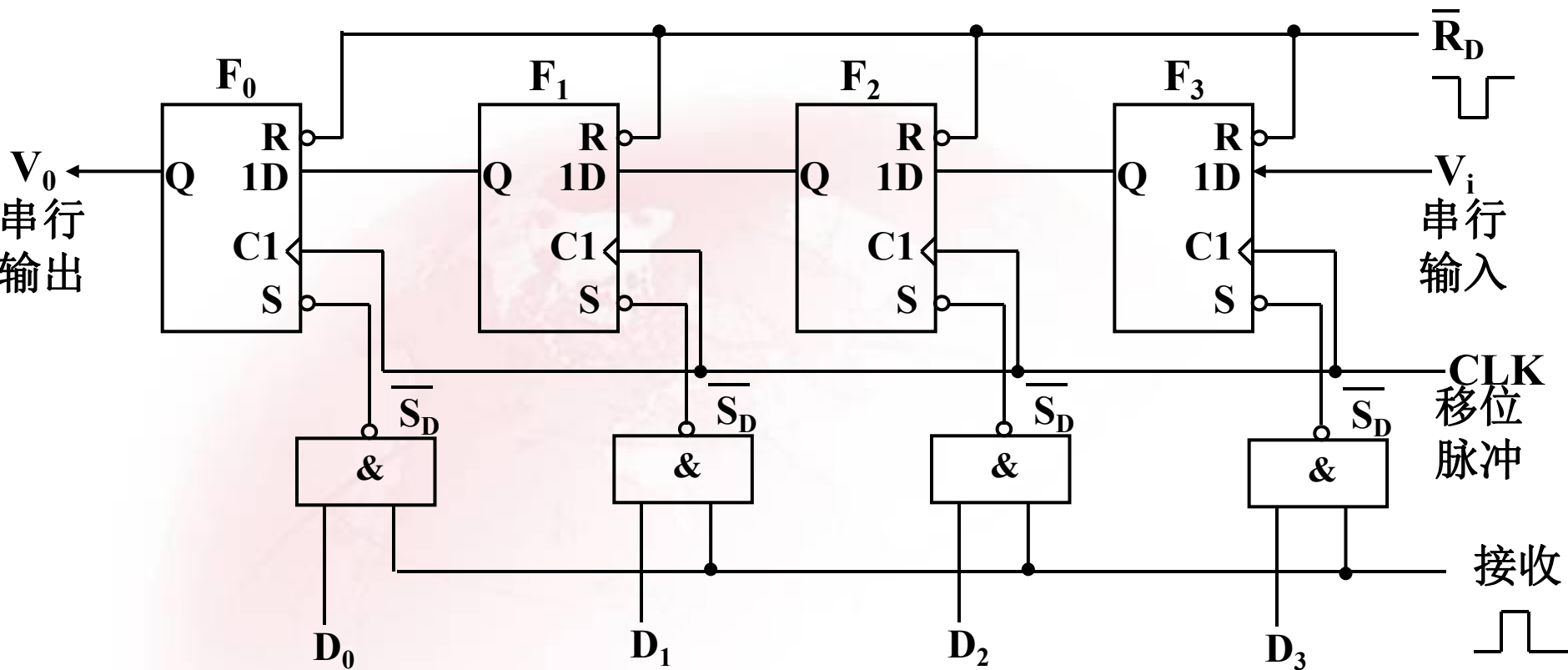
a) 串入---串/并出单向移存器



问题：若输入10110111，经过几个CLK后可在 V_0 收到完整数据？5个CLK后四个触发器的状态？

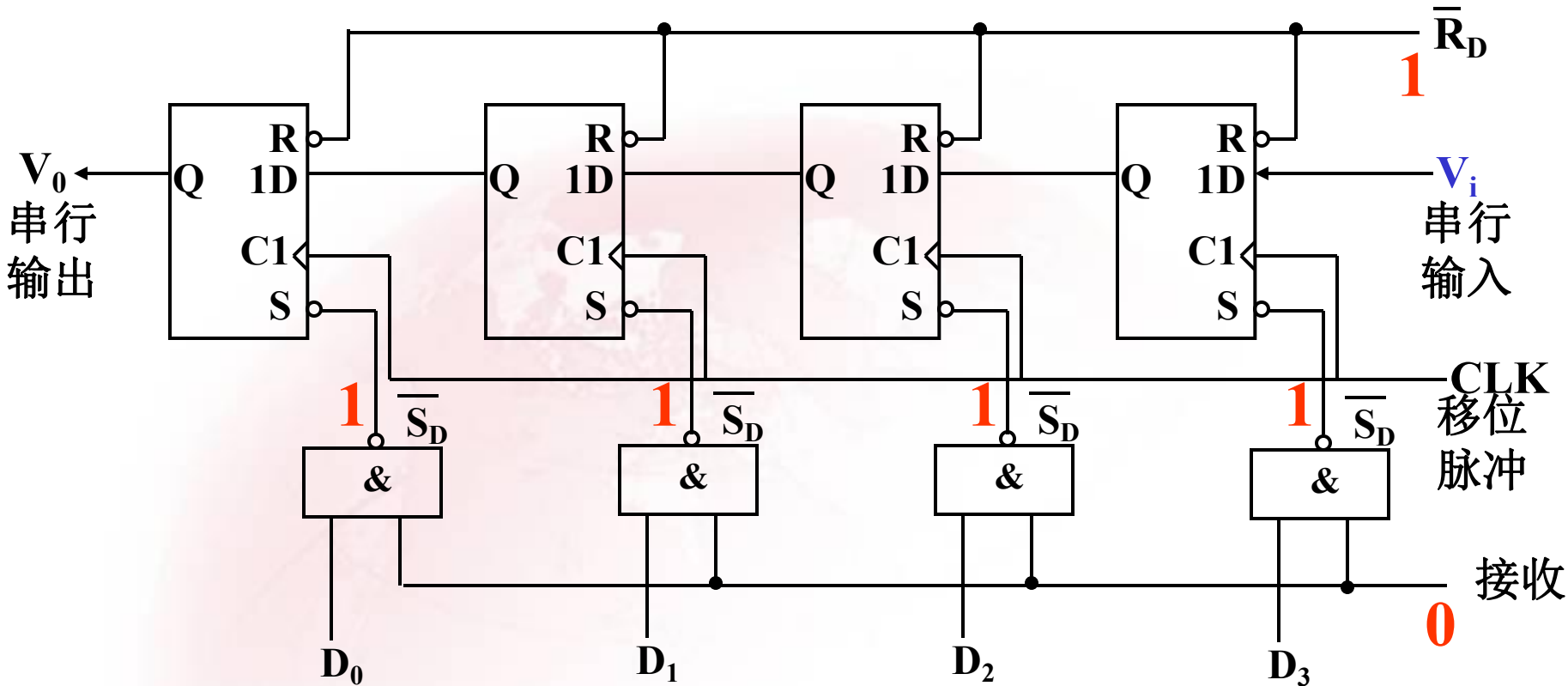


(2) 串/并入—串出单向移存器



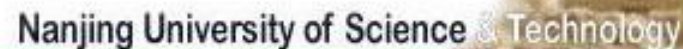


工作原理： 1) 串行输入



① 清零

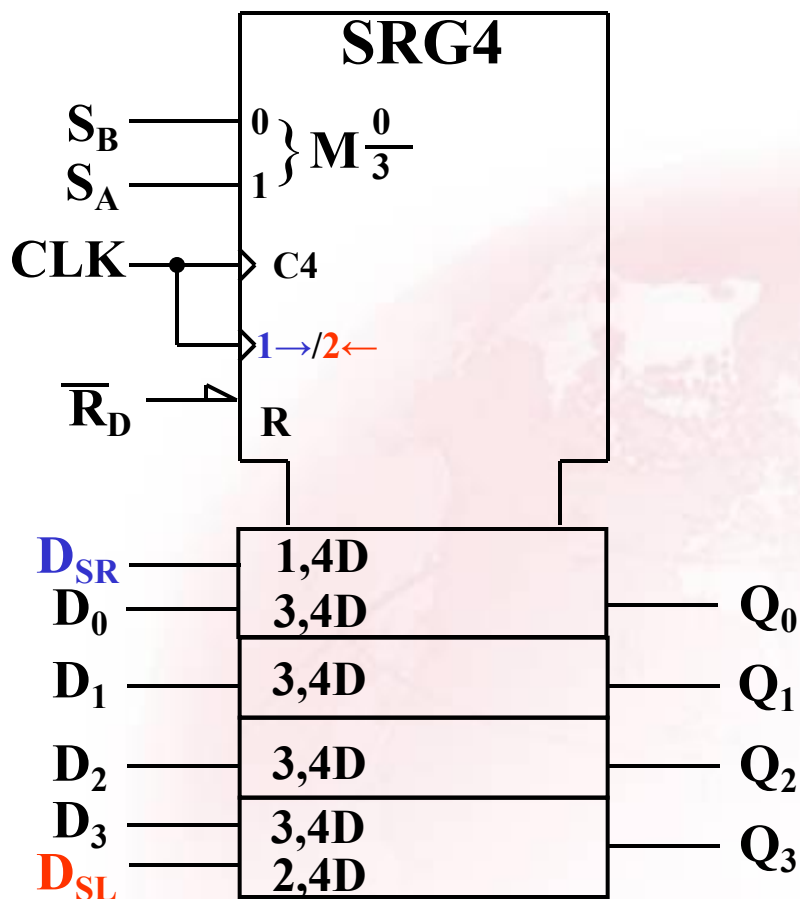
② 接收(以 $D_0D_1D_2D_3=1010$ 为例)





2. 双向移位寄存器

多功能双向移位寄存器74194



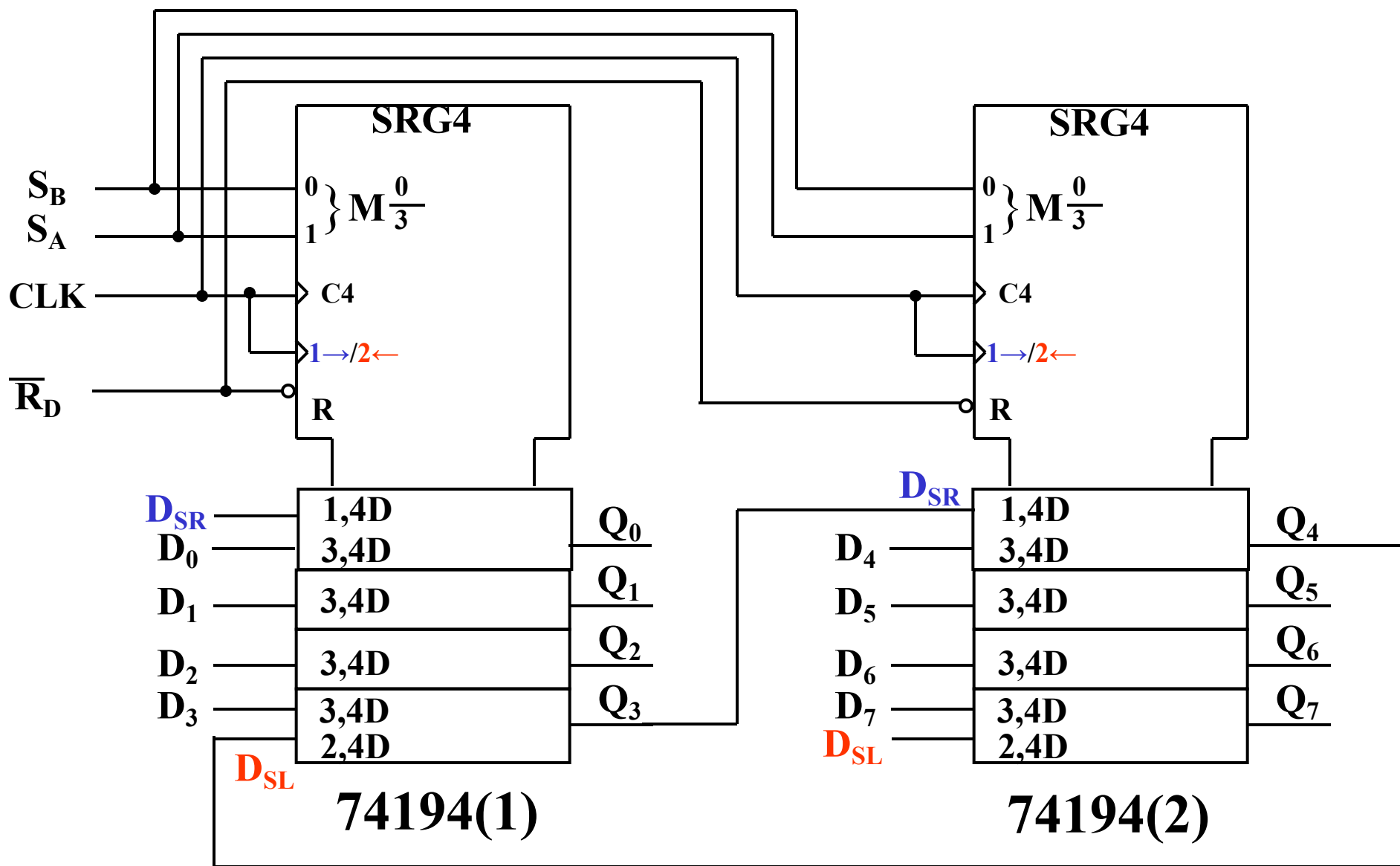
74194

\overline{R}_D	S_A	S_B	CLK	功能
0	×	×	×	清零
1	0	0	↑	保持
1	0	1	↑	右移
1	1	0	↑	左移
1	1	1	↑	并行置数

注意：

清零为异步；
置数为同步。

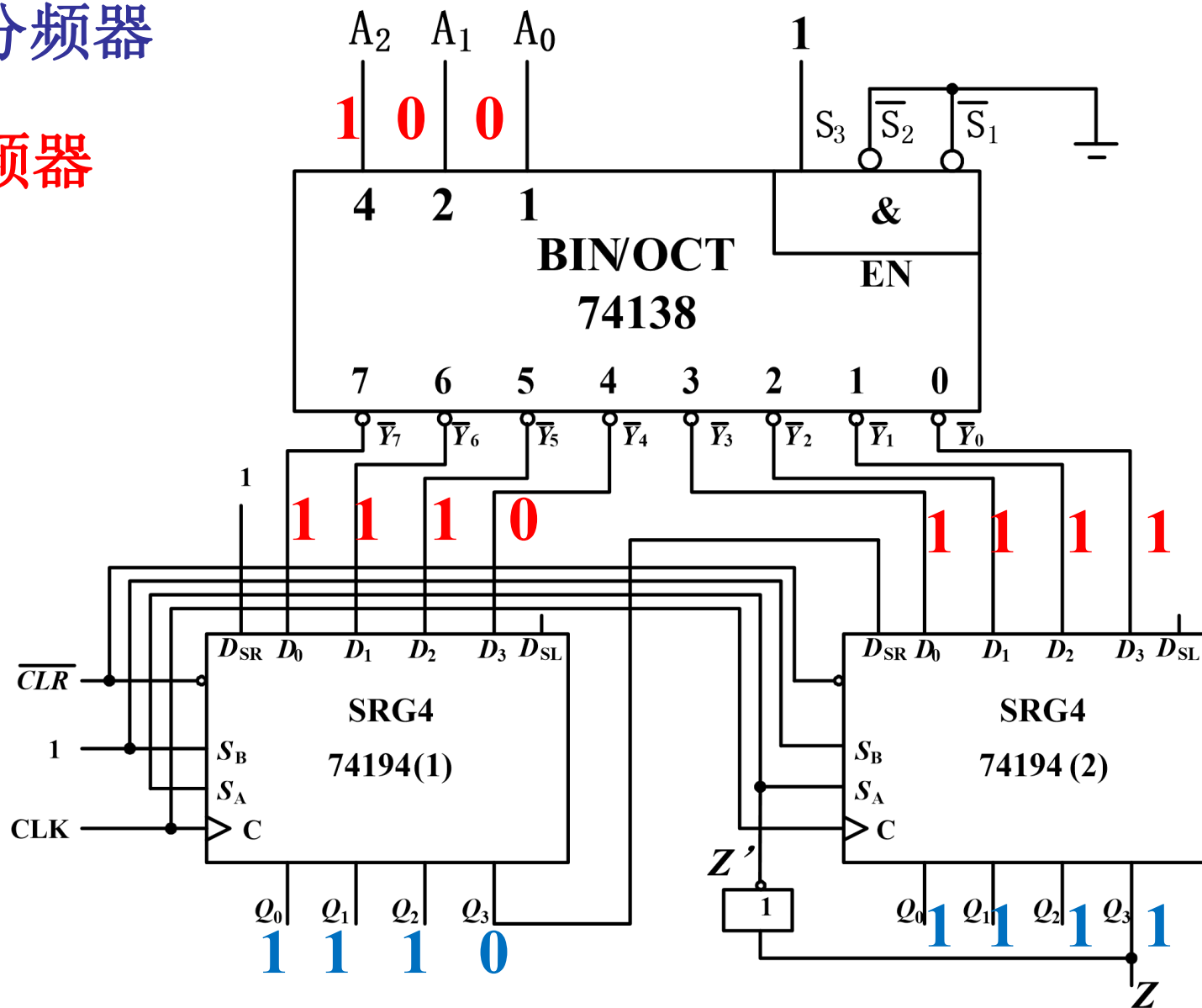
用两片74194接成八位双向移位寄存器



6.2.3 移位寄存器应用举例

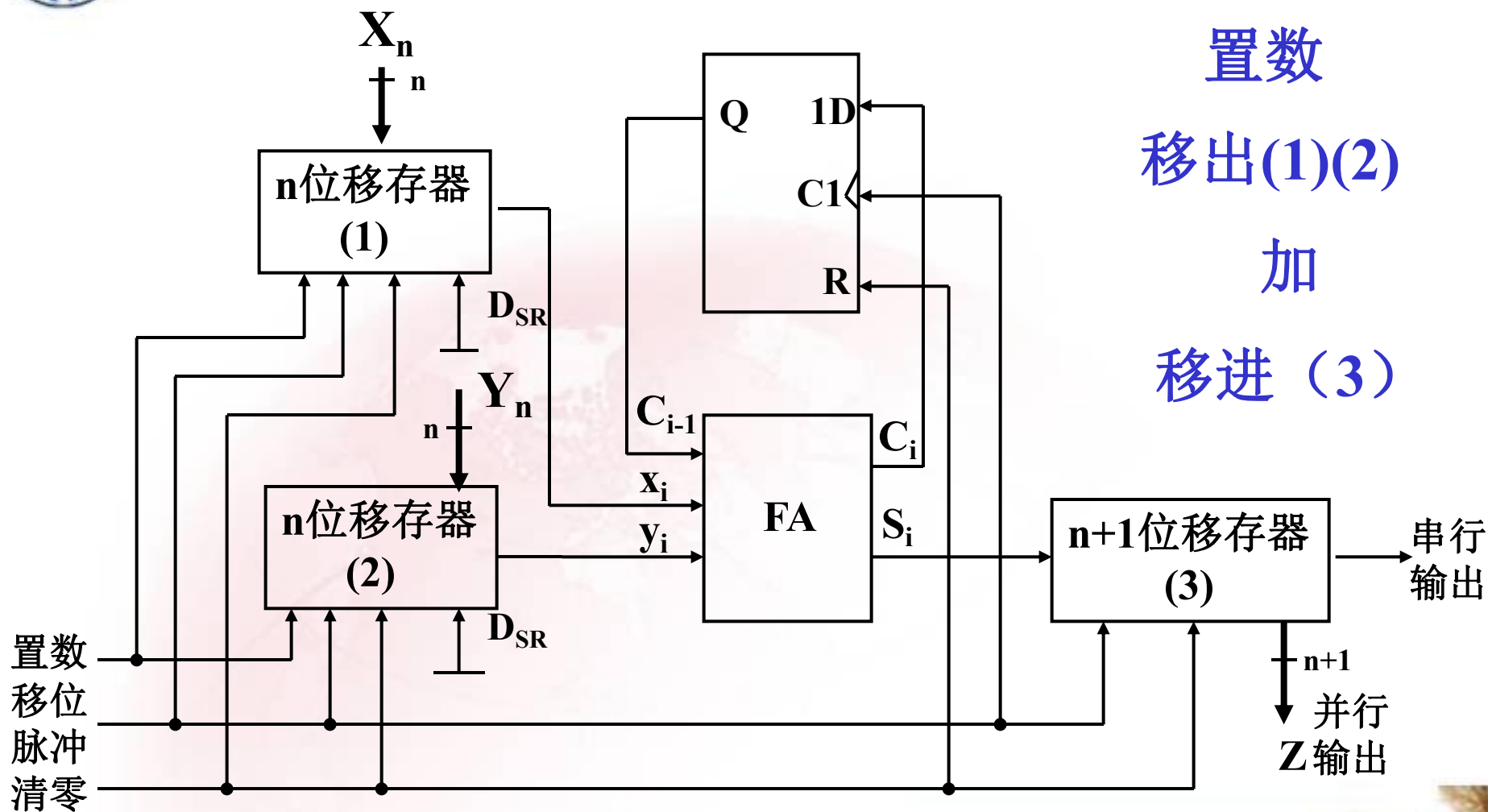
1. 可编程分频器

N+1分频器





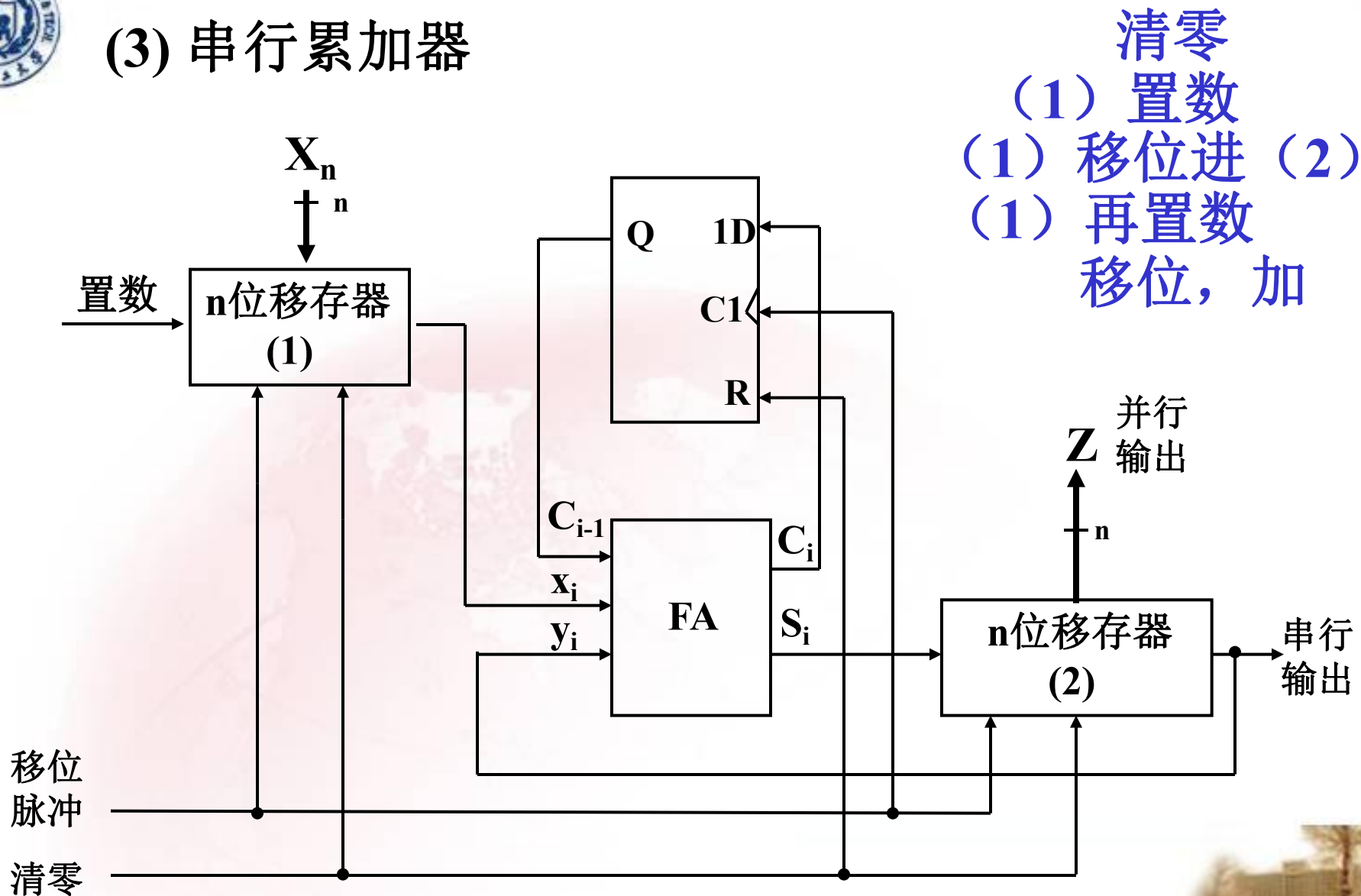
(2) 串行加法器



清零
置数
移出(1)(2)
加
移进(3)



(3) 串行累加器

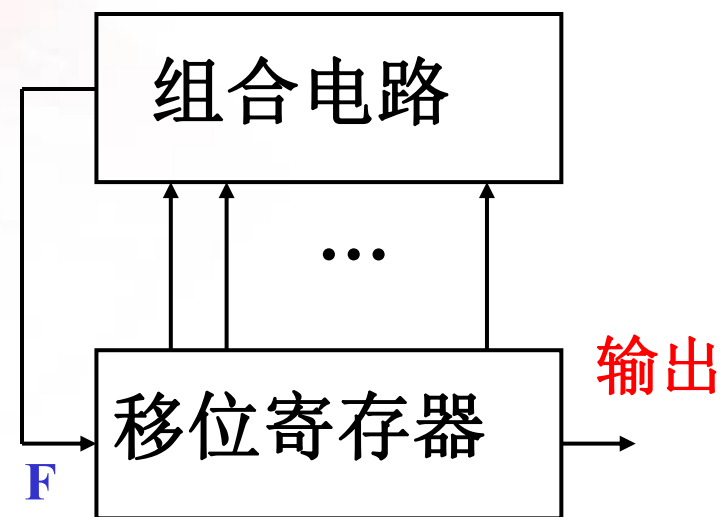




4. 序列信号发生器

移位型序列信号发生器的一般框图为：

工作原理：构成一个**移存型计数器**，使其**模**和序列信号的**长度**相等，使移位寄存器的串行输入信号**F**（即组合电路的输出信号）和所要产生的序列信号相一致。



例：试设计一个能产生序列信号为**00011101**的移位型序列信号发生器。

解：序列长度为8，考虑用3位移位寄存器。若选用74194。仅使用74194的 Q_0 、 Q_1 和 Q_2 。

取右移工作方式，则 $S_A S_B = 01$ 。从 Q_2 得到所需的序列

$Q_0 Q_1 Q_2$	D_{SR}
0 0 0	1
1 0 0	1
1 1 0	1
1 1 1	0
0 1 1	1
1 0 1	0
0 1 0	0
0 0 1	0

求右移串行输入信号 D_{SR}

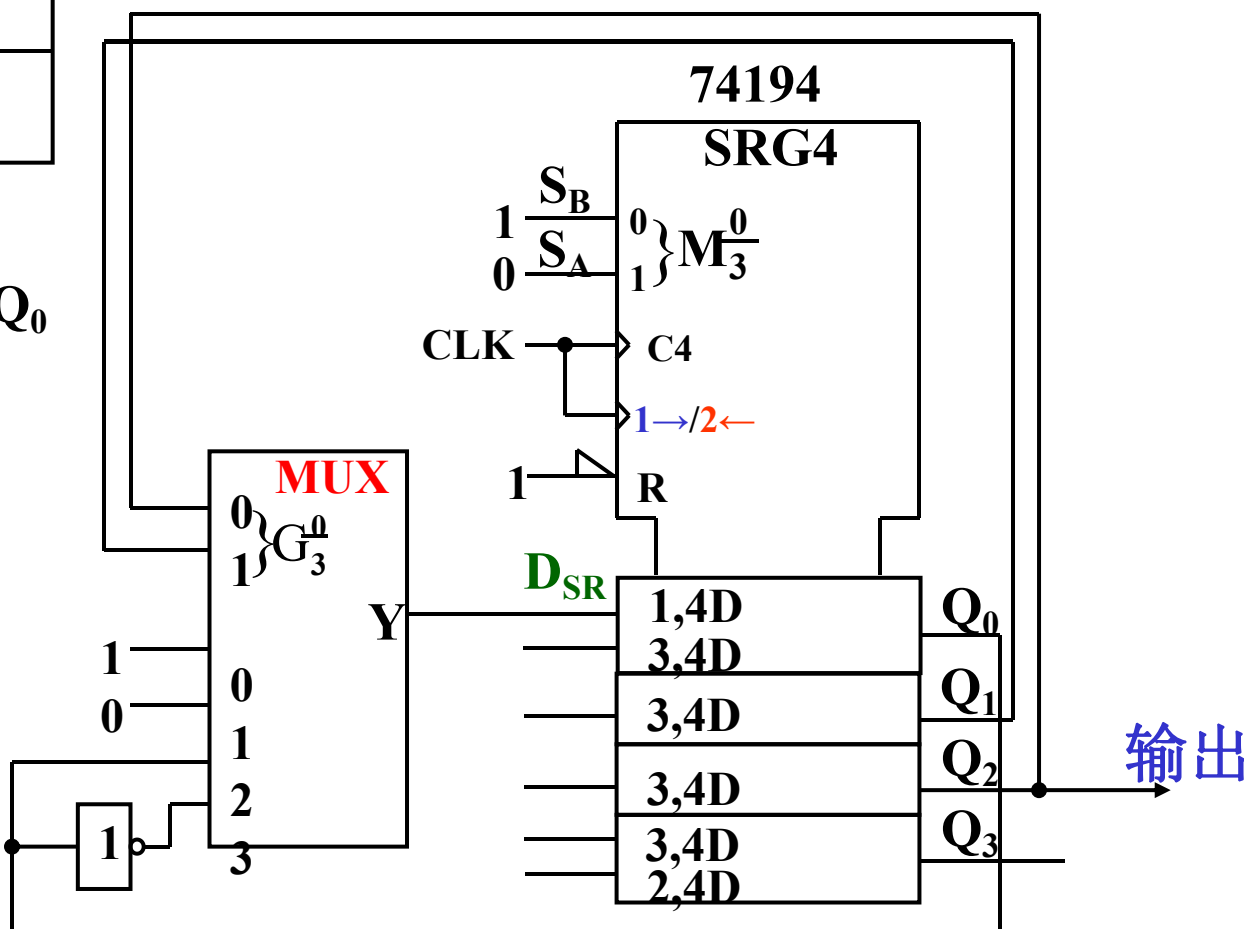
$Q_1^n Q_2^n$	00	01	11	10
Q_0^n				
0	1	0	1	0
1	1	0	0	1

$$D_{SR} = \bar{Q}_1 \bar{Q}_2 + Q_0 \bar{Q}_2 + \bar{Q}_0 Q_1 Q_2$$

组合电路也可用四选一MUX实现，取 Q_1Q_2 为地址，则：

$Q_1^n Q_2^n$	00	01	11	10
Q_0^n				
0	1	0	1	0
1	1	0	0	1

$D_0=1$ $D_1=0$ $D_3=\overline{Q_0}$ $D_2=Q_0$

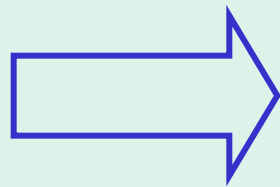


例： 试设计一个能产生序列信号为**10110**的移位型序列信号发生器。

解： 序列长度为5，考虑用3位移位寄存器。若选用74194。仅使用74194的 Q_1 、 Q_2 和 Q_3 。

取左移工作方式，则 $S_A S_B = 10$ 。从 Q_1 得到所需的序列

Q_1	Q_2	Q_3	D_{SL}
1	0	1	1
0	1	1	0
1	1	0	1
1	0	1	0
0	1	0	1



Q_0	Q_1	Q_2	Q_3	D_{SL}
1	0	1	1	0
0	1	1	0	1
1	1	0	1	0
1	0	1	0	1
0	1	0	1	1

例： 试设计一个能产生序列信号为**10110**的移位型序列信号发生器.

解： 序列长度为5，考虑用3位移位寄存器。若选用74194。仅使用74194的 Q_1 、 Q_2 和 Q_3 。

取左移工作方式，则 $S_A S_B = 10$ 。从 Q_1 得到所需的序列

求左移串行输入信号 D_{SL}

$Q_2 Q_3$ $Q_0 Q_1$					
		00	01	11	10
00	×	×	×	×	×
01	×	1	×	1	×
11	×	0	×	×	×
10	×	×	0	1	×

$Q_0 Q_1 Q_2 Q_3$	D_{SL}
1 0 1 1	0
0 1 1 0	1
1 1 0 1	0
1 0 1 0	1
0 1 0 1	1

$$F = \overline{Q_0}^n + \overline{Q_3}^n = \overline{Q_0^n Q_3^n} = D_{SL}$$



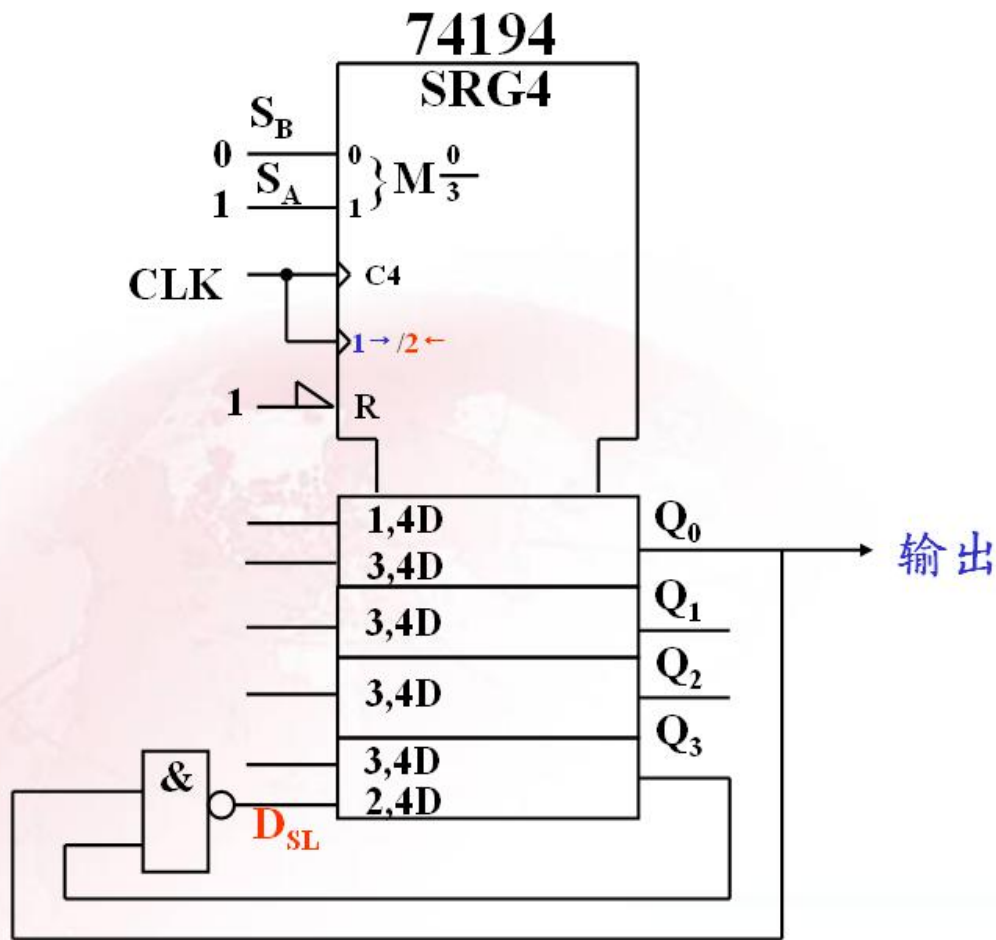
(3) 检查自启动特性

$$F = \overline{Q_0^n} + \overline{Q_3^n} = \overline{Q_0^n Q_3^n} = D_{SL}$$

$Q_0Q_1 \backslash Q_2Q_3$	00	01	11	10
00	×	×	×	×
01	×	1	×	1
11	×	0	×	×
10	×	×	0	1

经检查电路可以自启动

(4) 画出电路图





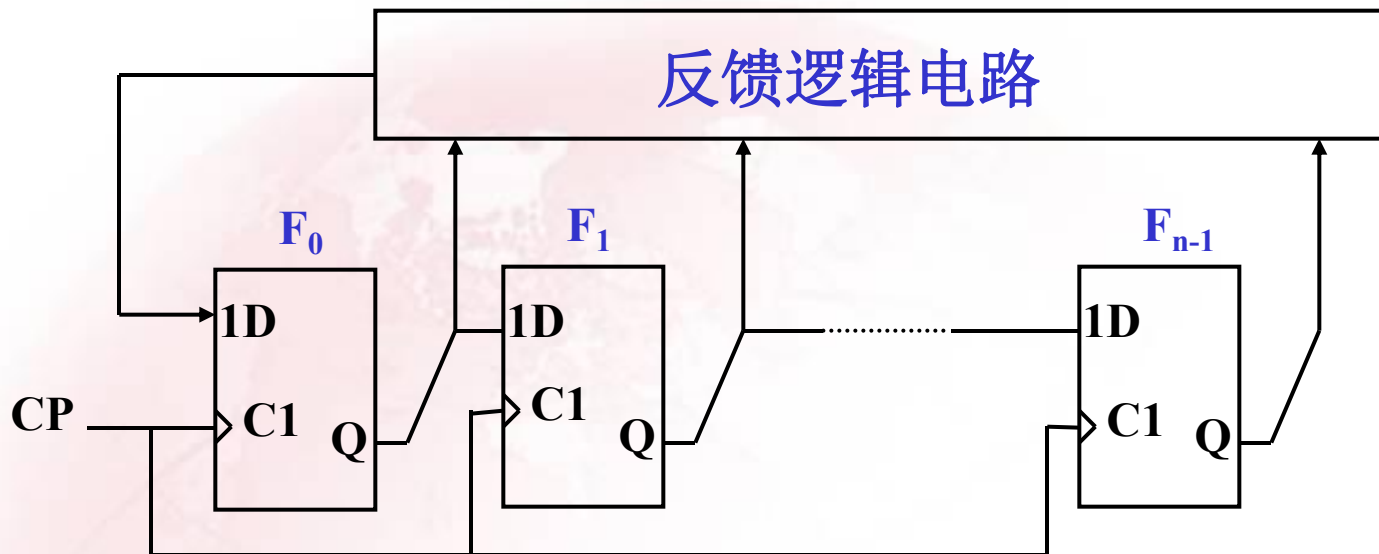
6.2.4 移位寄存器型计数器

移位寄存器型计数器,是指在移位寄存器的基础上加反馈电路而构成的具有特殊编码的同步计数器.

移位寄存器型计数器的状态转移符合移位寄存器的规律,即除去第一级外,其余各级满足: $Q_i^{n+1} = Q_{i-1}^n$



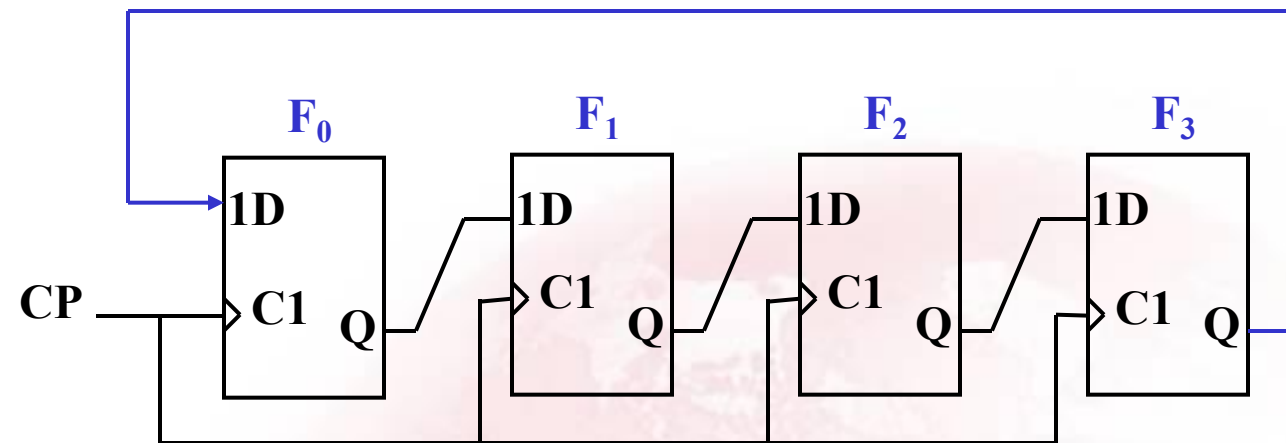
移位寄存器型计数器框图





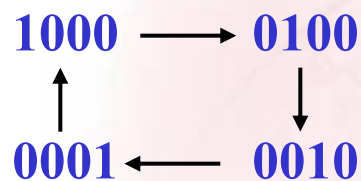
1. 环形计数器

(1) 电路组成 (以四位环形计数器为例)

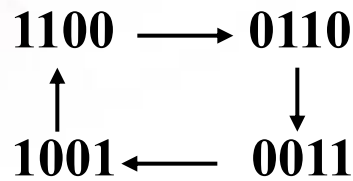
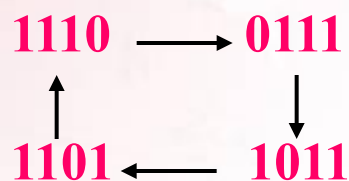


特点：
将串行输出端
和串行输入端
相连。

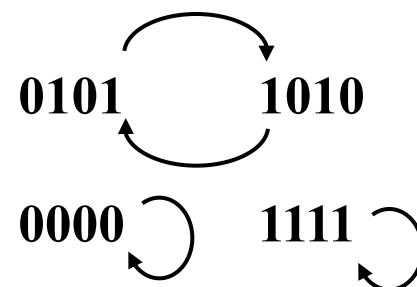
(2) 环形计数器状态图



有效循环



无效循环





(3) 实现自启动的方法

① 可利用触发器的置位和复位端，将电路初始状态预置成有效循环中的某一状态；

② 重新设计反馈电路，使电路具有自启动特性。设计方法如下：

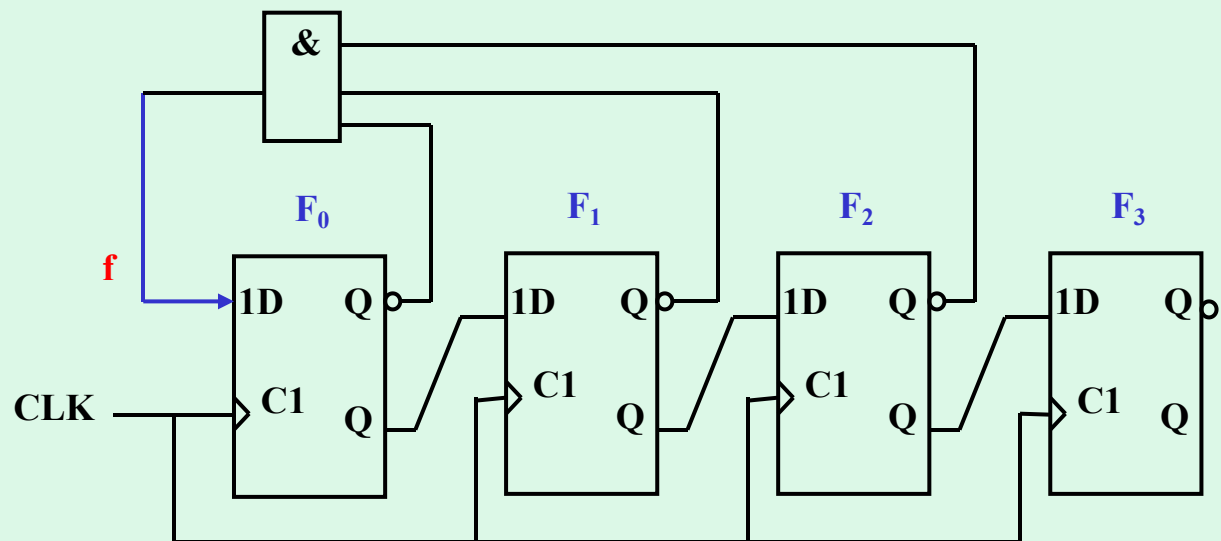
a. 列表确定反馈函数f；

Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	f
1	0	0	0	0	1	0	0	0
0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	1	0
0	0	0	1	1	0	0	0	1
0	0	0	0	1	0	0	0	1
0	0	1	1	0	0	0	1	0
0	1	0	1	0	0	1	0	0
0	1	1	0	0	0	1	1	0
0	1	1	1	0	0	1	1	0
1	0	0	1	0	1	0	0	0
1	0	1	0	0	1	0	1	0
1	0	1	1	0	1	0	1	0
1	1	0	0	0	1	1	0	0
1	1	0	1	0	1	1	0	0
1	1	1	0	0	1	1	1	0
1	1	1	1	0	1	1	1	0

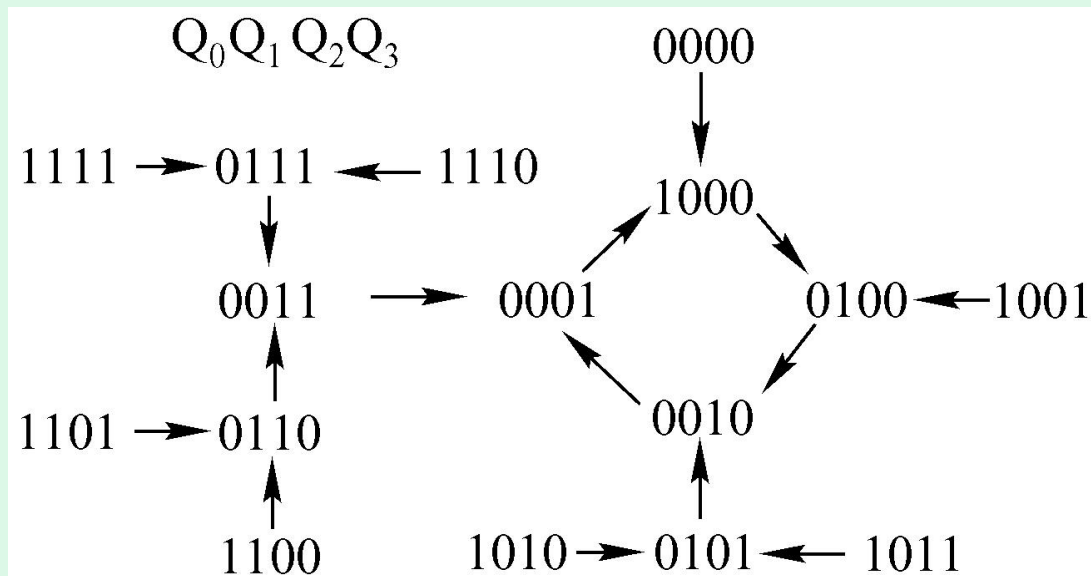
b. 作反馈函数f 的卡诺图,求f 的最简表达式; c. 画逻辑图

$Q_2Q_3 \backslash Q_0Q_1$	00	01	11	10
00	1	1	0	0
01	0	0	1	1
11	1	1	0	0
10	0	0	1	1

$$f = \overline{Q_0} \overline{Q_1} \overline{Q_2}$$

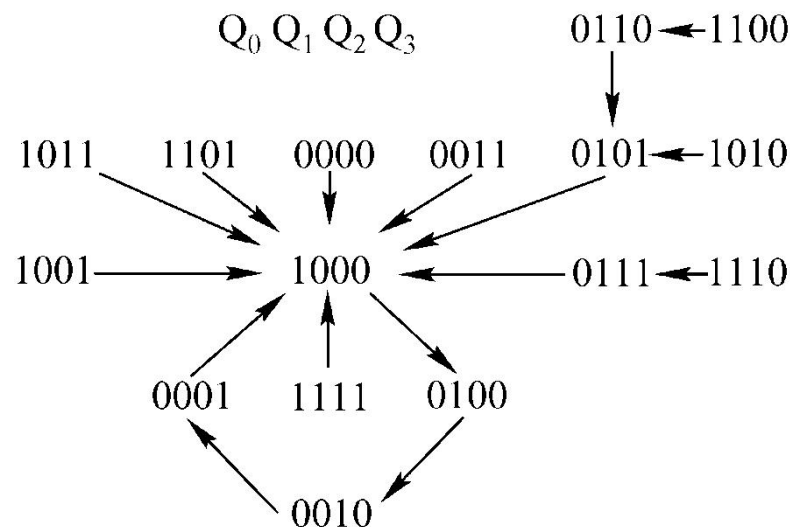


d. 画出完整状态图





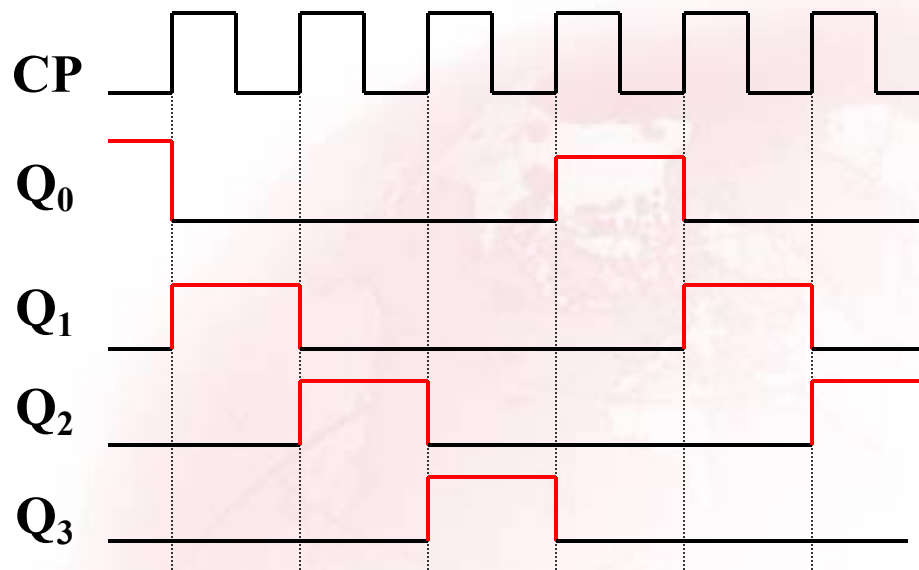
- 如输出均为0,则通过 D_{SR} 移入1,进入有效循环;否则经过移位,总会将1移到 Q_3 处,电路进入置数状态,置入1000,进入有效循环状态





(5) 环形计数器的特点

- ① 环形计数器附带有译码器功能;
- ② 环形计数器的输出波形为顺序脉冲;



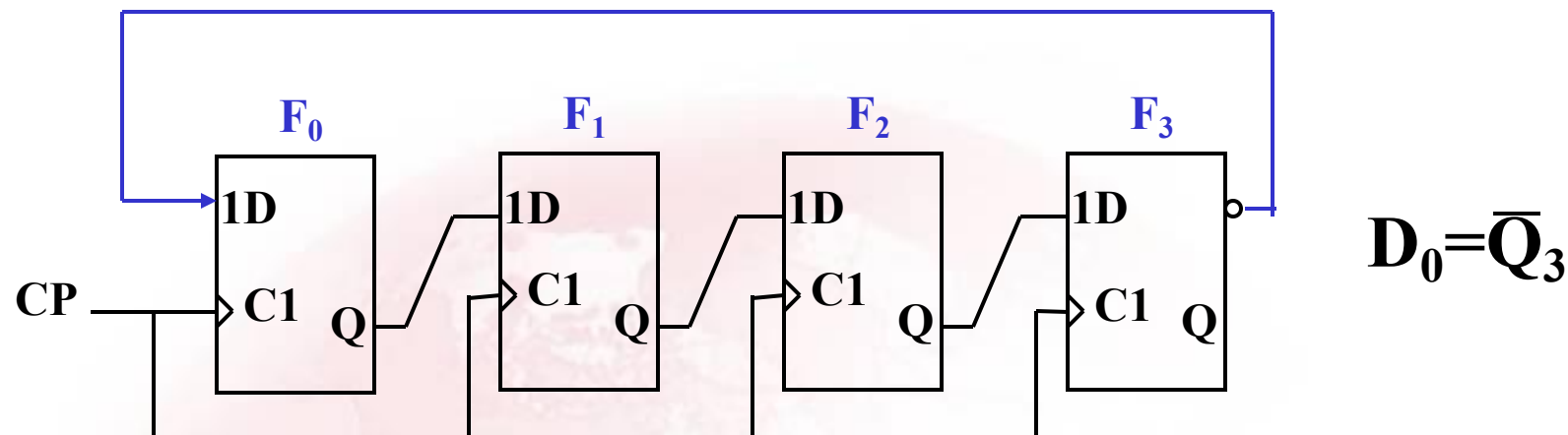
常称环形计数器为
顺序脉冲发生器。

- ③ 环形计数器的缺点是状态利用效率低, n 个触发器构成的环形计数器仅有 n 个有效状态, 有 $2^n - n$ 个无效状态。



2. 扭环形计数器

1) 电路组成和逻辑功能分析



0000 → 1000 → 1100 → 1110
 ↑
 0001 ← 0011 ← 0111 ← 1111

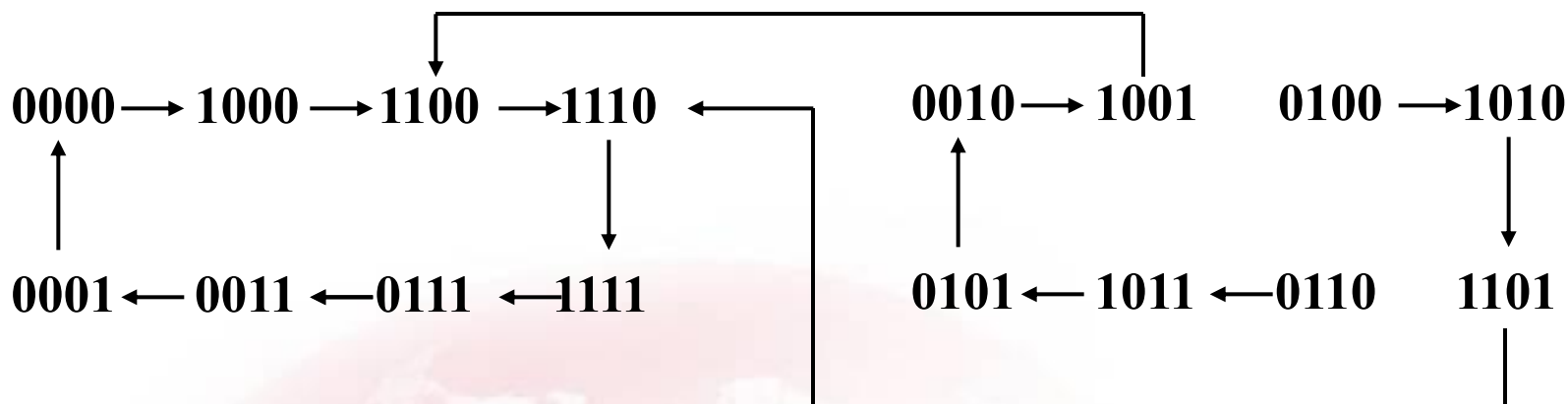
有效循环

0010 → 1001 → 0100 → 1010
 ↑
 0101 ← 1011 ← 0110 ← 1101

无效循环



(2) 实现自启动的方法



Q_0Q_1 \ Q_2Q_3	Q_2Q_3			
	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

原状态图

$$D_0 = \bar{Q}_3$$

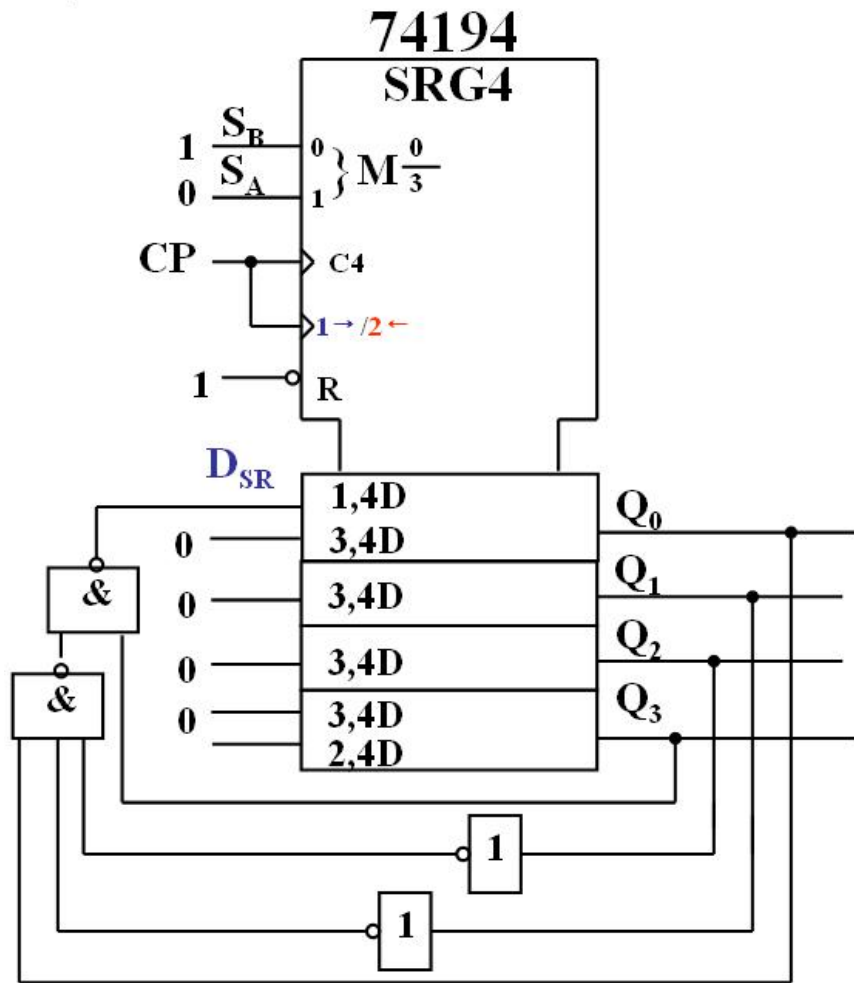
Q_0Q_1 \ Q_2Q_3	Q_2Q_3			
	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	1	0	1
10	1	1	0	1

修改后的状态图

(可有多种方案)

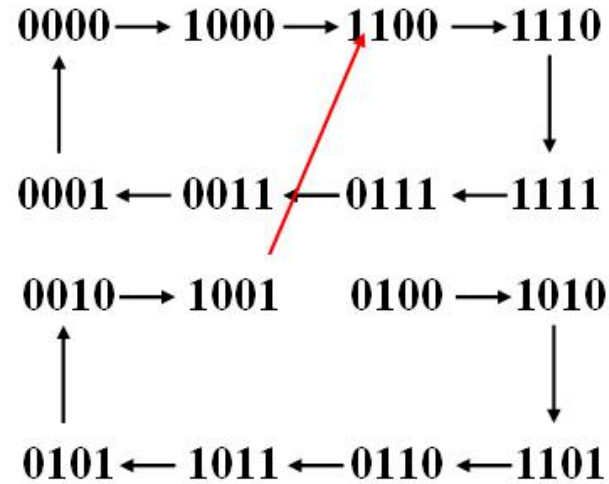
$$D_0 = \bar{Q}_3 + Q_0\bar{Q}_2$$

3) 用中规模集成移位计数器构成扭环形计数器



$$D_{SR} = \bar{Q}_3 + \bar{Q}_1 \bar{Q}_2 Q_0$$

$Q_0 Q_1 Q_2 Q_3$



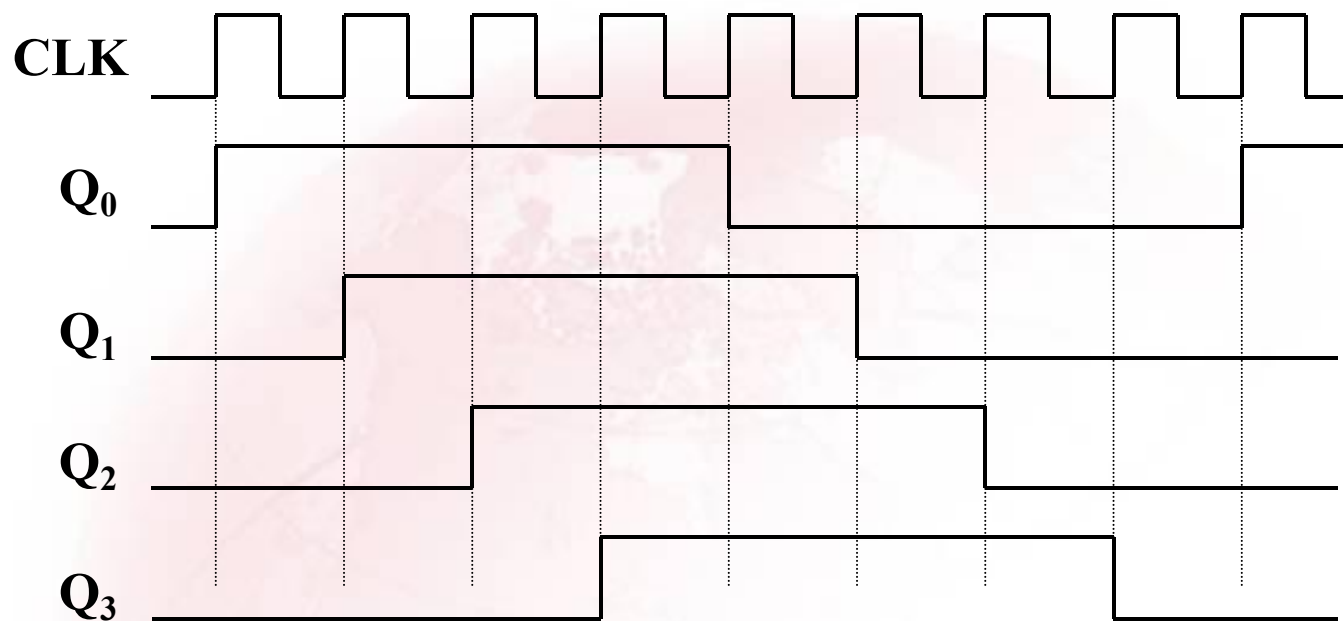
$Q_0 Q_1$ \ $Q_2 Q_3$				
	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	1	0	1

状态图



(4) 扭环形计数器的特点

- ① 扭环形计数器输出码为**循环码**，能有效防止冒险现象；
- ② 扭环形计数器的输出波形为：



- ③ 扭环形计数器状态的利用效率比环形计数器高, n 个触发器构成的环形计数器有 **$2n$ 个有效状态**, 有 $2^n - 2n$ 个无效状态.