

Manual do Processador ICMC com a instrução ADDN implementada

Gustavo H. Brunelli
Matheus H. de C. Pinto
Pedro L. de M. de Castro

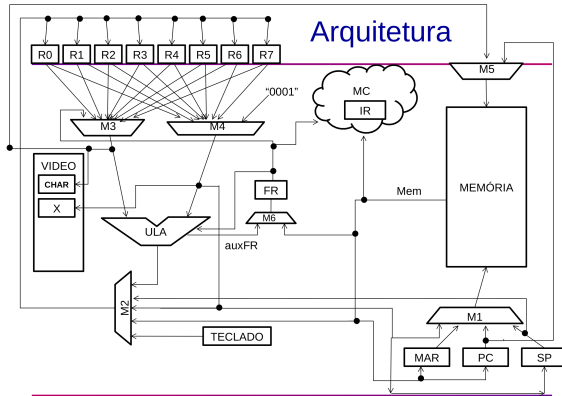
Universidade de São Paulo

Prática em Organização de Computadores

Conteúdos

- 1 Arquitetura
- 2 Conjunto de registradores do uP ICMC
- 3 Instruções aritméticas

Arquitetura



Adicionado um caminho entre valor de memória e M4.

Conjunto de registradores do uP ICMC

Nome	QTDE	Finalidade
R_n	0-7	Registradores de propósito geral
FR	1	Flag Register
SP	1	Ponteiro da pilha
PC	1	Contador de programa
IR (interno)	1	Registrador de instruções
MAR (interno)	1	Registrador de endereço de memória

- Arquitetura RISC do tipo Load/Store
- Operações de registrador para registrador

Instruções aritméticas I

Formato de instrução:

- op = opcode
- rx, ry, rz: registradores
- c: uso do bit de carry
- #NR: imediato

Entre registradores

6 bits	3 bits	3 bits	3 bits	1 bit
op	rx	ry	rz	c

Instruções aritméticas II

Entre registrador e imediato

6 bits	3 bits	3 bits	3 bits	1 bit
op	rx	ry		c
Imediato				

Instruções:

Adição

ADD RX, RY, RZ	$RX \leftarrow RY + RZ$	100000	RX	RY	RZ	0
ADDC RX, RY, RZ	$RX \leftarrow RY + RZ + C$	100000	RX	RY	RZ	1
ADDN RX, RY, NR	$RX \leftarrow RY + NR$	100110	RX	RY	xxx	0
		NR				
ADDNC RX, RY, NR	$RX \leftarrow RY + NR + C$	100110	RX	RY	xxx	1
		NR				