

MPC-TVP

SZZ

Vypracované otázky k SZZ 2022

Mikroelektronika, FEKT VUT

Text: —
Korektura: —

18. dubna 2022

Obsah

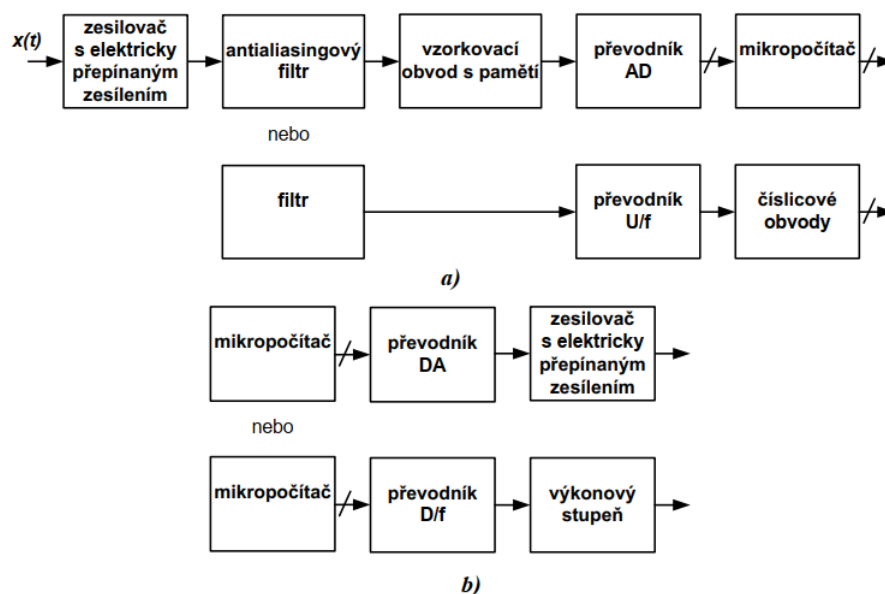
1	Převodníky AD a DA	1
2	Obvody pro předzpracování signálu	4
3	Filtrační obvody	5
4	Vzorkovací obvody	11
5	Referenční zdroje napětí a proudu	21
6	Paralelní převodníky DA	28
7	Sériové převodníky DA	34
8	Převodníky AD s vysokými vzorkovacími kmitočty	40
9	Převodníky AD typu SAR a integrační	45
10	Převodníky sigma-delta	51
11	Testování převodníků	58

1 Převodníky AD a DA

- základní princip, blokové schéma, základní statické a dynamické parametry, úloha v řetězci zpracování dat.

1.1 Základní princip

Při zpracování analogového signálu je jednou z důležitých funkcí převod tohoto signálu z analogové podoby do číslicové a naopak jsou ADC a DAC velmi důležitými prvky jakéhokoli systému zpracovávajícího signál.

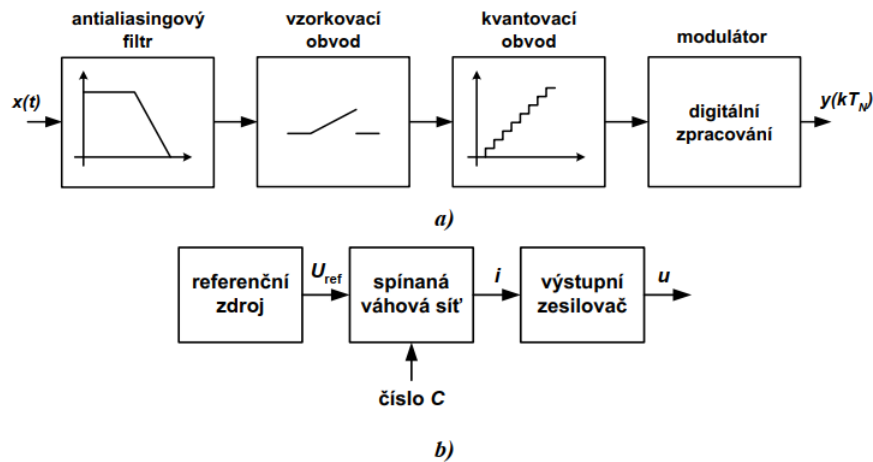


Obrázek 1: Zařazení převodníku AD a DA v rámci měřicího přístroje

Někdy je potřeba provádět měření na více vstupech nebo je nutné budít více výstupů. V těchto případech je pak nutno předřadit na vstup multiplexer a na výstup demultiplexer. Výstup je také obvykle doplněn o posilovač, který může být buď proudový, napěťový nebo obecně výkonový.

Převodníky AD a DA jsou velmi důležitými stavebními prvky mnoha elektronických zařízení. Obě skupiny převodníků mohou typicky obsahovat komparátory, číslicové obvody, spínače, integrátory, vzorkovací obvody, přesný zdroj referenčního napětí a/nebo pasivní součástky. Parametry převodníků lze rozdělit na statické (určují se z převodní charakteristiky) a dynamické (určují se z kmitočtového spektra signálu)

1.2 Blokové schéma



Obrázek 2: Blokové schéma a) ADC a b) DAC

1.3 Základní statické a dynamické parametry

Statické parametry převodníků jsou určovány pomocí převodní charakteristiky.

Dynamické vlastnosti se vyhodnocují z kmitočtového spektra převodníku.

Statické parametry:

- rozsah,
- integrální a diferenciální nelinearita (INL a DNL),
- rozlišení převodníku (resolution),
- přesnost (accuracy),
- chyba monotónnosti,
- chyba nastavení nuly (offset error),
- a hysterze.

Dynamické parametry:

- odstup signál-šum (signal to noise ratio - SNR),
- efektivní počet bitů (effective number of bits - ENOB),
- harmonické zkreslení (total harmonic distortion - THD),
- odstup signál-šum a zkreslení (signal to noise and distortion - SINAD),
- dynamický rozsah bez parazitních složek (spurious free dynamic range - SFDR),
- krátké přechodové špičky (glitches),
- šum - vrcholový, efektivní (noise - rms, peak)
- a doba přepnutí a ustálení a další.

1.4 Úloha v řetězci zpracování dat

Úloha v řetězci spočívá skoro vždy mezi senzorem zachycující data (teploměr, otáčkoměr, měření napětí...) a jednotkou, která tato data zpracovává (PC, MCU, FPGA...) v případě ADC. v případě DAC stojí v řetězci opět mezi jednotkou, která tentokrát posílá digitální data a např. reproduktorem, který přehrává analogový zvuk.

2 Obvody pro předzpracování signálu

-důvody použití, využití multiplexeru a demultiplexeru, invertované a neinvertované sítě, diferenční sítě - příklady zapojení funkce.

2.1 Důvody použití

Multiplexery a demultiplexery se používají z důvodu nutnosti snímat více vstupů (ADC) nebo budit více výstupů (DAC). Zesílení se poté používá pro zesílení vstupní veličiny, což snižuje náchylnost na šum a usnadňuje jeho převod z analogového do digitálního signálu.

2.2 Využití multiplexeru a demultiplexeru

2.2.1 Multiplexery

3 Filtrační obvody

-funkce, příklady realizací, důvody použití v převodnících, aproximační charakteristiky, přesné filtry.

3.1 Funkce

Jedná se obvykle o filtry typu dolní propust. Je určen k:

- potlačování záznějí (Aliasing) – omezení šířky pásma vstupního signálu,
- potlačení kvantovacího šumu na výstupu DAC
- a potlačení střídavých složek v nepřímých převodnících DA.

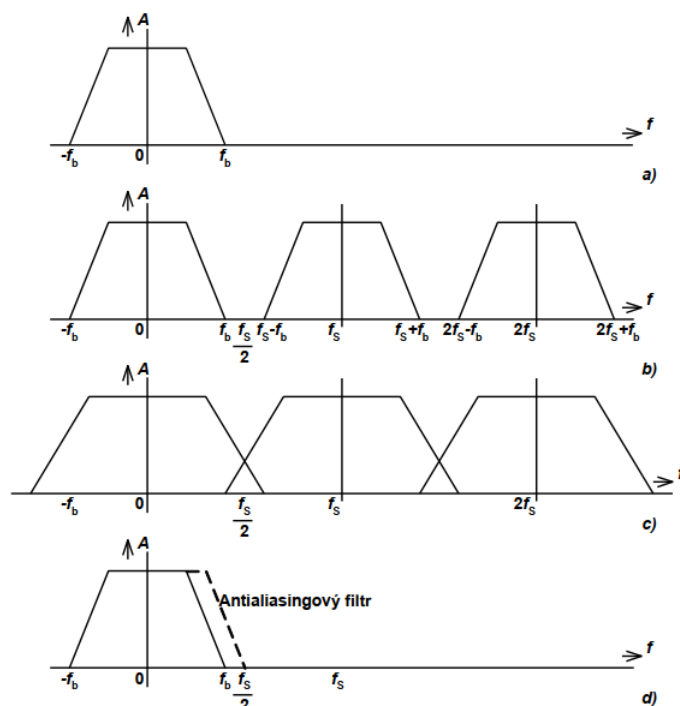
Problém aliasingu (záznějí) je vidět na obrázku 3, kde vstupní analogový signál má kmitočtovou odezvu (3a)) a kmitočet f_b je maximální kmitočet vstupního signálu. Pokud je vstupní analogový signál vzorkován s vzorkovacím kmitočtem f_s je kmitočnotá odezva tohoto signálu jako na 3b).

Spektrum vstupního signálu se zrcadlí na kmitočtu f_s a každé jeho vyšší harmonické složce. Pokud ale f_b přesáhne polovinu f_b , dojde k částečnému překrytí postranních složek, viz 3c). V důsledku toho pak může dojít k významné ztrátě informace o původním signálu, který pak již nelze rekonstruovat do původní podoby.

Proto musí být dodržen vzorkovací teorém:

$$f_s > 2 * f_b \quad (1)$$

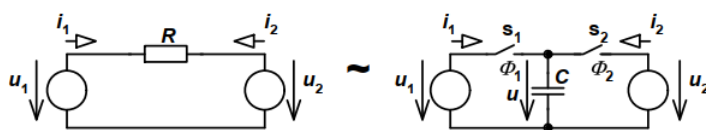
Uvedený vztah platí pouze pro harmonický signál resp. nejvyšší harmonickou složku jiného signálu. Antialiasingový filtr je použit proto, aby zabránil překrytí postranních složek, 3d)



Obrázek 3: Problém aliasingu

3.2 Příklady realizací

Klasické aktivní filtry se k výše uvedeným účelům užívají stále méně z důvodu složitého seřizování, obtížně se přeladují a nejsou příliš vhodné k integraci na čip. Proto se používají filtry využívající techniku spínaných kapacitorů (SC). Hlavním důvodem využití této techniky byla jednoznačně možnost nahrazení pasivního prvku – rezistoru, který na čipu zabírá velkou plochu, kapacitorem a spínačem MOS, které simulují funkci rezistoru

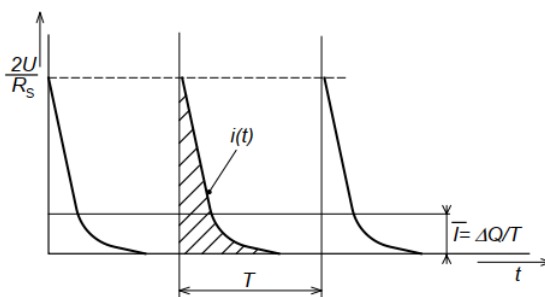


Obrázek 4: Princip SC

$$i = \frac{u}{R} \approx i_{ekv} = \frac{q}{T} = \frac{C * u}{T} = \frac{u}{R_{ekv}} \Rightarrow R_{ekv} = \frac{T}{C} \quad (2)$$

kde R je odpor, C je kapacita a T časová konstanta, q je náboj na kapacitoru, i_{ekc} je celkový proud tekoucí kapacitorem a u je celkové napětí na kapacitoru.

Rezistor, kterým protéká kontinuálně konstantní proud I lze nahradit spínačem s rezistorem. Z tohoto vyplývá, že proud tekoucí kapacitorem má impulzní charakter (Obrázek 5), tedy naprosto jiný, než je tomu u rezistoru. Pokud ale budeme uvažovat střední hodnotu těchto impulzů, která bude odpovídat rov. 2), je možné uvedené obvodové prvky nahradit.



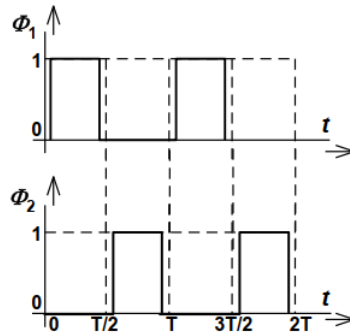
Obrázek 5: Impulzní průběh SC

Z této náhrady vyplynulo několik výhod:

- na rozdíl od rezistoru, jehož výrobní chyba v IO je 5 až 20 %, je přesnost zpracování vstupního analogového signálu dána pouze přesností poměru kapacit, která může být řádově až 0,01 %,
- kapacity je možné v technologii CMOS snadněji implementovat na čip,
- spínače CMOS mají v sepnutém stavu nízký odpor (řádu desítek ohmů),
- dobrá přesnost časových konstant,
- dobrá napěťová linearita
- a dobré teplotní charakteristiky.

Mezi nevýhody techniky SC patří

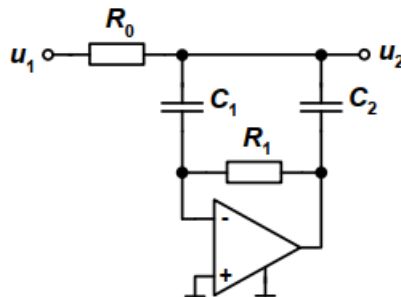
- pronikání řídicího hodinového signálu přes spínače do signálové cesty – dochází ke znehodnocení zpracovávaného užitečného signálu,
- injekce náboje ze spínače – dochází ke znehodnocení zpracovávaného užitečného signálu,
- jednotlivé fáze řídicího hodinového signálu musí být realizovány jako nepřekrývající se, což klade vysoké nároky na přesnost generovaného řídicího hodinového signálu (viz. Obrázek 8),
- chyby způsobené použitými kapacitami – negativně ovlivňují přesnost převodu
- a parazitní kapacity.



Obrázek 6: Řídící a nepřekrývající se hodinové signály

3.2.1 Stejnosměrné přesné filtry

Jsou vhodné jako antialiasingové filtry i jako filtry pro nepřímé převodníky. Kaskádní struktura filtru, však není pro realizaci příliš vhodná, protože se uplatňuje napěťová nesymetrie použitých OZ ve výstupním signálu. Jistým řešením je použití pasivních prvků, což způsobuje problémy při realizaci induktorů. Východiskem je tedy použití nekaskádní struktury aktivního filtru.



Obrázek 7: Nekaskádní zapojení aktivního filtru 2. řádu

3.3 Důvody použití v převodnících

Plní hned několik funkcí, mezi které patří zejména potlačení aliasingu (záznějí), potlačení kvantovacího šumu na výstupu DAC a potlačení střídavých složek v nepřímých převodnících DA.

3.4 Aproximační charakteristiky

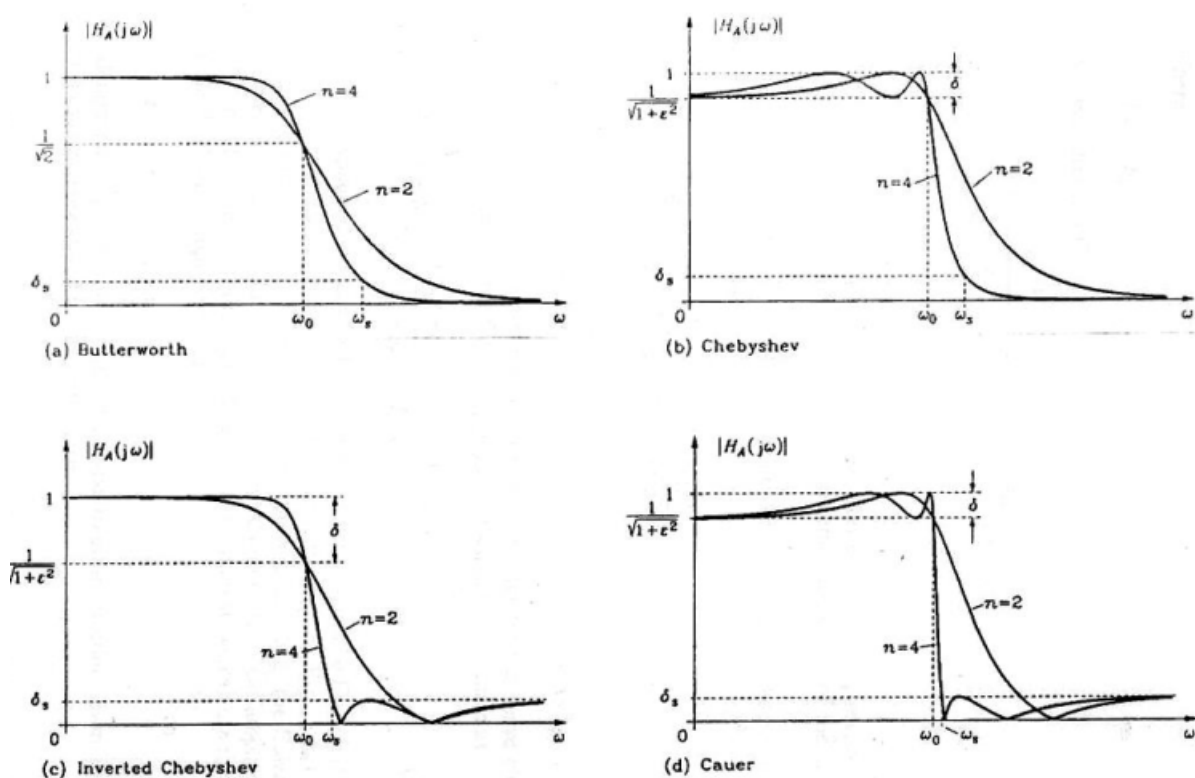
Filtry obecně nejsou specifikovány pouze mezními kmitočty, které definují propustné a zádržné oblasti. Důležitá je také zvolená aproximační metoda realizace filtru. V případě filtrů typu dolní propust existují čtyři základní aproximace, a to aproximace podle Butterwortha, Chebysheva (vč. inverzní verze) a Cauera (Darlingtona).

Butterworthova aproximace má maximálně plochou kmitočtovou charakteristiku kolem počátku a monotónně klesající průběh od mezního kmitočtu v nepropustném pásmu.

Aproximace podle Chebysheva je v propustném pásmu mírně zvlněná s monotónně klesající průběhem od mezního kmitočtu v nepropustném pásmu.

Inverzní Chebysheva aproximace má maximálně plochou kmitočtovou charakteristiku v propustném pásmu a pásmu potlačení je mírně zvlněná.

Aproximace Cauera nebo také Darlingtonova je mírně zvlněná v obou pásmech své kmitočtové charakteristiky. Proto se také pro ni ustálil výraz eleptický filtr.



Obrázek 8: Jednotlivé aproximace

3.5 Přesné filtry

Realizace filtru – ss přesné filtry

- výhodou těchto struktur je stejnosměrné oddělení všech výstupů OZ pomocí kapacitorů od hlavní signálové cesty,
- šum OZ se uplatňuje tím více, čím jsou blíže hlavní signálové cesty => horní OZ nízkošumové,
- filtr nesmí být zatěžován => doplnit na výstupy vysoce kvalitní oddělovací zesilovač.

Viz. Obrázek 7.

4 Vzorkovací obvody

- S/H a T/H obvody - rozdíly, funkce, základní parametry, příklady realizací

4.1 S/H a T/H obvody

Vzorkovač s pamětí – S/H (sample and hold), který sejme v daném okamžiku vzorek signálu a podrží si jeho hodnotu, při příchodu dalšího řídicího pulzu uloží novou, aktuální hodnotu.

Sledovač s pamětí – T/H (track and hold), sleduje (kopíruje) průběh signálu a ukládá si aktuální hodnotu až s příchodem řídicího impulsu.

4.2 Funkce

Vzorkovače plní důležitou funkci v rámci převodníku. Spojitý signál (spojitý v čase i hodnotě) na vstupu vzorkují a na výstupu poskytují spojitý signál, ale diskrétní v hodnotě. Tento signál je zpracováván pomocí kvantovacího obvodu, který příslušné diskrétní hodnotě (hladině) přidělí odpovídající binární hodnotu s maximální chybou $\frac{1}{2}$ LSB.

4.3 Základní parametry

Zesílení (gain) je střední strmota statické převodní charakteristiky. Udává se možná chyba zesílení a rozsah seřizovacích možností.

Vstupní napěťový rozsah (input voltage range) je povolené napětí, při kterém platí jmenovité parametry.

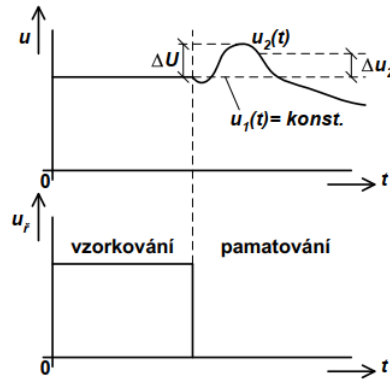
Výstupní napěťový rozsah (output voltage range) je rozsah výstupního napětí, kdy ještě nedochází k omezení výstupního napětí.

Vstupní napěťová nesymetrie (input voltage offset) je vstupní napětí, při kterém je výstupní právě rovno nule

Nelinearita (linearity) udává maximální odchylku výstupního napětí od jmenovité hodnoty. Měří se po přesném nastavení zesílení a vynulování offsetu, udává se většinou v %.

Činitel potlačení vstupního napětí (feedthrough rejection ratio) udává převrácenou hodnotu přenosu vstupního napětí na výstup v pamětovém provozu. Někdy se udává v závislosti na kapacitě pamětového kapacitoru. Jednotkou obvykle bývá dB.

Rychlost klesání výstupního napětí (droop rate) je změna výstupního napětí za jednotku času po zapamatování napětí. Je způsobeno svodovými proudy paměťového kapacitoru a klidovými proudy připojených obvodů. Obvykle se udává v závislosti na kapacitě paměťového kapacitoru.



Obrázek 9: Skutečný průběh pamatování ve vzorkovači

4.3.1 Základní parametry související s přechodovými ději

Doba upnutí (acquisition time) je doba potřebná k přechodu z paměťového do sledovacího provozu. Definuje se pro udaný skok výstupního napětí (nejhorší je skok přes celé rozmezí povoleného výstupního napětí) s následným ustálením v předepsaném tolerančním pásu při ss nebo pomalu se měnícím vstupním napětí

Rychlost přeběhu (slew rate) je maximální rychlost změny výstupního napětí. U provedení s vnějším C_p se udává v závislosti na tomto kapacitoru nebo se udává maximální nabíjecí proud I_{\max} (buď konečný proud, který je schopen dodat předřazený OZ nebo proud, který může téct maximálně spínačem – volí se ten, který je menší). Uvažují-li se neomezené proudové schopnosti zdroje vstupního signálu, pak se při vzorkování C_p nabíjí přes sériovou kombinaci nenulového vnitřního odporu zdroje vstupního signálu R_i a odporu sepnutého spínače R_{sep} s časovou konstantou:

$$\tau = (R_i + R_{sep} * C_p) \quad (3)$$

Doba vzorkování nutná pro dosažení dané přesnosti

– pro přesnost 10%:

$$\tau \geq 3 * (R_i + R_{sep} * C_p) \quad (4)$$

– pro přesnost 1%:

$$\tau \geq 5 * (R_i + R_{sep} * C_p) \quad (5)$$

– pro přesnost 0,1%:

$$\tau \geq 7 * (R_i + R_{sep} * C_p) \quad (6)$$

– pro přesnost 0,01%:

$$\tau \geq 9 * (R_i + R_{sep} * C_p) \quad (7)$$

Doba ustálení (settling time) je doba potřebná k přechodu ze vzorkovacího do ustáleného paměťového režimu. Měří se doba ustálení signálu v daném tolerančním pásmu.

Přepínací skokové napětí (sample-to-hold offset) je chyba sejmutí vzorku v důsledku průniku řídicího signálu přes parazitní kapacity spínače. V provedení s vnějším C_p se uvede velikost náboje přeneseného na C_p .

Apertura (časová neurčitost – aperture) je způsobena reálnými vlastnostmi těch částí vzorkovače, které realizují přechod obvodu z režimu vzorkování do pamatování.

Efektivní okamžik sejmutí vzorku (effective sampling time) t_{ef} je okamžik, v němž by měl monotónně se měnící vstupní signál velikost, na které se ustálí napětí na C_p .

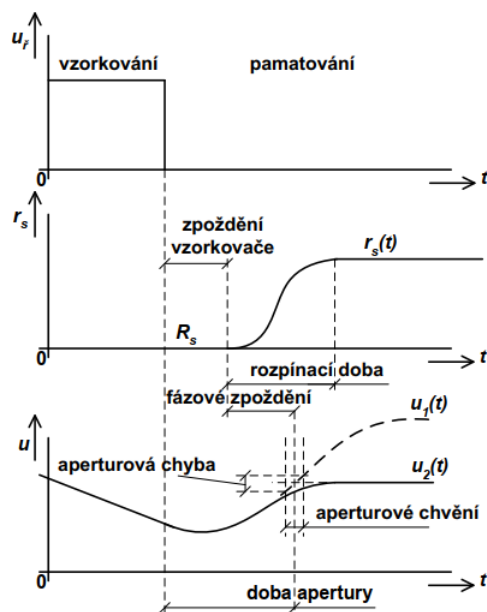
Doba aperture (aperture time) je doba mezi bezprostředním pokynem k rozpojení spínače a ukončením rozpojování, kdy lze spínač považovat za zcela rozpojený.

Nejistota aperture (aperture uncertainty) je náhodné kolísání doby aperture. Někdy se označuje jako aperturové chvění (jitter).

Fázové zpoždění (phase delay) je doba mezi bezprostředním podnětem k rozpojení spínače a a_{ef} .

Aperturová chyba (aperture error) je nepřesnost sejmutí vzorku v důsledku aperturového chvění a s kmitočtem roste

Zpoždění vzorkovače (S/H delay, T/H delay) je doba mezi příkazem k sejmutí vzorku a bezprostředním podnětem k rozpojení spínače.



Obrázek 10: Apertura

4.4 Příklady realizací

Realizace vzorkovače je v drtivé většině případů řešena zapojením v technice SC. V současné době se však dostává do popředí zájmu i technika spínaných proudů (SI) a to zejména díky pracovnímu režimu, který je proudový, čehož je využíváno ke snižování napájecích napětí.

4.4.1 Neinvertující zapojení vzorkovačů s pamětí v technice SC

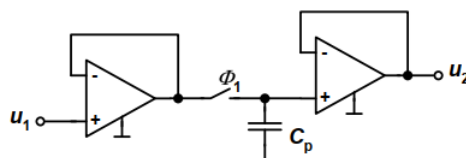
Při sepnutém spínači S je paměťový kapacitor C_p připojen ke zdroji snímaného napětí. Po dobu sepnutí T_S se kapacitor C_p nabíjí na napětí odpovídající skutečné hodnotě vstupního signálu. Současně se odpovídajícím způsobem mění výstupní napětí oddělovacího zesilovače, kterým je většinou OZ v neinvertujícím zapojení. Po rozpojení spínače S se na kapacitoru C_p a tedy i na výstupu zesilovače udržuje napětí sejmутého vzorku. Doba T_S odběru vzorku je velmi krátká a je proto použit elektronický spínač. Protože však u těchto spínačů nejsou splněny podmínky pro ideální spínače, tj. $R_{ON} = 0$, $R_{OFF} \rightarrow \infty$, nabíjí se paměťový kapacitor exponenciálně s časovou konstantou:

$$\tau = R_s * C_p \quad (8)$$

,kde

$$R_s = R_{ON} + R_i \quad (9)$$

R_{ON} je odpor sepnutého spínače a odpor R_i zdroje vstupního signálu.

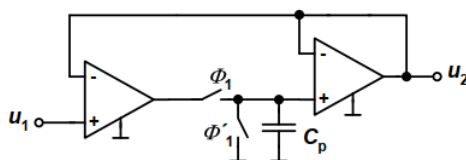


Obrázek 11: Základní neinvertující zapojení vzorkovače

Dynamické vlastnosti lze zlepšit volbou vhodných rychlých součástek (velmi rychlé OZ, rychlý převodník napětových úrovní pro vlastní spínač, realizace spínače diodovým můstkem se Schottkyho diodami, volbou malé kapacity paměťového kapacitoru, značným proudovým dimenzováním výstupu prvního OZ).

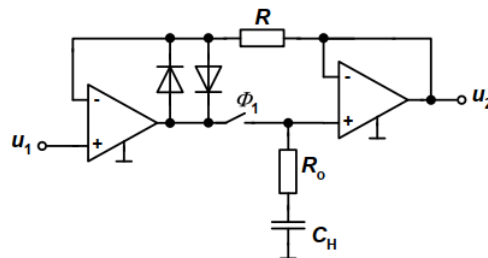
Velké zesílení prvního OZ způsobuje, že se C_p nabíjí z většího napětí a to po dobu, dokud napětí na diferenčních vstupech prvního OZ nebudou stejná. Nevýhodou je přechod zmíněného OZ do saturace při rozpojení spínače

Aby se dosáhlo zvětšení nabíjecí rychlosti při změnách vstupního napětí o celý rozsah, připojí se paralelně k paměťovému kapacitoru spínač, který ho těsně před vlastním vzorkováním vybije. Nevýhodou je trochu složitější řídicí logika:



Obrázek 12: Zapojení pro zvýšení nabíjecí rychlosti

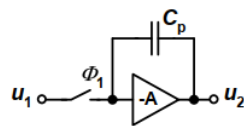
Další úpravou, aby se zabránilo saturaci prvního OZ, je přidání zpětnovazebního odporu a spínač ve zpětnovazební smyčce bývá také velmi často nahrazen antiparalelním zapojením dvojice diod.



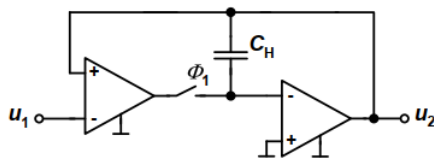
Obrázek 13: Zapojení s dvojicí diod a opatřením proti saturaci

4.4.2 Invertující zapojení vzorkovače v technice SC

V případě invertujícího zapojení vzorkovače bývá paměťový kapacitor zapojen ve zpětné vazbě OZ – tzv. Millerův integrátor. Potřebný nabíjecí proud dodá zesilovač (nikoliv tedy zdroj vstupního napětí), čímž jsou menší nároky na spínač, protože se pracuje do virtuální země OZ.

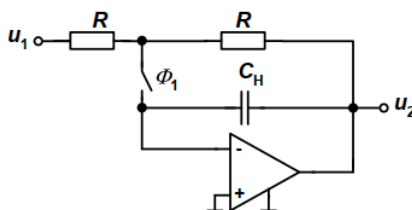


Obrázek 14: Základní zapojení Millerova integrátoru



Obrázek 15: Zlepšení vlastností základního invertujícího zapojení vzorkovače

Aby byla zajištěna záporná zpětná vazba v režimu vzorkování (spínač je sepnut), jsou vstupní svorky prvního OZ zaměněny.

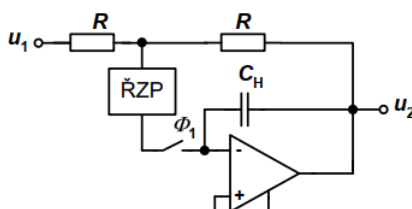


Obrázek 16: Řešení invertujícího zapojení vzorkovače s volbou časové konstanty

Při sepnutí spínače bude paměťový kapacitor nabíjen s časovou konstantou:

$$\tau = (R_s + R) * C_p \quad (10)$$

,kde R_s je vnitřní odpor spínače. Proto je nutné volit R co nejmenší.

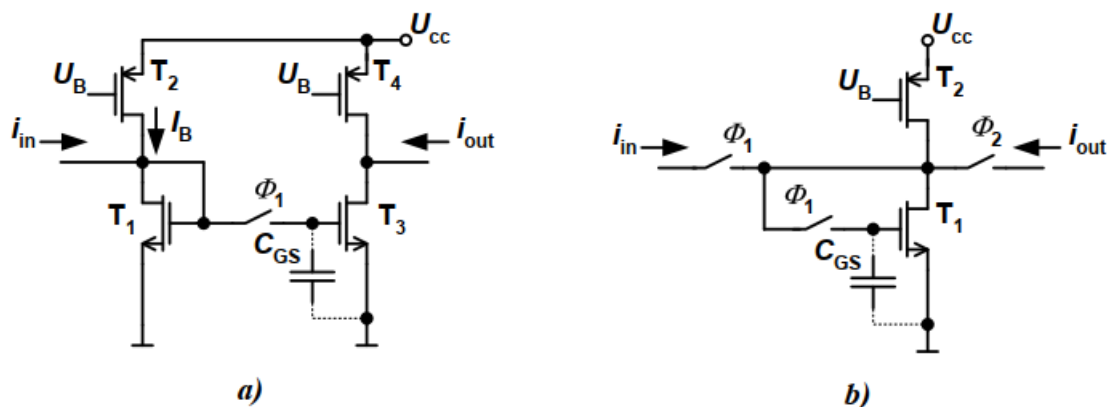


Obrázek 17: Zkrácení doby nabíjení pomocí ŘZP

Velikost k_i je omezena tím, že maximální hodnota nabíjecího proudu nemůže být větší než maximální výstupní proud OZ. Paměťový kapacitor musí být vybrán tak, aby měl malý svodový proud a malou dielektrickou absorpci.

4.4.3 Vzorkovače v technice SI

Paměťová buňka je základním prvkem v obvodech se spínanými proudy. Pro její funkci je využita parazitní kapacita C_{GS} mezi hradlem a emitorem. Pro popsání základní funkce paměťové buňky je vhodné považovat tranzistor za ideální, tzn., že jsou zanedbány veškeré parazitní prvky kromě zmíněného kapacitoru C_{GS} .



Obrázek 18: Vzorkovací obvody v technice SI a) buňka první generace b) buňka druhé generace

Buňka první generace je zapojena jako klasický proudový opakovač s unipolárními tranzistory. Pokud je spínač sepnut, do kolektoru tranzistoru T_1 teče proud $i_{in} + I_B$, kde I_B je příčný proud generovaný proudovým zdrojem tvořeným tranzistorem T_2 . Tento proud je nutný pro zpracování vstupního proudu obou polarit. Proud protékající tranzistorem T_1 je zrcadlen a jeho obraz teče kolektorem tranzistoru T_3 . Pokud je proud generovaný proudovým zdrojem tvořeným tranzistorem T_4 stejný jako proud generovaný proudovým zdrojem tvořeným tranzistorem T_2 a pokud je také stejný poměr W/L u tranzistorů T_1 a T_3 , pak hodnota výstupního proudu i_{out} se rovná hodnotě vstupního proudu i_{in} . Na hradle tranzistoru T_3 je napětí u_{GS} , které zajišťuje daný výstupní proud buňky.

Po rozpojení spínače je toto napětí u_{GS} na hradle tranzistoru T_3 zachováno a tranzistorem teče stejný proud jako před rozpojením spínače. Proto je i výstupní proud i_{out} stejný. Hodnota i_{out} je zachována do doby, než bude spínač opět sepnut (ovšem za předpokladu ideálních vlastností tranzistoru). Hlavní vlastností paměťové buňky první generace proto je, že výstupní svorkou teče neustále výstupní proud (výstup je připojen k obvodu s nízkou impedancí), který je dán přímo okamžitou hodnotou vstupního proudu (spínač je sepnut) nebo hodnotou vstupního proudu před rozpojením spínače (spínač je rozepnut).

Hlavní výhodou buňky první generace je, že výstupní proud i_{out} je možné po celou dobu odebírat z výstupu.

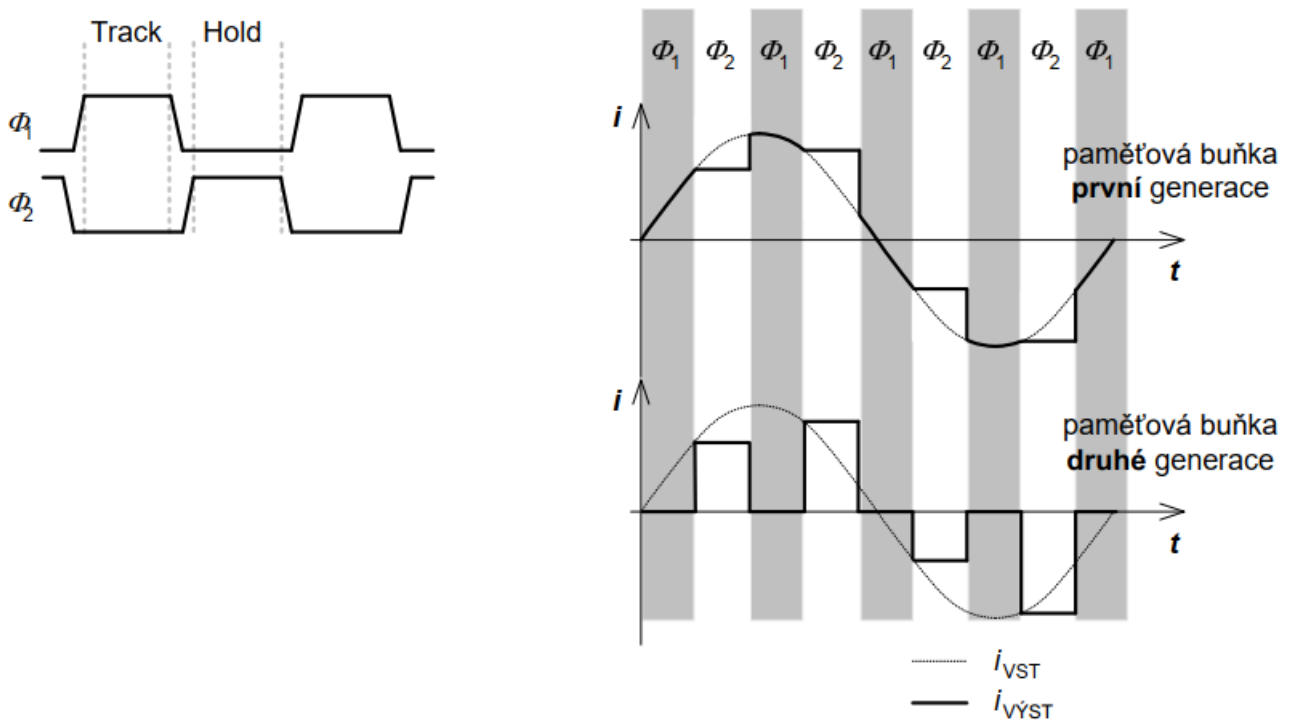
Buňku první generace lze navrhnout s libovolným zesílením:

$$A = \frac{i_{vyst}}{i_{vst}} = \frac{\left(\frac{W}{L}\right)_{M3}}{\left(\frac{W}{L}\right)_{M1}} \quad (11)$$

Problémem je však závislost tohoto zesílení na shodnosti (matching) tranzistorů T_1 a T_3 nebo na dosažení přesného poměru rozměrů tranzistorů. Dále je nutné, aby zdroje proudů tvořené tranzistory T_2 a T_4 byly shodné. Pokud nejsou, vnáší se do obvodu chyba posunutí (offset).

Buňka druhé generace je tvořena pouze jedním „pamětovým“ tranzistorem T_1 a zdrojem proudu tvořeným tranzistorem T_2 . Funkce buňky je rozdělena do fází ϕ_1 a ϕ_2 . Hodinové signály pro spínače se nesmí překrývat. Během hodinové fáze ϕ_1 je buňka v režimu sledování (track), tzn., že do buňky teče vstupní proud i_{in} .

Tranzistor T_1 je zapojen v diodovém režimu (hradlo a kolektor jsou spojeny) a proud tranzistorem je $i_{in} + I_B$, kde I_B je příčný proud generovaný proudovým zdrojem tvořeným tranzistorem T_2 . Výstupní spínač paměťové buňky je rozepnut, a tudíž výstupní proud je nulový. Během hodinové fáze ϕ_2 je buňka v režimu pamatování (hold), tzn., že napětí u_{GS} mezi hradlem a emitorem tranzistoru T_1 je udržováno konstantní díky parazitní kapacitě C_{GS} . Hodnota napětí je stejná, jako byla v čase přechodu z fáze ϕ_1 do fáze ϕ_2 .



Obrázek 19: Časové průběhy a) hodinových signálů, b) vstupních a výstupních proudů paměťové buňky první (nahore) i druhé (dole) generace

Nevýhodou buňky druhé generace je dostupnost výstupního proudu i_{out} pouze ve fázi ϕ_2 . Naopak buňka druhé generace může mít pouze jednotkové zesílení, tzn., že se vstupní proud zrcadlí na výstup. Paměťový tranzistor T_1 je použit jako vstupní i výstupní. Proto

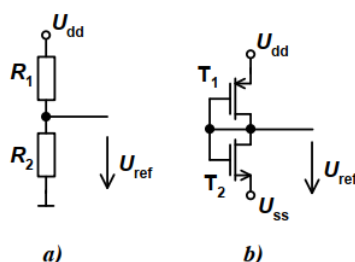
zde odpadá problém párování tranzistorů. Další výhodou je použití pouze jednoho zdroje proudu tvořeného tranzistorem T_2 , který dodává příčný proud paměťové buňce v obou fázích (ϕ_1 i ϕ_2). Proto není přesnost přenosu zatížena chybou posunutí způsobenou nepřizpůsobením zdrojů proudů.

5 Referenční zdroje napětí a proudu

-jednoduché reference, reference řízené prahovým napětím tranzistoru, bandgap reference, výhody, nevýhody, teplotní závislost, stabilita

5.1 Jednoduchá reference-napěťové

Nejjednodušší napěťovou referencí je obyčejný napěťový dělič, ať už s využitím pasivních či aktivních prvků.



Obrázek 20: Vytvoření napěťové reference pomocí děliče a) rezistorového, b) složeného z MOST v zapojení jako řízená dioda

Velkou nevýhodou zejména zapojení na a) je přímá závislost na napájecím napětí a tedy i přímá závislost na jeho změnách, což lze popsat koeficientem citlivosti S . Zjednodušené řečeno, pokud je $S = 1$, pak při změně napájecího napětí např. o 10 % dojde ke stejné změně i na výstupu reference, což je samozřejmě nežádoucí.

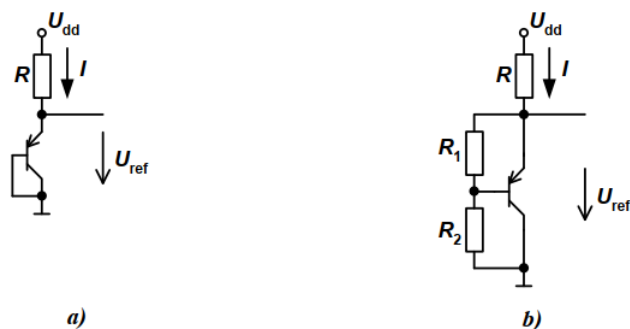
Určitého zlepšení lze dosáhnout použitím aktivní součástky (bipolární nebo unipolární tranzistor).

$$S = \frac{1}{\ln \frac{I}{I_s}} \quad (12)$$

Vzhledem k tomu, že je saturační proud vždy menší jak I , je citlivost menší než jednotková. Např. v případě změny napájecího napětí o 10 % dojde ke změně reference jen o 0,36 %.

Dalšího zlepšení lze dosáhnout použitím zapojení podle b). Hodnota referenčního napětí je pak:

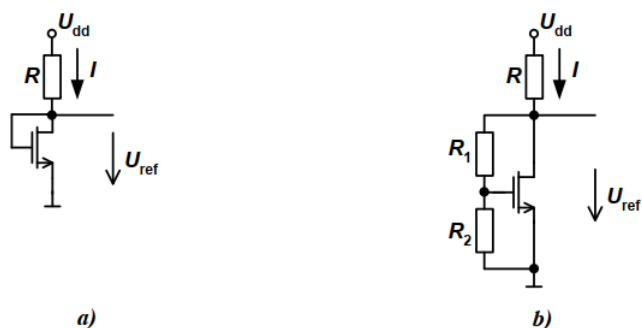
$$U_{ref} = U_{BE} * \left(\frac{R_1 + R_2}{R_1} \right) \quad (13)$$



Obrázek 21: Referenční zdroj s BJT

Zapojení v kombinaci rezistor s tranzistorem MOS je opět o něco méně závislé na napájení než zapojení s bipolárním tranzistorem. Napětí U_{ref} lze odvodit z U_{GS} , takže:

$$U_{ref} = U_{GS} = U_{th} + \frac{\sqrt{2 * I}}{\beta} \quad (14)$$

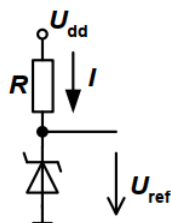


Obrázek 22: Referenční zdroj s MOS tranzistorem

Stejně jako u BJT je výhodnější použití zapojení, jak je uvedeno na b). Referenční napětí je pak:

$$U_{ref} = U_{GS} * \left(\frac{R_1 + R_2}{R_1} \right) \quad (15)$$

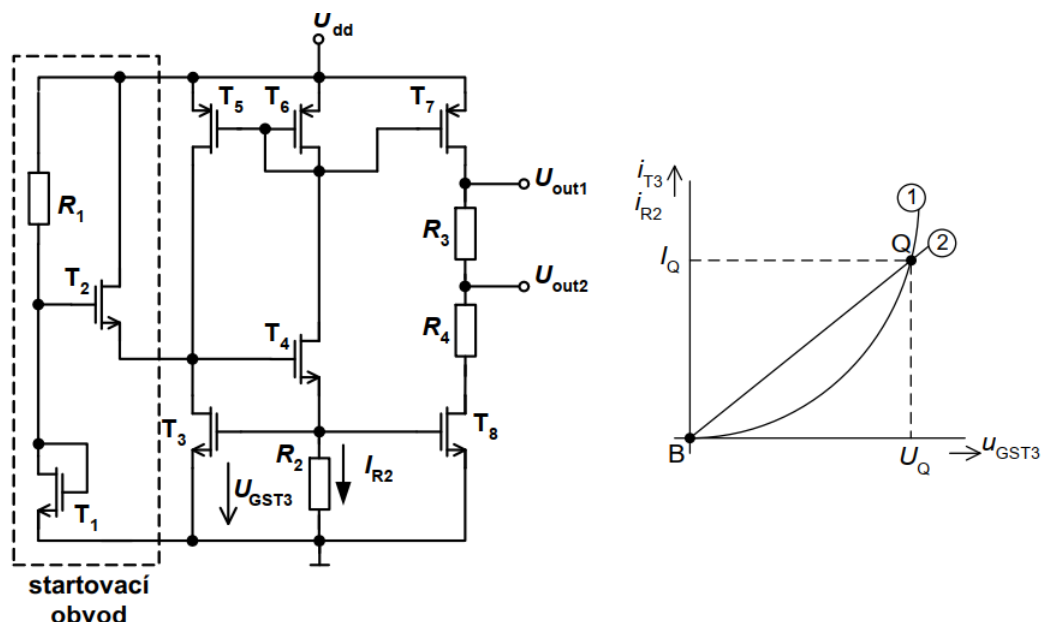
Velmi přesný referenční zdroj napětí lze realizovat s pomocí silně dopovaného PN přechodu v zapojení v závěrném směru. Jedná se v podstatě o využití průrazného napětí U_{br} , buď Zenerova nebo lavinového. Zenerův mechanismus má negativní teplotní koeficient a lavinový má kladný teplotní koeficient.



Obrázek 23: Referenční zdroj se Zenerovou diodou

5.2 Reference řízená prahovým napětím (bootstrapped)-napěťový

Jestliže je napětí na aktivním prvku (tranzistoru) použito k vytvoření proudu, který je následně využit jako referenční, pak je tento proud nebo napětí na tranzistoru nezávislý na napájecím napětí



Obrázek 24: Bootstrapped reference a nastavení pracovního bodu

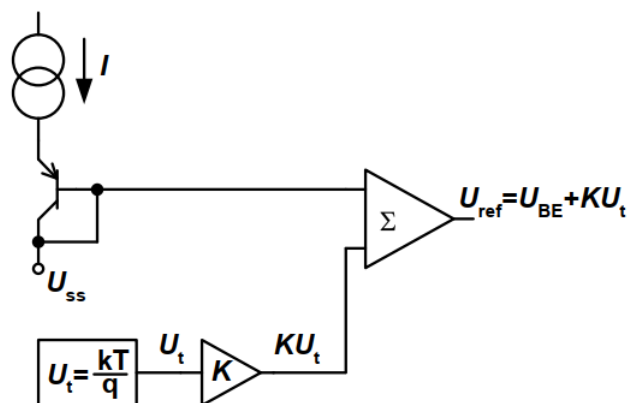
Proudové zrcadlo z tranzistorů T_5 a T_6 se stejnými rozměry způsobí, že oběma větvemi teče stejný proud. Proud, který teče tranzistorem T_3 vytvoří úbytek napětí U_{GST3} . Zrcadlený proud, který teče přes rezistor R_2 , vytvoří napětí dané jako $I_{R2} \cdot R_2$. Vzhledem k tomu, že jsou tato napětí ve společné smyčce, je dosaženo nastavení pracovního bodu.

Aby bylo dosaženo požadovaného referenčního napětí na výstupu, je toto základní zapojení doplněno o tranzistory T_7 a T_8 , čímž se nastavený proud zrcadlí a pomocí odporových děličů jsou nastavena požadovaná referenční napětí.

Problém u tohoto zapojení nastává při nastavování správného pracovního bodu. Obě charakteristiky se vlastně protínají i v bodě B. Tím by ovšem referenční zdroj nepracoval. Aby se tomuto stavu zabránilo, je nutné použít tzv. startovací obvod.

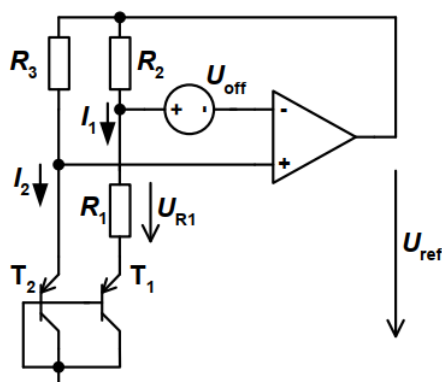
5.3 Bandgap reference

Nejpřesnějším a teplotně nejméně závislým referenčním zdrojem je tzv. bandgap reference.



Obrázek 25: Obecný princip bandgap reference

Napětí U_{BE} je generováno pomocí BJT zapojeného jako dioda, který má nízký teplotní koeficient. Zároveň je generováno teplotní napětí U_t , které je úměrné absolutní teplotě. Pokud je U_t násobeno konstantou K a připočteno k U_{BE} pak je výstupní napětí reference.

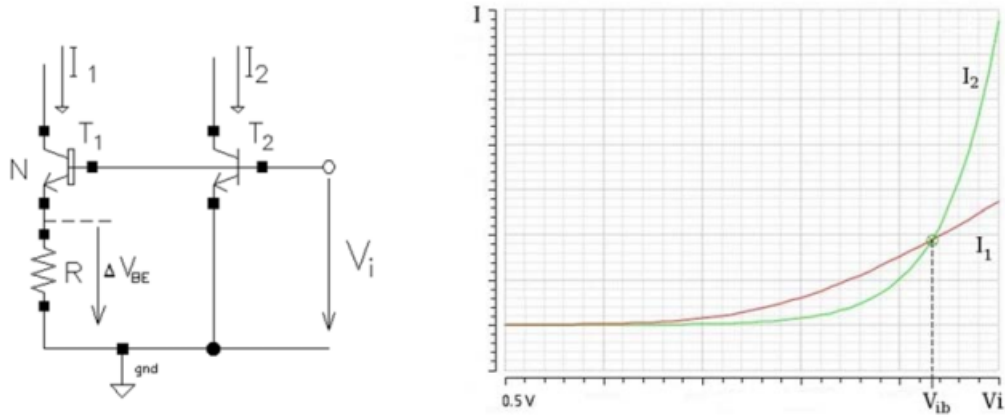


Obrázek 26: Standardní řešení bandgap reference

$$U_{ref} = U_{BE} + K * U_i \quad (16)$$

5.3.1 Bandgap reference podle Paula Brokawa

Pro malé hodnoty napětí V_i je proud I_1 tranzistorem T_1 větší než proud I_2 tranzistorem T_2 , protože T_1 má N -krát větší plochu emitoru. Pro velké proudy je naopak větší proud I_2 tranzistorem T_2 , protože proud I_1 je omezen odporem R . Důležitý je stav ve kterém platí $I_1 = I_2$. Nejpřesnějším a teplotně nejméně závislým referenčním zdrojem je tzv. bandgap reference.



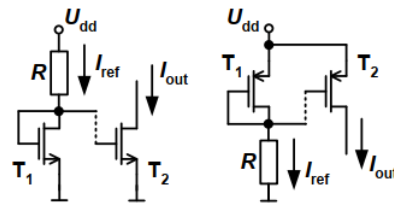
Obrázek 27: Reference podle P. Brokawa a její průběh

$$\Delta U_{BE} = U_T * \ln(N), I_1 = I_2 = I = \frac{U_T * \ln(N)}{R} \quad (17)$$

5.4 Jednoduchá reference-proudové

Tyto typy referenčních zdrojů jsou často tvořeny napěťovými referencemi doplněnými pouze o koncový stupeň, který pracuje jako převodník napětí na proud.

Nejjednodušší verzí proudové reference je zapojení, které je tvořeno rezistorem R v zátěži a tranzistorem MOS v zapojení jako proudové zrcadlo.



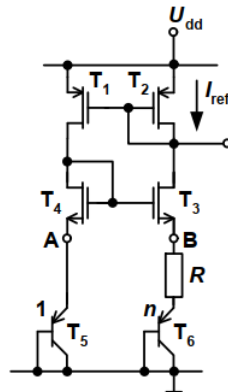
Obrázek 28: Proudový referenční zdroj tvořený proudovým zrcadlem

$$I_{ref} = \frac{U_{dd} - U_{GS1}}{R} \quad (18)$$

Je zřejmé, že přesnost tohoto typu proudové reference není příliš velká z důvodu silné závislosti na změně napájecího napětí a také z důvodu teplotní závislosti součástek

5.5 Reference řízená prahovým napětím-proudová

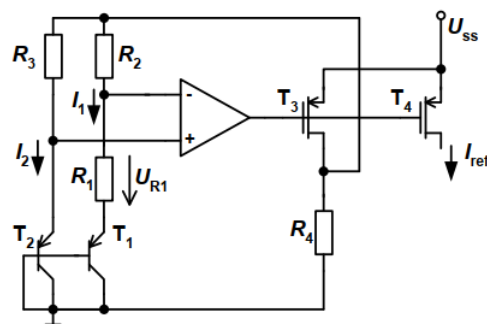
Reference je založena na napětí úměrnému velikosti prahového napětí tranzistoru, které je přiloženo na daný rezistor



Obrázek 29: Proudová reference řízená prahovým napětím tranzistoru

$$I_{ref} = \frac{UT}{R} * \ln(N) \quad (19)$$

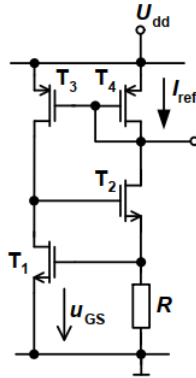
Pokud budeme uvažovat standardní pokojovou teplotu, pak je teplotní napětí 26 mV a vhodná hodnota $N = 8$. Napětí na rezistoru je tedy 56 mV, což znamená, že uvedený typ obvodu je vhodný pro generování malých proudů.



Obrázek 30: Proudový referenční zdroj

5.6 Proudový bootstrapped

Velikost referenčního proudu závisí na napájecím napětí jen velmi málo, protože je v každé větvi vysokoimpedanční prvek (tranzistory T_2 a T_3), které absorbují případné změny v napájení. Napětí U_{ds} tranzistorů T_1 a T_4 se nemůže libovolně měnit, první se pohybuje o dvojnásobek U_{gs} nad úrovní země a druhý o U_{gs} pod úrovní napájecího napětí. Jakákoli fluktuace napájení je tedy absorbována vysokou rezistencí, která je mezi drainem a sourcem tranzistorů T_2 a T_3 .



Obrázek 31: Bootstrapped proudový referenční zdroj

Startovací obvod zde není uveden, ale i v tomto případě je nutné jej použít a to ze stejného důvodu jako u napěťové verze, tedy nastavení správného pracovního bodu

5.7 Výhody a nevýhody

Výhody: Možnost mít chtěné napětí/proud, které je téměř nezávislé na změnách vstupního napětí

Nevýhody: Jednoduché reference, např. napěťový dělič, jsou velmi nepřesné a citlivé na změnu teploty a napájecího napětí.

5.8 Teplotní závislost

Všechny reference jsou samozřejmě více či méně teplotně závislé. Teplotní závislost reference je definována nejen pomocí koeficientu citlivosti S , ale také pomocí dílčího teplotního koeficientu (TC_F)

$$TC_F = \frac{1}{T} * (S_T^X) \quad (20)$$

kde X je U_{ref} (s použitím převodníku napětí-proud také I_{ref}).

6 Paralelní převodníky DA

-základní zapojení a funkce, využití sítě R-2R a modifikace, váhové sítě, typičtí představitelé

6.1 DAC obecně

6.1.1 Klasifikace

Unipolární převodník má výstupní analogový signál pouze jedné polaritě (buď kladné nebo záporné).

Bipolární převodník má výstupní analogový signál obojí polaritě. Krajiní kvantovací úrovně mají opačné znaménko a v absolutní hodnotě se zpravidla neliší o více než jeden kvantovací krok.

Dvoukvadrantový převodník je unipolární převodník, jehož referenční signál může nabývat obou polarit (při užití jako zesilovač s číslicově nastavitelným zesílením). Název se používá i pro případ bipolárního násobícího DAC s jednou polaritou referenčního signálu.

Čtyřkvadrantový převodník je bipolární násobící převodník, jehož referenční signál může nabývat obou polarit, čehož lze využít jako zesilovače, u kterého lze číslicově řídit velikost zesílení i polaritu.

Převodník s proudovým výstupem je velmi častý případ. Pokud je nutné, převede se proud na napětí pomocí převodníku proud-napětí. Je použitelný jako číslicově řízený zdroj proudu.

Převodník s napěťovým výstupem je vlastně číslicově řízený zdroj napětí

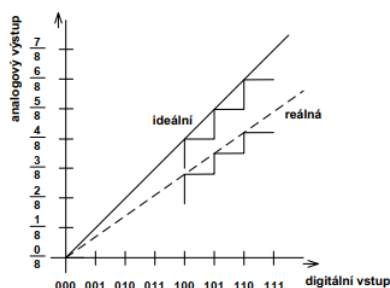
6.1.2 Statické parametry

Rozsah - rozdíl výstupní analogové veličiny mezi nejvyšší a nejnižší dosažitelnou kvantovací hladinou,

Rozlišovací schopnost - poměr kvantovacího kroku a velikosti výstupního rozsahu. Plnohodnotný je i údaj o počtu diskretních úrovní výstupního analogového napětí nebo proudu a přímo souvisí s počtem bitů vstupního slova.

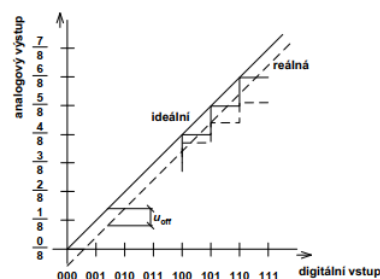
Přesnost výstupního napětí resp. proudu - maximální odchylka mezi skutečnou a ideální převodní charakteristikou převodníku. Často se udává poměrná velikost odchylky vztažená k celkovému rozsahu převodníku.

Chyba zesílení - absolutní hodnota této chyby narůstá lineárně se vstupní číselnou hodnotou převodníku a maxima nabývá na plné hodnotě rozsahu převodníku



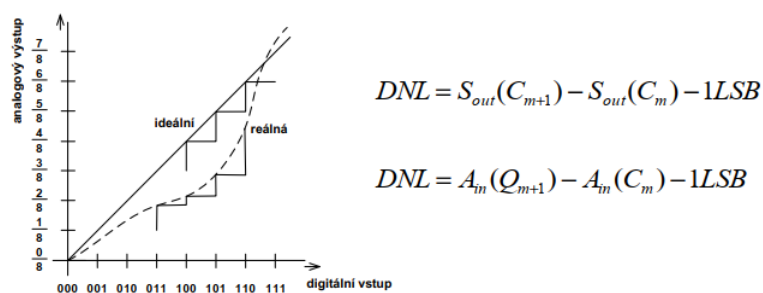
Obrázek 32: Chyba zesílení

Chyba nastavení nuly (offset) - posunutí ideální převodní charakteristiky o stejnou hodnotu



Obrázek 33: Offset

Chyba linearity (INL, DNL) - nelinearita v globálu (INL) je maximální vertikální rozdíl mezi ideální a reálnou převodní charakteristikou.



Obrázek 34: Chyba linearity

Pokud by převodní charakteristika neměla monotónní růst nebo, pokles při růstu digitálního vstupu, pak je takový převodník **nemonotónní**. Tato chyba je obvykle způsobena nesprávným odporem váhových rezistorů nebo nepřesným nastavením váhových zdrojů proudu. Platí, že pokud je $DNL > 1\text{LSB}$, pak je převodník nemonotónní.

Kvantovací chyba - způsobena konečným počtem diskretních úrovní výstupního napětí a může dosahovat maximálně $\pm 1/2$ hodnoty LSB.

Hystereze - způsobena nestejným průběhem převodní charakteristiky při změně tendence nastavovaných hodnot. Zpravidla to způsobuje dielektrická absorpce kapacitorů. Absolutní chyba této odchylky závisí na rychlosti změny. Platí tedy, že při dostatečně dlouhých intervalech mezi hodnotami se blíží tato chyba nule.

Přípustné rozmezí výstupního napětí - maximální výstupní napětí DAC s proudovým výstupem, při němž jsou ještě garantovány všechny parametry převodníku.

Průnik signálu - nežádoucí pronikání signálu přes rozpojené spínače nebo části obvodu, které mají izolovat.

6.1.3 Dynamické parametry

Dynamické vlastnosti jsou také určeny dobou převodu T_P , což je maximální doba potřebná k ustálení výstupní analogové veličiny na správnou hodnotu s povolenou chybou za předpokladu konstantní hodnoty digitálního signálu během převodu.

Odstup signál-šum (SNR) se vyhodnocuje z kmitočtového spektra signálu, kdy signál odpovídá základní harmonické. SNR závisí na počtu kvantovacích úrovní. Pro sinusový signál teoreticky platí:

$$SNR = (6,02 * N + 1,76) \quad (21)$$

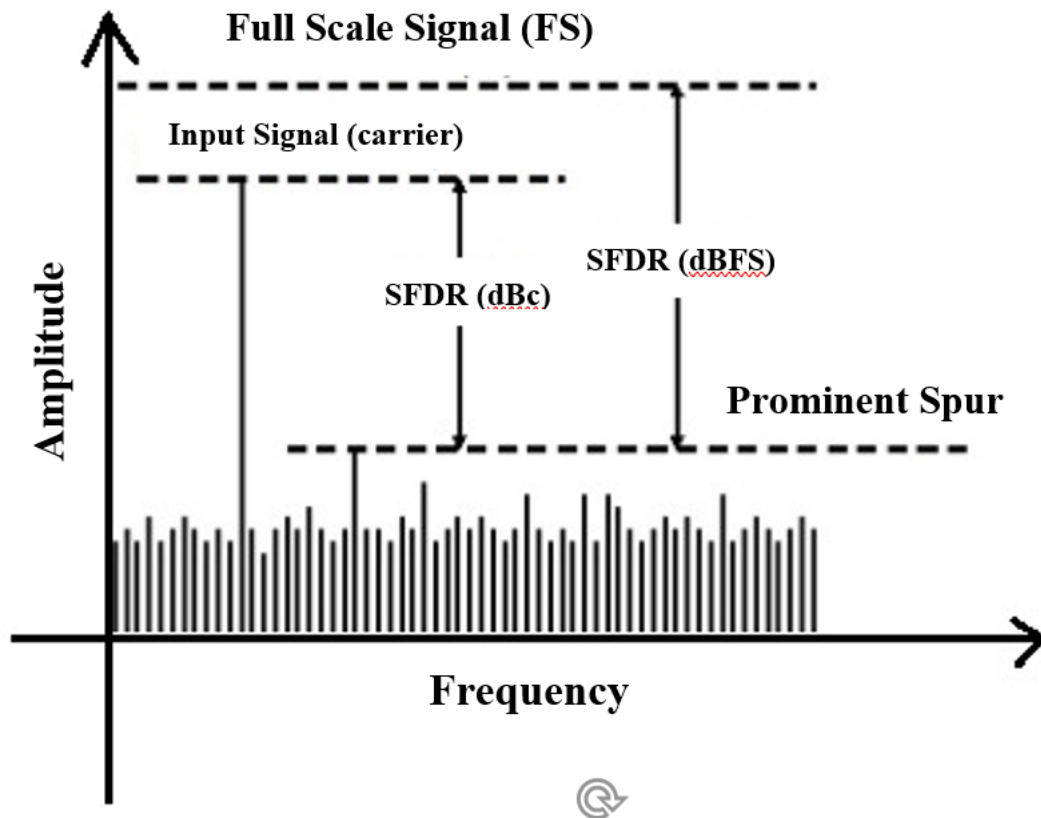
Efektivní počet bitů se určuje ze SNR:

$$N = \frac{SNR - 1,76}{6,02} \quad (22)$$

Harmonické zkreslení (THD) se zjišťuje při buzení DAC daty, která odpovídají digitalizovanému průběhu ideální sinusovky. Zkreslení je pak určeno z výstupního signálu

$$THD = 20 * \log \frac{1}{2} * \frac{\sqrt{U_2^2 + \dots + U_N^2}}{U_1} \quad (23)$$

SFDR je parametr, který je důležitý zejména v případě, kdy má převodník vysoké převzorkování nebo je vyžadována spektrální „čistota“ převodníku. SFDR je tedy určeno jako poměr mezi amplitudou užitečného signálu a největší složkou zkreslení.

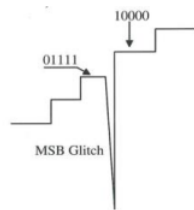


Obrázek 35: Dynamické parametry

Maximální rychlost převodu (správně četnost převodu) - určena počtem vstupních slov D , která mohou být převodníkem převedena na analogovou výstupní veličinu za jednotku času.

Přechod výstupního analogového napětí z jedné úrovně na jinou může být doprovázen přechodným dějem. Jestliže se neuvažují případné překmity zesilovače, je přechodný jev způsoben konečnou dobou sepnutí, resp. rozepnutí elektronických spínačů uvnitř struktury převodníku.

Přechody výstupního napětí mezi hladinami jsou provázeny **krátkými přechodovými špičkami (glitches)** - výška může mnohonásobně přesáhnout hodnotu u_{LSB} . Tato situace nastává při přepínání více spínačů, největší jsou při přechodu např. $01111111 \rightarrow 10000000$, kdy je nesejná rychlost sepnutí a rozepnutí spínačů. Tyto zákmity se odstraňují pomocí tzv. deglitcheru, což v praxi bývá rychlý vzorkovací obvod.



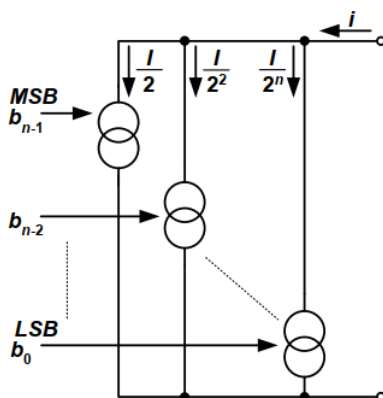
Obrázek 36: Glitch

6.2 Základní zapojení a funkce

Paralelní převodníky DAC patří mezi nejrozšířenější typy, velmi často se vyrábějí monoliticky. Základní paralelní převodník čísla na proud a jeho činnost přímo odpovídá:

$$i = I * D = T * \frac{C}{2^n} \quad (24)$$

kde I označuje referenční proud převodníkem. Převodník obsahuje celkem n řízených zdrojů konstantních proudů, které jsou ovládány logickými signály

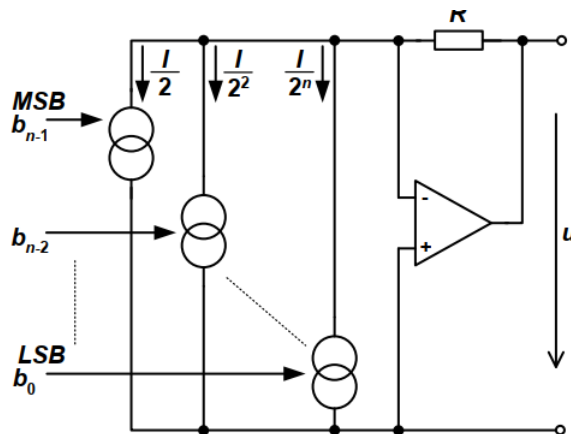


Obrázek 37: Základní zapojení paralelního převodníku čísla na proud

Z principiálního zapojení je zřejmá hlavní nevýhoda a tou jsou vysoké požadavky na přesnost proudových zdrojů. Aby bylo dosaženo potřebné přesnosti převodu, musí proudové zdroje v jednotlivých větvích dodávat do obvodu přesně definovanou hodnotu váhového proudu a to i v přesném poměru vůči ostatním zdrojům. Jak je uvedeno v dalších kapitolách, lze tento nedostatek eliminovat zapojením společně s odporovou sítí $R-2R$.

Paralelní převodník s napětovým výstupem může být jednoduše sestaven z předchozího převodníku D/I , který je doplněn o převodník I/U . Pro výstupní napětí platí:

$$u = i * R = R * \frac{I}{2^n} * \sum_{k=0}^{n-1} b_k 2^k \quad (25)$$



Obrázek 38: Paralelní převodník s napěťovým výstupem

6.3 Využití sítě R-2R a modifikace

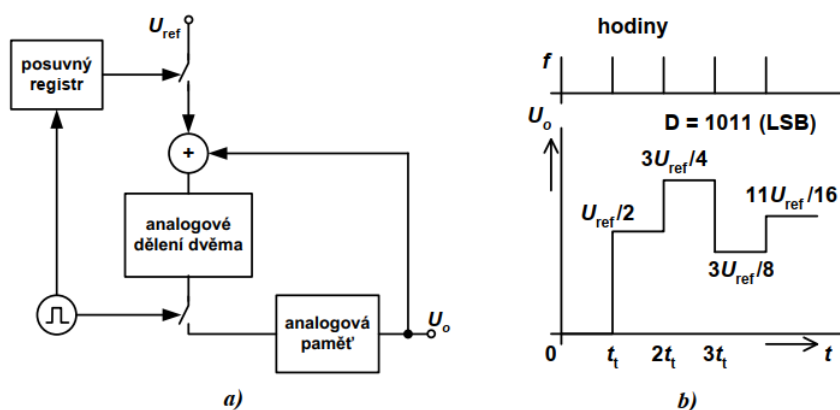
Výstup rezistorové sítě bývá nejčastěji připojen k převodníku I/U s OZ a výstupní veličinou je pak napětí. Rezistorové sítě se upravují zařazením sériových rezistorů do některých míst sítě. Tyto kombinované váhové sítě jsou tvořeny sekcemi váhových rezistorů opět spínaných řízenými spínači na zem nebo referenční napětí.

7 Sériové převodníky DA

- základní zapojení a funkce, využití kapacitorů v síti, příklady využití

7.1 Základní zapojení a funkce

Sériové převodníky DA zaujímají zvláštní pozici mezi převodníky, v integrované podobě se prakticky nevyrábějí. Ve srovnání s paralelním převodníkem obsahuje pouze tři přesné analogové obvody, analogovou sčítačku, analogovou děličku a analogovou paměť.



Obrázek 39: Zapojení sériového DAC

Pracují na principu postupného řízeného kvantování referenčního napětí číslicovým signálem a sčítání váhových kvant jednotlivých bitů číslicového signálu. Sériový číslicový signál D_S řídí horní spínač, který při $D_S = 1$ připojuje kladné referenční napětí U_{ref} do analogové sčítačky. Ve sčítačce se toto napětí sčítá s napětím u_{k-1} , jež je udržováno na výstupu analogové paměti jako výsledek předchozího taktu převodu T_{k-1} . Součet napětí se dělí dvěma a uloží opět do analogové paměti. Vstupní n -bitové číslo se tedy převede na analogový signál postupně, a to celkem v n taktech. Převod začíná od bitu s nejnižší vahou.

7.2 Využití kapacitorů v síti, příklady využití

7.2.1 Sériový DAC s vybíjením kapacitoru

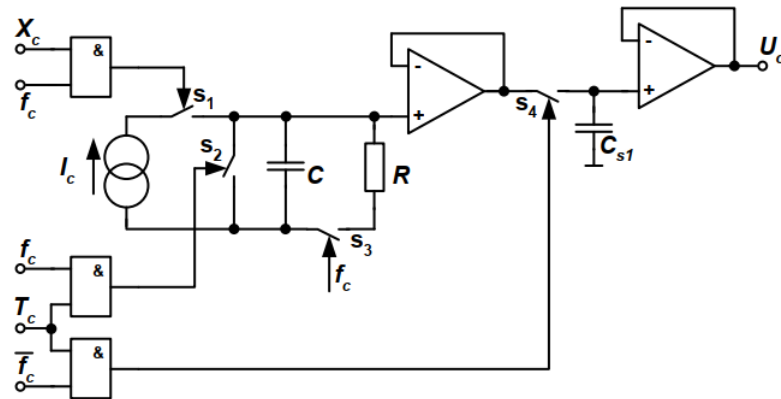
Využívá exponenciální závislosti mezi impulzy v sériově vyjádřeném dvojkovém slově a exponenciálním tvarem vybíjecí křivky kapacitoru. Podle zjednodušeného schématu je kapacitor během první poloviny periody $T/2$ nabíjen ze zdroje konstantního proudu I_C , pokud je však hodnota převáděného bitu rovna 1.

Protože kapacita C i proud I_C jsou konstantní, bude také konstantní náboj dodaný do kapacitoru:

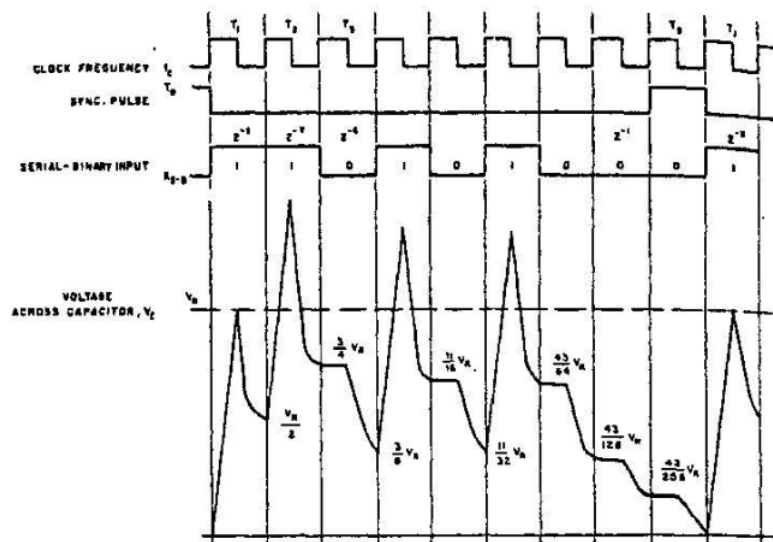
$$Q = I_C * \frac{T}{2} \quad (26)$$

V průběhu doby $T/2$ napětí na kapacitoru lineárně narůstá a dosáhne hodnoty

$$U_{ref} = \frac{I_C}{C} * \frac{T}{2} \quad (27)$$



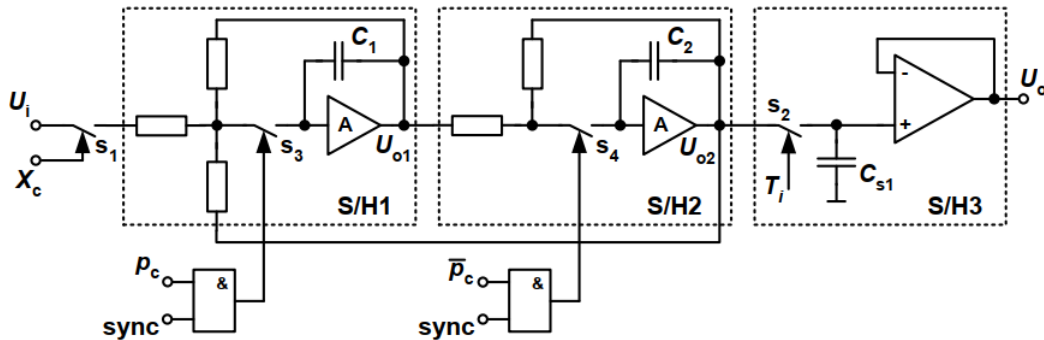
Obrázek 40: Sériový DAC s vybíjením kapacitoru



Obrázek 41: Příklad převodu dvojkového čísla 00101011

7.2.2 Sériový převodník s analogovými vzorkovači

Sériový převodník s analogovými vzorkovači využívá rovněž metodu dělení napětí dvěma v jednotlivých taktech. Činnost každého vzorkovače může být rozčleněna do dvou fází –



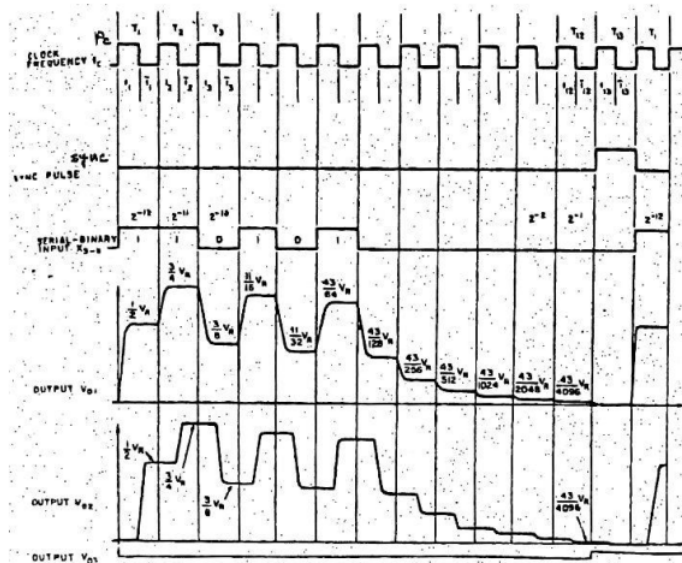
Obrázek 42: Sériový převodník s analogovými vzorkovači

vzorkování a pamatování. Při sepnutých spínačích s_1 a s_3 bude vzorkovač S/H1 vzorkovat a jeho výstupní napětí se ustálí na hodnotě (je-li přenášený bit 1):

$$U_{o1} = -\frac{1}{2} * (U_{ref} + U_{o2}) \quad (28)$$

Toto vzorkování je podmíněno koincidencí hodinových impulzů a synchronizačního signálu p_c , $sync$ (tedy vždy první polovina periody T_i až do signálu $sync = 1$). Ve druhé polovině periody T_i se přepne S/H1 do režimu pamatování a naopak S/H2 se sepnutím s_4 převede do režimu vzorkování.

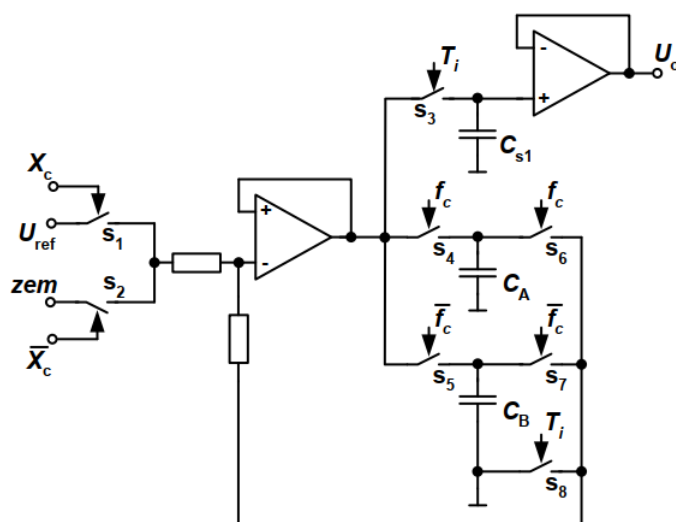
Vzorkovač S/H2 má v režimu vzorkování přenos -1 a uloží do své analogové paměti napětí $-U_{o1}$ právě ukončené předchozí poloviny periody. Cyklickým pochodem se tak v každé periodě dělí původní napětí na polovinu. Sériovým převodem se při každé 1 na pozici bitu přičítá celé U_{ref} .



Obrázek 43: Časové průběhy pro převod 12-bitového čísla na výstupní napětí

7.3 Sériový cyklický DAC s kapacitory

Sériový cyklický DAC s kapacitory obsahuje jen dva přesné rezistory, tři paměťové kapacity, dva OZ a napěťové spínače. Cyklický převodník je rychlejší než převodník se vzorkovači. Aktivace spínačů je symbolicky vyznačena přírou proměnnou pro aktivní 1 a invertovanou proměnnou pro aktivní 0.

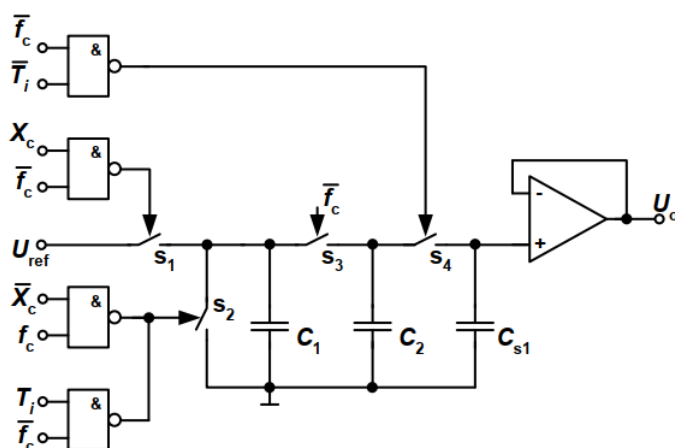


Obrázek 44: Sériový cyklický DAC s kapacitory

Převáděné číslo je zpracováváno postupně od LSB, je-li bit = 1, spíná se s_1 a na vstup převodníku se přivede U_{ref} . Pro bit s hodnotou 0 se sepnutím s_2 připojí 0 V. Ostatní spínače jsou řízeny přímými nebo invertovanými signály f_c (hodinové pravoúhlé impulzy), T_1 (identifikuje první takt) a T_{12} (identifikuje konec převodu).

7.4 Sériový DAC s vyrovnáním náboje

Sériový DAC s vyrovnáním náboje využívá principu předávání (vyrovnání) náboje mezi nabitým a vybitým kapacitorem po jejich paralelním spojení. Napětí na obou spojených kapacitorech bude stejné a budou-li obě kapacity také stejné tj. C_1 a C_2 , budou stejné i oba náboje $Q_1 = Q_2$ a výsledné napětí bude přesně poloviční ($U_{\text{ref}}/2$) proti napětí U_{ref} původně plně nabitého kapacitoru. Vyrovnání náboje neproběhne ihned, ale s určitým zpožděním, které závisí na kapacitách C_1 , C_2 a na odporu R_s sepnutého propojovacího spínače.



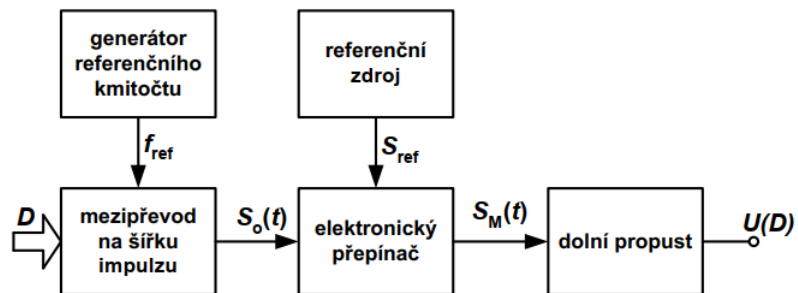
Obrázek 45: Blokové zapojení sériového DAC s vyrovnáním náboje

7.5 Nepřímé ADC

Nepřímé převodníky DAC používají mezipřevod vstupní číslicové kombinace na jiný diskrétní signál, který je teprve převeden na výstupní analogový signál $U(D)$. Tyto převodníky se klasifikují:

- vzorkováním periodických pilovitých kmitů (jedna z nejstarších metod),
- podle druhu měronosné veličiny pomocného signálu se rozeznávají
- nepřímé převodníky DA s mezipřevodem na poměr šířky a periody impulzů,
- nepřímé převodníky DA s hustotou uniformních impulzů,
- nepřímé převodníky DA s kmitočtem pravoúhlých kmitů.
- s jiným typem mezipřevodu (magnetický modulátor, indukční dělič apod.).

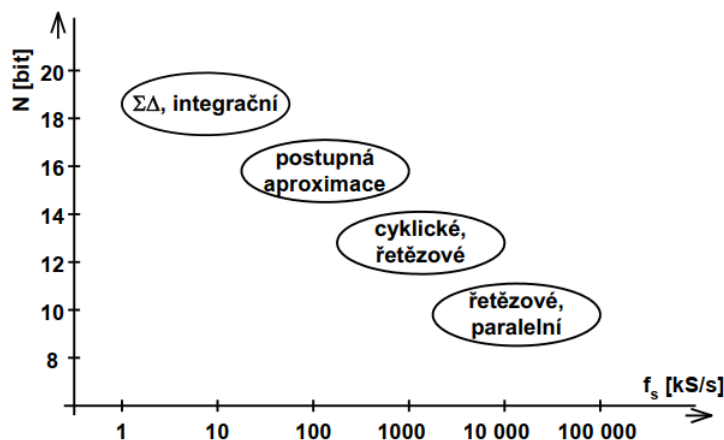
V číslicově řízených kalibračních normálech napětí se užívají zejména DAC s mezi převodem na poměr šířky a periody impulzů (typicky 20-bitové převodníky). Na Obr. 96 je blokové schéma takového převodníku.



Obrázek 46: Princip převodníku DAC s mezipřevodem na šířku impulsu

8 Převodníky AD s vysokými vzorkovacími kmitočty

- komparační, řetězové - základní zapojení a funkce, příklady využití.



Obrázek 47: Rozdělení ADC podle rozlišení v závislosti na četnosti převodu

typ převodníku	výhody	nevýhody
$\Sigma\Delta$	vysoká rozlišovací schopnost až 24 bitů jednoduché obvodové řešení nepotřebuje externí S/H obvod díky funkci převzorkování nepotřebuje antialiasingový filtr	nízký vzorkovací kmitočet řádově stovky kHz
integrační	vysoká rozlišovací schopnost až 24 bitů	nízký vzorkovací kmitočet řádově stovky kHz nutnost velkých kapacit v integrátoru - nákladné na výrobu
postupná aproximace	velmi dobrá rozlišovací schopnost až 20 bitů malá plocha čipu – nízká spotřeba	vzorkovací kmitočet řádově jednotky MHz přesnost závislá na přesnosti interního DAC
řetězové	dobrá rozlišovací schopnost až 16 bitů vysoký vzorkovací kmitočet řádově stovky MHz dosažení validního výsledku převodu ve velmi krátkém čase plocha čipu roste pouze lineárně s počtem bitů - nízká spotřeba	přesnost převodu závisí na přesnosti prvních bloků, které řeší váhově nejdůležitější bity nutnost časového sladění vzorku před odesláním na výstup
paralelní (komparační)	nejvyšší vzorkovací kmitočet až GHz	nízké rozlišení do 8 bitů při vyšším rozlišení velká plocha čipu vysoká spotřeba

Obrázek 48: Základní typy převodníků AD – výhody, nevýhody

8.1 Komparační

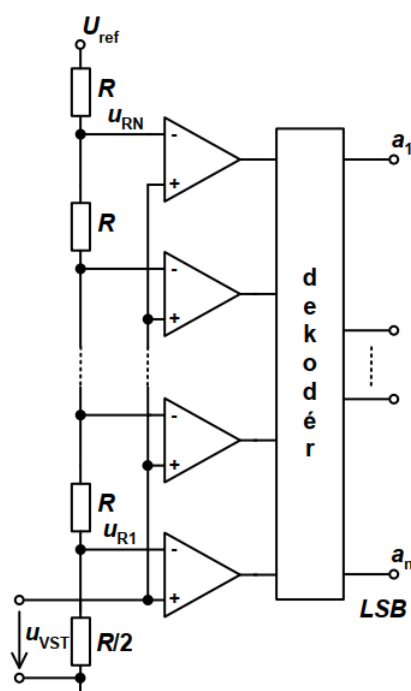
Využívají přímou komparaci kvantovaného měřeného a referenčního napětí. Mohou dosáhnout extrémně krátké doby převodu.

Nevýhodou je velký počet komparátorů a složitost dekodéru, uplatňující se u vícebitových převodníků.

Kompenzační převodníky AD pracují na základě kompenzace měřeného napětí výstupním napětím řízeného převodníku DA. Z hlediska způsobu generace kompenzačního napětí lze rozlišovat ještě kompenzační převodníky s přírůstkem kompenzačního napětí shodné a odstupňované velikosti. Integrační převodníky AD využívají řízené integrace měřeného a referenčního napětí, umožňují dosáhnout vysoké přesnosti převodu.

Přímé převodníky AD převádějí vstupní analogové napětí přímo na výstupní slovo.

U **nepřímých převodníků AD** je vstupní analogové napětí převedeno nejprve na jinou analogovou veličinu (např. čas, kmitočet) a teprve potom je tato pomocná analogová veličina převedena do číslicového tvaru.



Obrázek 49: Zapojení paralelního komparačního převodníku AD

U paralelního typu je vstupní signál přiveden paralelně na řadu komparátorů. Na každý komparátor je rovněž připojena poměrná část referenčního napětí získaná na rezistorovém děliči zhotoveném z řady shodných rezistorů s odpory R . Pro každou možnou kvantovací hladinu existuje příslušná napěťová komparační úroveň. Komparační úrovně jsou v souladu s převodní charakteristikou voleny do středu intervalů mezi jednotky vstupního

napětí. Proto se například napětí $u \in (2,5; 3,5 \text{ V})$ vyhodnotí aritmeticky správně, $u = 3 \text{ V}$. Posun o polovinu kvantovacího bloku je docílen spodním rezistorem s odporem $R/2$ v rezistorové síti převodníku.

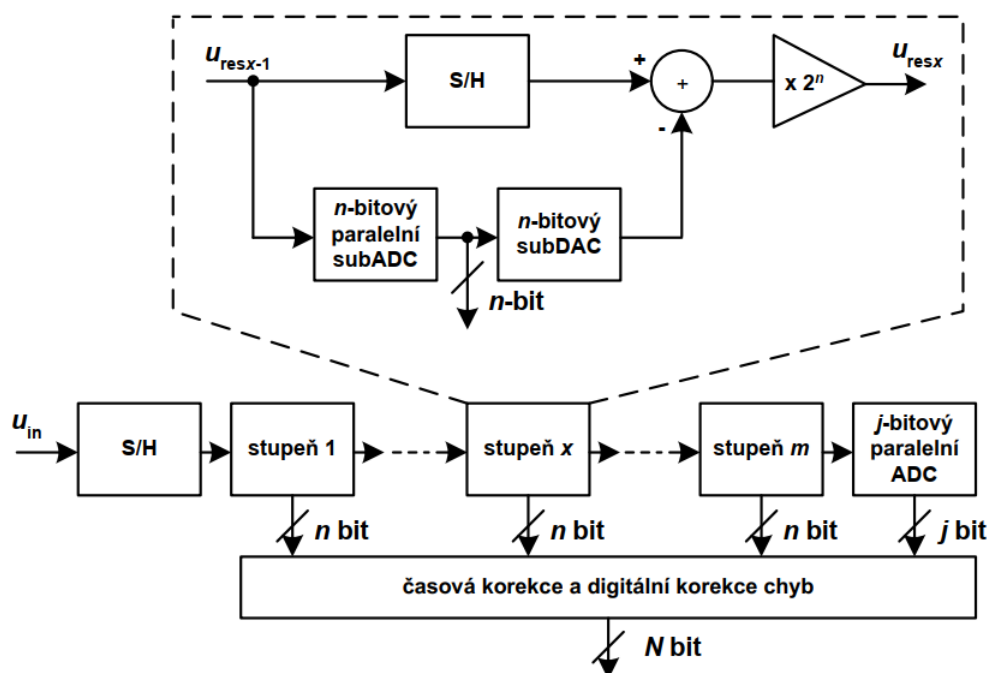
Přivede-li se libovolné dovolené vstupní napětí, všechny komparátory srovnávají jeho hodnotu s kvantovacími hladinami. Tyto komparátory, jejichž referenční úroveň je menší než vstupní napětí, nastaví na svém výstupu úroveň 1, u ostatních komparátorů bude na jejich výstupech logická nula. Výstupy všech komparátorů jsou vedeny na dekodér, kde se získá paralelní výstupní kód.

Tento ADC je extrémně rychlý. Jeho rychlost je prakticky limitována jen rekreační dobou komparátorů a dekódovací logiky. Jeho složitost však exponenciálně roste s počtem bitů.

8.2 Řetězové

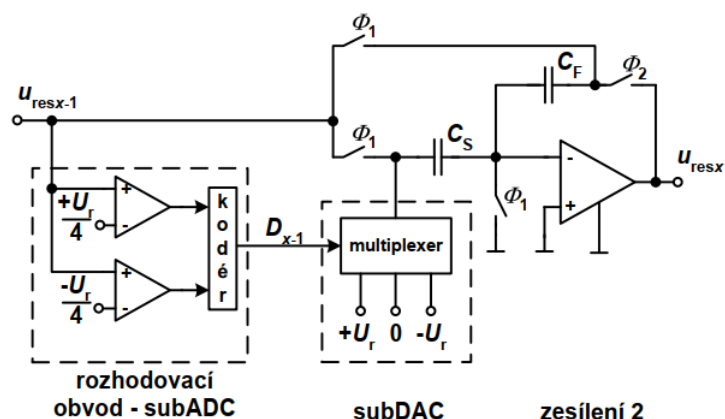
V zájmu zmenšení počtu komparátorů a dodržení velké rychlosti převodu byly vyvinuty řetězové převodníky AD.

Typický řetězový ADC se skládá z několika stejných bloků (stupňů), které jsou kaskádně propojeny za sebou. Každý stupeň převodníku se skládá ze vstupního vzorkovacího obvodu, subADC a subDAC. Princip funkce je pro všechny stupně stejný. Vstupní signál je kvantován, pomocí subADC převeden do binární podoby a jako částečný výstup je poslán do bloku korekce. Mezitím je však opět pomocí subDAC převeden zpět do analogové podoby a odečten od původního vstupního signálu. Výsledné residuum u_{res} , je pak ještě zesíleno a odesláno do dalšího stupně. První bloky tedy řeší nejvýznamnější bity (MSB) převodu, naopak nejméně významné bity řeší poslední blok, kterým je většinou jen několikabitový paralelní převodník.

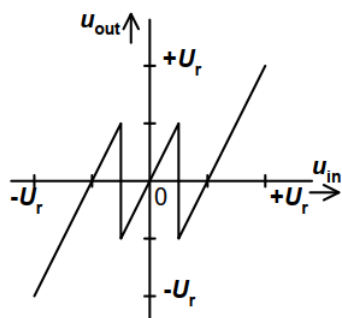


Obrázek 50: Princip řetězového ADC

MDAC má rozlišení 1,5 bitu, což je nejčastěji používané rozlišení, a to z několika důvodů. Při tomto rozlišení je dosaženo maximální šířky pásma a při zesílení 2 uzavřené smyčky je malá kapacitní zátěž a velký faktor zpětné vazby. Při tomto rozlišení nedochází ani k degradaci celkové linearity převodu a SNR v důsledku nesymetrie komparátoru. Navíc čím vyšší je rozlišení na stupeň, tím větší je i spotřeba obvodu.



Obrázek 51: MDAC realizovaný technikou SC



Obrázek 52: Převodní charakteristika 1,5-bitového MDAC

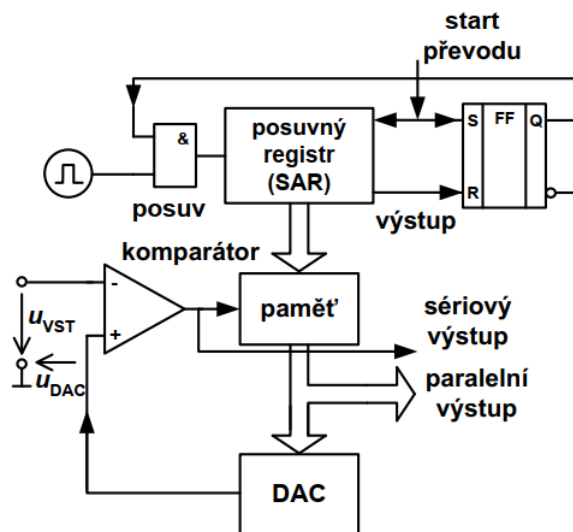
Použití: v bateriově napájených zařízeních, dále v medicíně, komunikačních modulech apod.

9 Převodníky AD typu SAR a integrační

- základní zapojení a funkce, příklady využití.

9.1 SAR

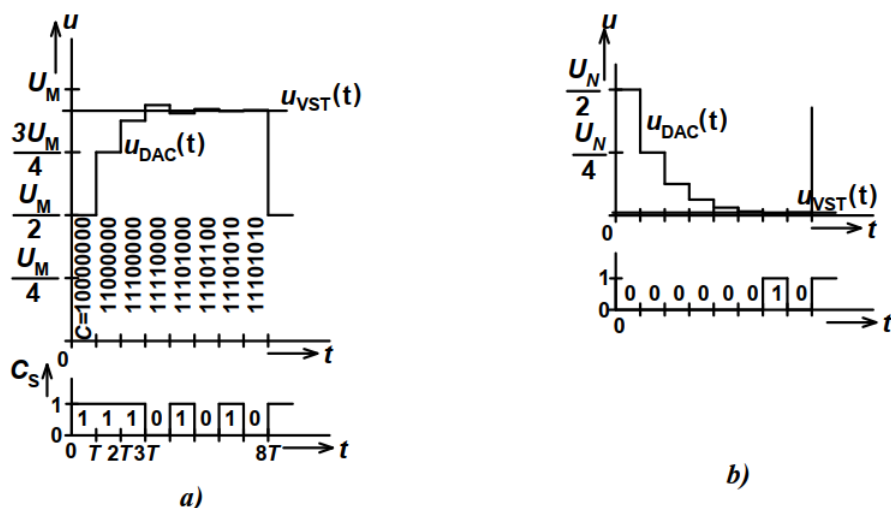
Kompenzační převodníky AD s postupnou aproximací obsahují řídicí obvod převodníku konstruovaný pro postupnou aproximaci (SAR) měřeného napětí u_{VST} vhodně volenými kroky rekonstrukčního napětí u_{DAC} . Převodník tedy srovnává vstupní napětí postupně s napětími odpovídajícími jednotlivým váhám, nejvyšší váhou (MSB) počínaje a nejmenší (LSB) konče.



Obrázek 53: Kompenzační ADC s postupnou aproximací

Převod se začíná zápisem 1 do posuvného registru na pozici nejvyššího bitu. Tato 1 se v dalších krocích posouvá po všech bitech n -bitového slova C . Tím se postupně přidávají jednotlivá váhová napětí a komparují se se vstupním napětím převodníku. Podle reakce komparátoru se na dané pozici bitu jednička i v dalších krocích ponechá (když $u_{VST} > u_{DAC}$) nebo se nahradí nulou (když bylo už $u_{VST} \leq u_{DAC}$). Pro libovolně velké vstupní napětí z povoleného rozsahu $u_{VST} \in < 0; U_M$) probíhá převod v n -bitovém převodníku vždy právě v n taktech.

Na b) je pro názornost uveden grafický průběh ustalování rekonstrukčního napětí u_{DAC} pro převod vstupního napětí u_{VST} blízkého minimálnímu napětí rozsahu ADC. Princip je stále stejný, výsledkem je dvojkové číslo 00000010.



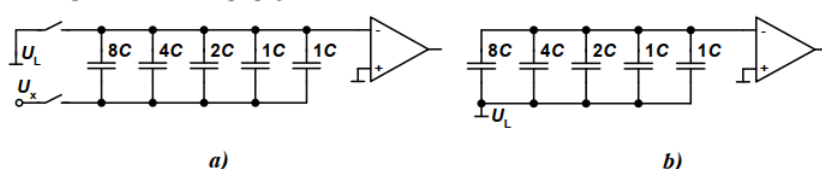
Obrázek 54: Časový diagram převodu s postupnou aproximací a) pro velké u_{VST} , b) pro malé u_{VST}

Tento typ převodníku se vyrábí v hybridní i monolitické podobě, snadno se sestavuje z jednotlivých integrovaných bloků, popř. se velmi snadno sestaví kombinací mikropočítače, napěťového komparátoru a rekonstrukčního převodníku DA.

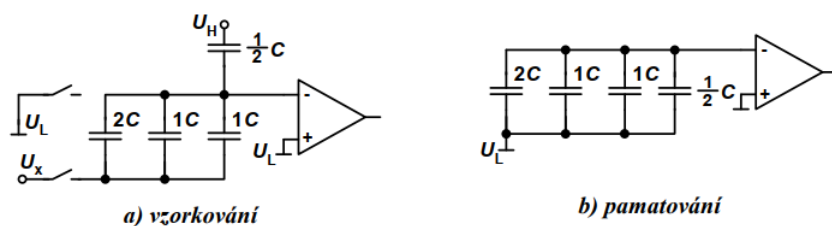
9.1.1 ADC s postupnou aproximací a vyrovnáváním náboje

Tento převodník je tvořen soustavou kapacitorů s váhově odstupňovanými kapacitami C , $2C$, $4C$ atd. V režimu vzorkování jsou horní elektrody kapacitorů připojeny na napětí $U_L = 0$ V a spodní elektrody na měřené vstupní napětí U_x . V režimu vzorkování se kapacitory nabíjí na napětí rozdílu U_x a U_L .

V režimu pamatování se elektronické přepínače přepnou tak, že se horní elektrody odpojí od U_L a naopak spodní elektrody se na U_L připojí.

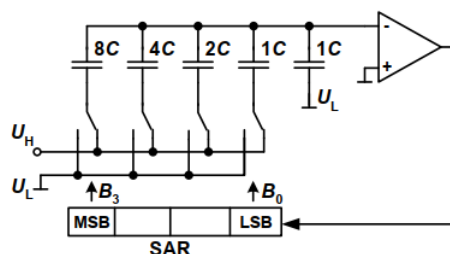


Obrázek 55: Funkce převodníku s postupnou aproximací a vyrovnáváním náboje

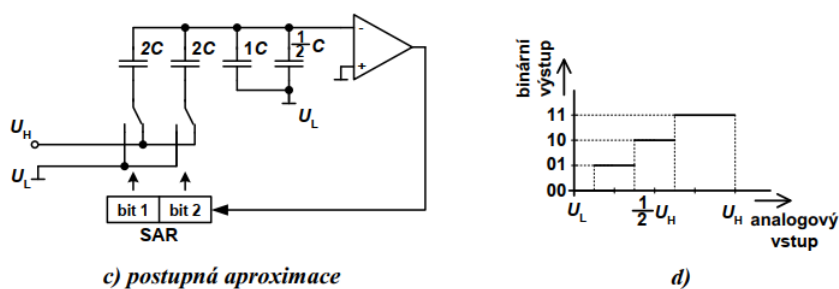


Obrázek 56: Metoda posunu převodní charakteristiky

V režimu postupné aproximace se počínaje MSB kapacity postupně přepínají z $U_L = 0$ na U_H . Výstupní signál komparátoru potom určí, zda v dalším kroku zůstane spodní elektroda připojena na U_H nebo se vrátí do $U_L = 0$.



Obrázek 57: Funkce převodníku s postupnou aproximací a vyrovnáváním náboje

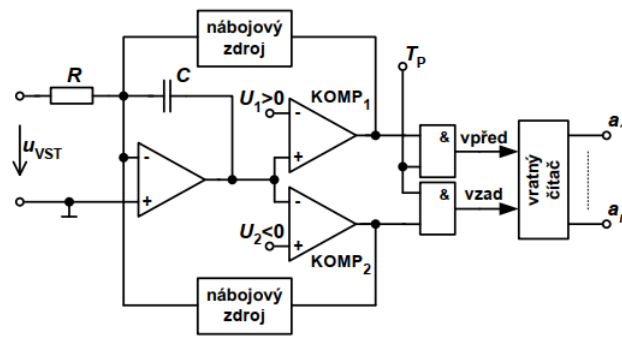


Obrázek 58: Metoda posunu převodní charakteristiky

9.2 Integrační převodníky AD

Integrační převodníky AD používají princip integrace vstupního napětí a mezipřevodu doby integrace na výstupní číslicový signál. Převodníky lze dělit na převodníky s mezipřevodem na kmitočet a s mezipřevodem na šířku impulsu. Základní stavební jednotkou těchto převodníků AD je přepínaný integrátor.

9.2.1 Integrační převodník AD s mezipřevodem na kmitočet



Obrázek 59: Princip zapojení integračního převodníku ADC s mezipřevodem na kmitočet

Vstupní napětí u_{VST} je integrováno po dobu:

$$T_i = \frac{U_R}{u_{vst}} * RC \quad (29)$$

,za kterou výstupní napětí zesilovače dosáhne komparační úrovně $U_1 > 0$.

Kmitočet f překlápění komparátoru určuje za předpokladu $T_{ref} \rightarrow 0$ hodnotu:

$$f = \frac{1}{T_1} = \frac{u_{vst}}{U_{ref} * RC} \quad (30)$$

Pro vstupní napětí opačné polarity pracuje obdobně větev s druhým komparátorem. U konkrétních realizací je nábojový zdroj tvořen monostabilním klopným obvodem, který po přesně definované době spíná analogový spínač, připojující referenční napětí k rezistoru, jímž pak protéká definovaný proud I podle:

$$Q_1 = -I * T_{ref} = -c * U_{ref} \quad (31)$$

9.2.2 Integrační převodník ADC s mezipřevodem na časový interval

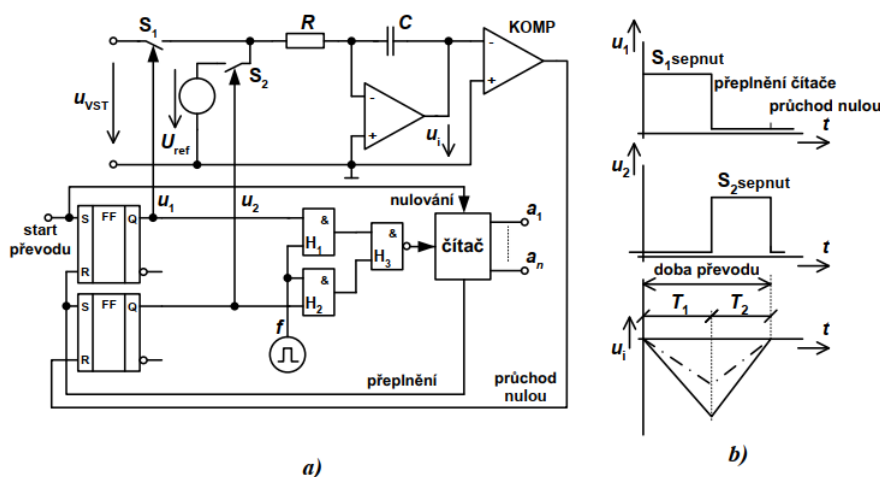
Jde o typ s dvojsklonnou integrací, který proti základnímu typu s jednosklonnou integrací má řadu výhod. Odstraňuje vliv nestability rezistoru a kapacitoru v integračním zesilovači a nestability kmitočtu z pomocného generátoru. Převodník v prvním kroku integruje vstupní napětí a ve druhém kroku referenční napětí. Příchozem startovacího impulsu na vstup S se klopný obvod KO₁ na výstupu Q nastaví a sepne spínač S₁. Integrátor integruje vstupní napětí u_{VST} po dobu:

$$T_1 = \frac{2^n}{f} \quad (32)$$

určenou naplněním čítače s kapacitou 2^n impulzy s kmitočtem f z pomocného generátoru, které procházejí přes otevřené hradlo H₁. Na konci prvního kroku bude výstupní napětí integrátoru:

$$u_i(T_1) = u_{vst} * \frac{T_1}{RC} \quad (33)$$

Po naplnění čítače se jeho signálem přepnutí vynuluje klopný obvod KO₁ a spínač S₁ se rozpojí. Naopak se nastaví klopný obvod KO₂, z jehož výstupu se ovládá spínač S₂, který připojí na vstup integrátoru záporné referenční napětí $U_{ref} < 0$. Čítač nyní čítá impulzy z generátoru přes otevřené hradlo H₂. Integrátor integruje referenční napětí po dobu T₂, danou dosažením nulové hodnoty výstupního napětí u_i . Jakmile výstupní napětí integrátoru projde nulou, signalizuje tuto situaci komparátor a vynuluje klopný obvod KO₂. Signálem z jeho výstupu se rozpojí spínač S₂ a uzavře hradlo H₂.



Obrázek 60: K principu činnosti převodníku ADC s dvojsklonnou integrací

Přesnost převodu uvažovaného typu převodníku nezávisí na dlouhodobé stabilitě integračního rezistoru R a kapacitoru C . Při změně časové konstanty RC se pouze změní směrnice časových průběhů napětí u_i , avšak doba T_2 zůstane konstantní.

Rychlost převodu s dvojsklonnou integrací je možné zvýšit, rozdělí-li se časový interval integrace referenčního napětí na dva časové úseky, přičemž strmost výstupního napětí integrátoru je v prvním úseku integrace referenčního napětí větší než ve druhém.

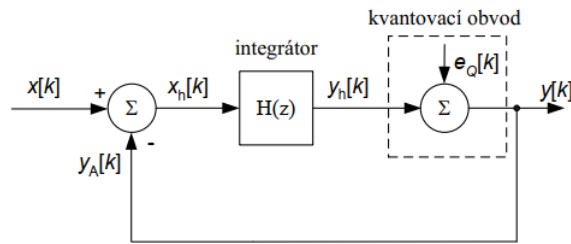
10 Převodníky sigma-delta

- základní zapojení a funkce, příklady využití.

Základní koncepce převodníků sigma-delta

- převzorkování měřeného signálu (oversampling) s převzorkovacím koeficientem OSR,
- tvarování šumového signálu za účelem dalšího potlačení (noise-shaping) a zvýšení SNR a tím i zvýšení počtu bitů,
- číslicová filtrace (digital filtering),
- decimace.

Blok $H(z)$ je integrátor, který se chová jako diskrétní filtr. Kvantovací obvod generuje digitální výstup $y[k]$, který je tvořen součtem výstupu integrátoru $y_h[k]$ a kvantovací chyby $e_q[k]$. Diskrétní filtr je obtížné analyzovat díky nelineárnímu chování kvantovacího obvodu. Jednou z metod, jak dosáhnout použitelných výsledků, je nahrazení skutečného kvantovacího obvodu jeho lineárním modelem. Tato linearizace je použita k vysvětlení funkce modulátoru sigma-delta.



Obrázek 61: Blokové schéma lineárního modelu modulátoru sigma-delta

Signálová přenosová funkce (STF) a šumová přenosová funkce (NTF):

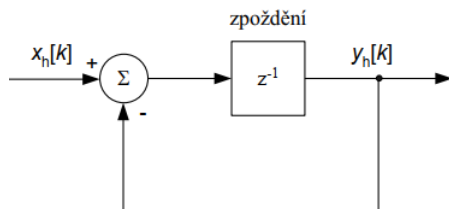
$$STF = \frac{H(z)}{1 + H(z)} \quad (34)$$

$$NTF = \frac{1}{1 + H(z)} \quad (35)$$

Jestliže je integrátor zvolen tak, že má mít vysoký zisk ve zpracovávaném pásmu f_B a malý zisk mimo zpracovávané pásmo f_B , pak se **STF** blíží 1 ve zpracovávaném pásmu. Mimo zpracovávané pásmo se STF blíží 0.

Na druhou stranu, zisk **NTF** se blíží 0 ve zpracovávaném pásmu a 1 se blíží mimo zpracovávané pásmo.

Diskrétní model integrátoru sigma-delta s jedním integrátorem je popisován jako modulátor sigma-delta prvního řádu. Zvyšováním řádu dochází k problému nestability modulátoru sigma-delta. Lineární model nemůže předpovídat, zda bude modulátor stabilní (nelze předpovídat, jestli póly reálného systému jsou uvnitř jednotkové kružnice = kritérium stability). V lineárním modelu je kvantovací obvod nahrazován jako konstantní zisk.



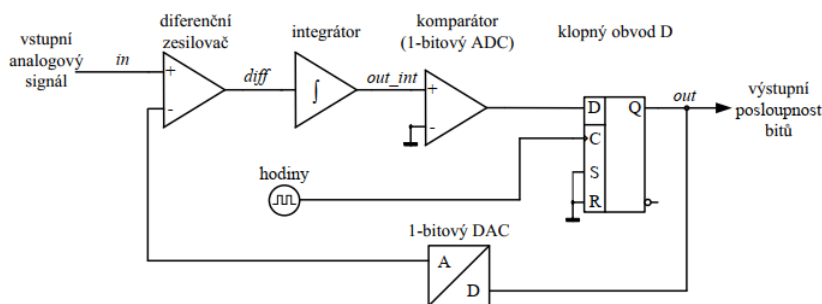
Obrázek 62: Diskrétní model integrátoru

U reálného kvantovacího obvodu je zisk proměnný. Přesnost lineárního modelu se zvyšuje se zvyšujícím se rozlišení kvantovacího obvodu. Avšak jediná cesta jak dokázat, že je modulátor sigma-delta stabilní, je použití počítačové simulace.

Při návrhu modulátoru sigma-delta se volí optimální volbou mezi poměrem převzorkování (OSR), rozlišením kvantovacího obvodu N a řádem modulátoru sigma-delta k .

10.1 Modulátory sigma-delta prvního řádu

Na výstupu modulátoru sigma-delta je výstupní posloupnost bitů (bitstream). Bitstream je 1-bitový signál. Digitální 1 představuje nejvyšší možnou výstupní hodnotu a 0 představuje nejnižší možnou výstupní hodnotu. Kvantovací chyba v každém kroku je velká, protože je použit kvantovací obvod pouze se dvěma úrovněmi, průměruje kvantovaný signál, a proto se výstup modulátoru shoduje s analogovým vstupem. Tato střední hodnota je vypočítána decimálním filtrem, který následuje za modulátorem. Časová řada na výstupu integrátoru roste a klesá podle hodnoty zpětné vazby DAC. 1-bitový výstup z ADC je tvořen posloupností jedniček a nul, která modulováním šířky a periody impulsu reprezentuje vstupní analogovou hodnotu.



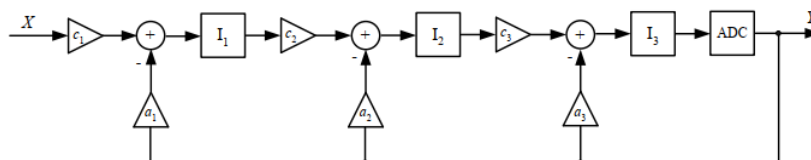
Obrázek 63: Modulátor sigma-delta prvního řádu

Rozlišení modulátoru se zvyšuje s růstem počtu průměrovaných vzorků. To odpovídá růstu OSR. Na druhou stranu se snižuje šířka zpracovávaného pásma, a proto se musí volit kompromis mezi rozlišením a časem.

10.2 Modulátory sigma-delta vyššího řádu

Počet integrátorů v přímé větvi lze obecně libovolně zvyšovat, ale s tím narůstají problémy se stabilitou obvodu. Na případu jednoduché soustavy se zpětnou vazbou s více integrátory v přímé větvi si lze představit zdroj těchto problémů. Nestabilita modulátoru vyššího řádu nastane, pokud dojde k přetížení kvantovacího obvodu. Nestabilita nastává, když je vstup kvantovacího obvodu vybuzen vstupním signálem s vysokou amplitudou a nízkým kmitočtem.

Ve struktuře modulátoru sigma-delta jsou často používány integrátory se spínanými kapacitami a to ze dvou důvodů. Za prvé, přesnost koeficientů je určena poměrem kapacitorů, které je možné dosáhnout v technologii MOS s velkou přesností. Za druhé, hodnoty koeficientů nejsou závislé na vzorkovacím poměru, který je možné potom jednoduše změnit.



Obrázek 64: Příklad modulátoru sigma-delta vyššího řádu

10.3 Modulátory sigma-delta typu MASH

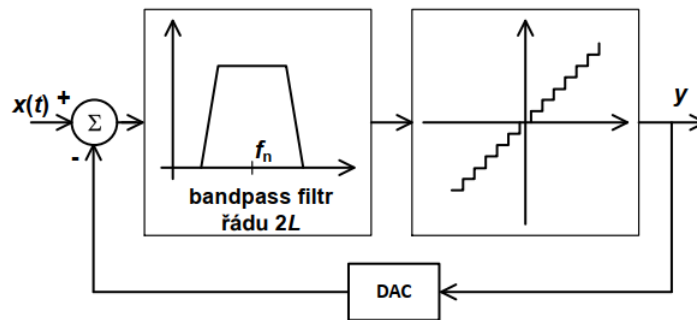
U převodníků sigma-delta vyšších řádů byl velký problém se zajištěním stability celé soustavy. Řešením je paralelní zapojení jednoduchých modulátorů sigma-delta označované jako převodník sigma-delta typu MASH (Multi Stage Noise Shaper).

10.4 Sigma-delta převodník AD s filtrem typu pásmová propust

Sigma-delta převodník AD s filtrem typu pásmová propust (bandpass filter) není tak známý jako jeho tradiční varianta, kdy je na výstupu připojen filtr typu dolní propust, nicméně jedná se o zapojení, které je poměrně často využíváno pro přímý převod komplexního analogového signálu na číslicový signál reprezentující amplitudu a fázi.

Tento typ převodníku je vhodný pro demodulaci kvadraturních, amplitudově modulovaných (QAM) signálů, tedy v GPS/GSM komunikačních systémech.

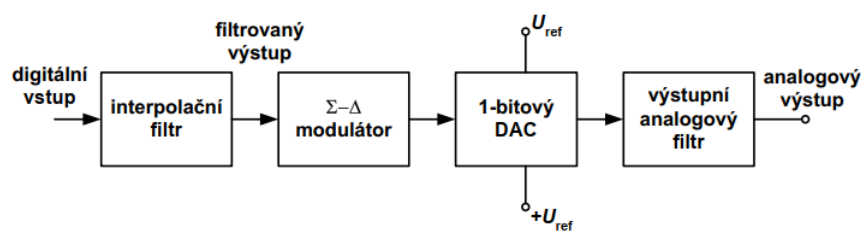
Bloková struktura modulátoru, která je tvořena bandpass filtrem, N-bitovým kvantovacím obvodem a číslicově-analogovým převodníkem zapojeným ve zpětné vazbě. Souvislost mezi kmitočtem vstupního signálu f_{in} a hodinovým kmitočtem ($f_s = 4 \cdot f_{in}$) způsobuje, že je převodník fázově citlivý. Proto je nutné použít dva digitální filtry typu dolní propust. Bandpass filtr lze syntetizovat pomocí kaskádního zapojení dvou nebo více bikvadraturních filtrů či rezonátorů, které musí mít ostrou převodní charakteristiku a jasně definovaný rezonanční kmitočet na kmitočtu f_n . Tyto rezonátory lze implementovat jako diskretní filtry využitím techniky spínaných kapacitorů nebo spínaných proudů.



Obrázek 65: Bloková struktura sigma-delta modulátoru s filtrem typu pásmová propust

10.5 Převodníky DAC typu sigma-delta

Tyto digitálně-analogové převodníky pracují na obdobném principu jako převodníky ADC typu Σ - Δ . Blokové schéma obsahuje vstupní filtr, modulátor Σ - Δ , jednobitový převodník DAC a výstupní antialiasingový analogový filtr. Ten vyhlazuje průběh výstupního signálu a odstraňuje nežádoucí vysokofrekvenční složky, které se do signálu dostaly vzorkováním a chybami digitálního řetězce.



Obrázek 66: Příklad řešení převodníkem DAC typu Σ - Δ

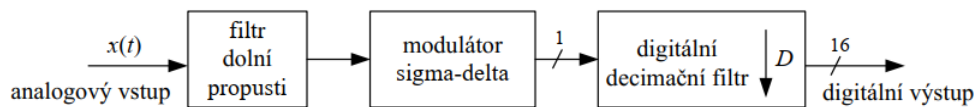
Rozdíl je však v implementaci. Vstupní filtr i modulátor Σ - Δ jsou digitální. Rozdíl mezi hodnotami přicházejícího vzorku a číslicovou hodnotou reference (její polaritu řídí vnitřní komparátor modulátoru) integrátor modulátoru integruje. Komparátor modulátoru vyhodnocuje polaritu jeho výstupního signálu a podle ní ve vzorkovacích okamžicích přepíná na analogový výstup kladné nebo záporné analogové referenční napětí. Je-li vzorkování dostatečně rychlé, odpovídá střední hodnota výstupního napětí digitální hodnotě vstupu. Zde je nutné převzorkování. Čím přesnější má výstupní napětí být, tím je nutný delší interval pro výpočet střední hodnoty, nebo tím vyšší musí být koeficient převzorkování.

Převzorkování společně s integrátorem modulátoru funguje jako antialiasingový filtr. Ve výstupním řetězci je však signál číslicový a vstupní vzorky jsou k dispozici jen v určitých okamžicích. Právě proto je tu vstupní digitální filtr výstupního řetězce (interpolační filtr). Doplnuje ve vstupním proudu chybějící hodnoty, které jsou zapotřebí při převzorkování.

Interpolační filtr dopočítává chybějící hodnoty pro převzorkování a odstraňuje tak ze vstupního signálu všechny ty vysokofrekvenční složky, které se v digitální formě objevily digitalizací. Díky intermodulačnímu zkreslení a ještě dalším nelineárním zkreslením, se mohou v použité části spektra objevit nepříjemné vedlejší efekty. Výstupní analogový filtr vyhlazuje skokové změny analogového výstupu převodníku DAC. Bývá to analogový filtr vyššího než druhého řádu.

10.6 Decimační filtr

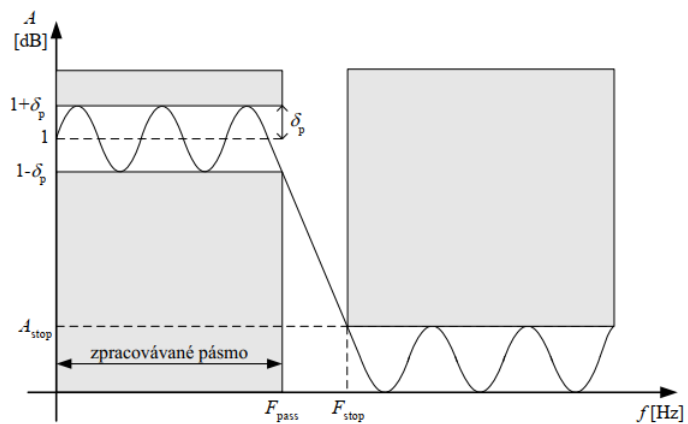
V tradičních ADC pracujících s Nyquistovým kmitočtem je kvantovací šum rozložen přes celé zpracovávané pásmo. Převodníky $\Sigma\text{-}\Delta$ pracují s pracovním kmitočtem několikanásobně vyšším než je Nyquistův kmitočet a kvantovací šum je rozložen do frekvenční oblasti přesahující rozsah zpracovávaného pásma



Obrázek 67: Základní systém převodníku sigma-delta

Díky filtraci výstupu modulátoru jsou tyto vysokofrekvenční složky odstraněny. Se vzrůstajícím řádem modulátoru dochází ke tvarování šumu, tak že kmitočtové spektrum je přesouváno do vyšších harmonických složek.

Funkcí decimačního filtru je odstranit šum z vyšších harmonických složek tak, aby nedošlo ke ztrátě signálu ve zpracovávaném pásmu. Další funkcí decimačního filtru je redukovat převzorkovaný výstupní signál modulátoru sigma-delta na signál s Nyquistovým kmitočtem. Návrh decimačního filtru závisí na digitálních koeficientech.



Obrázek 68: Kmitočtová charakteristika decimačního filtru

Kmitočet F_{stop} je kmitočet, kdy dojde k zeslabení signálu na hodnotu A_{stop} :

$$F_{\text{stop}} = \frac{F_s}{2 * OSR} \quad (36)$$

11 Testování převodníků

- statické a dynamické testy