

MPC-DIS

SZZ

Vypracované otázky k SZZ 2022

Mikroelektronika, FEKT VUT

<https://github.com/Cesar0067/SZZ>

Text: —
Korektura: —

22. května 2022

Obsah

1	Booleova algebra	1
2	Základní struktura na tranzistorové úrovni logických obvodů v bipolárních technologiích	7
3	Dynamické parametry obvodů v bipolárních technologiích	9
4	Základní struktura na tranzistorové úrovni	14
5	Dynamické parametry obvodů v unipolárních technologiích	19
6	Paměťové obvody	23
7	Zobrazovací prvky	34
8	Programovatelné logické obvody	40
9	Digitální signálové procesy	43

1 Booleova algebra

-kombinační obvody (úplně určená funkce více proměnných) x sekvenční obvody (stavové automaty Mealy, Moor)

1.1 Boolova algebra

V Booleově algebře se používají logické reprezentace dvouhodnotových veličin - logických proměnných.

Základní zákony této algebry mají podobný tvar jako mají zákony běžné algebry.

Hodnota logického výrazu s operátory logického součtu a logického součinu se nezmění, jestliže vzájemně tyto operátory zaměníme (tj. operátory logického součtu nahradíme operátory logického součinu a naopak), invertujeme proměnné a výsledek.

Pravidlo	Algebraické vyjádření	
Komutativní	$a + b + c = c + b + a$	$a \cdot b \cdot c = c \cdot b \cdot a$
Asociativní	$(a + b) + c = a + (b + c)$	$(a \cdot b) \cdot c = a \cdot (b \cdot c)$
distributivní	$a \cdot (b + c) = a \cdot b + a \cdot c$	$a + (b \cdot c) = (a + b) \cdot (a + c)$
doplňku: (vyloučení třetího)	$a \cdot \bar{a} = 0$	$a + \bar{a} = 1$
neutrálnosti hodnot 0 a 1	$a \cdot 1 = a$	$a + 0 = a$
agresivnosti 0 a 1	$a \cdot 0 = 0$	$a + 1 = 1$
absorpce	$a \cdot a = a$ $a \cdot (a + b) = a$	$a + a = a$ $a + a \cdot b = a$
absorpce negace	$a + \bar{a} \cdot b = a + b$ $\bar{a} + a \cdot b = \bar{a} + b$	$a (\bar{a} + b) = a \cdot b$ $\bar{a} (a + b) = \bar{a} \cdot b$
dvojitá negace	$\bar{\bar{a}} = a$	
De Morganovy zákony	$\overline{a \cdot b} = \bar{a} + \bar{b}$	$\overline{a + b} = \bar{a} \cdot \bar{b}$

Obrázek 1: Boolova algebra

Z de Morganových pravidel plyne:

Součtový term sestavený z určité kombinace vstupních proměnných je roven inverzi součinnového termu sestaveného z týchž proměnných, které mají opačné znaky inverze, tj. proměnná obsažená v součtovém termu bez inverze je v odpovídajícím součinnovém termu invertovaná a naopak.

1.2 Kombinační vs. sekvenční obvody

Kombinační

Výstupní stav závisí pouze na okamžitých stavech (kombinacích) vstupních logických proměnných

Sekvenční







Hodnoty výstupní proměnných sekvenčních logických obvodů jsou dány nejen současnými hodnotami vstupních logických proměnných, ale také minulými hodnotami vstupních logických proměnných. Informace o historii (minulých hodnotách vstupních logických proměnných) jsou dány vnitřním stavem sekvenčního logického obvodu, tj. jeho hodnotami jeho stavových logických proměnných. Hodnoty stavových proměnných jsou uchovávány v paměťových členech, v praxi realizovaných pomocí klopných obvodů. Sekvenční logické obvody dělíme na asynchronní a synchronní.

1.3 Kombinační obvody

Abychom mohli s kombinačními logickými funkcemi pracovat, musíme je nejprve zapsat či zobrazit.

Nejčastěji se používají tyto způsoby zápisu, popř. zobrazení kombinačních logických funkcí:

- zápis pomocí pravdivostní tabulky,
- zápis logickým výrazem,
- zobrazení pomocí mapy,
- zobrazení pomocí logického schématu.

Vstupní proměnná		Výstupní funkce					
a	b	AND	NAND	OR	NOR	EX-OR	EX-NOR
0	0	0	1	0	1	0	1
0	1	0	1	1	0	1	0
1	0	0	1	1	0	1	0
1	1	1	0	1	0	0	1
symbol							
		logický součin	Schefferova funkce	logický součet	Pierceova funkce	nonekvivalence	ekvivalence

Obrázek 2: Zápis nejdůležitějších logických funkcí v prav. tabulce

Různé způsoby a s použitím různých operátorů.

Dva základní způsoby zápisu funkce:

1. Součet součinů (Sum of Products, SOP)

Nazývá se také AOI (AND-OR-INVERTOR)

Pro úplné termy (= mintermy) - úplný součtový tvar zápisu

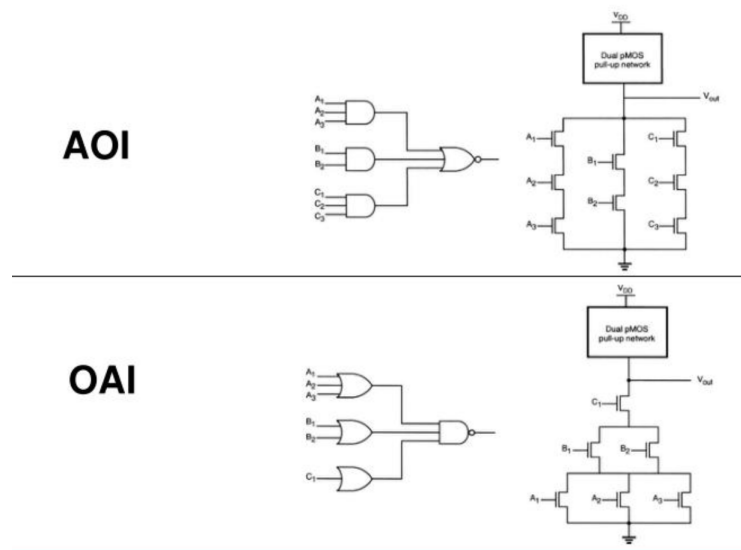
Pro některé neúplné termy - zkrácený (zjednodušený) součtový tvar zápisu.

2. Součin součtů (Product of Sums, POS)

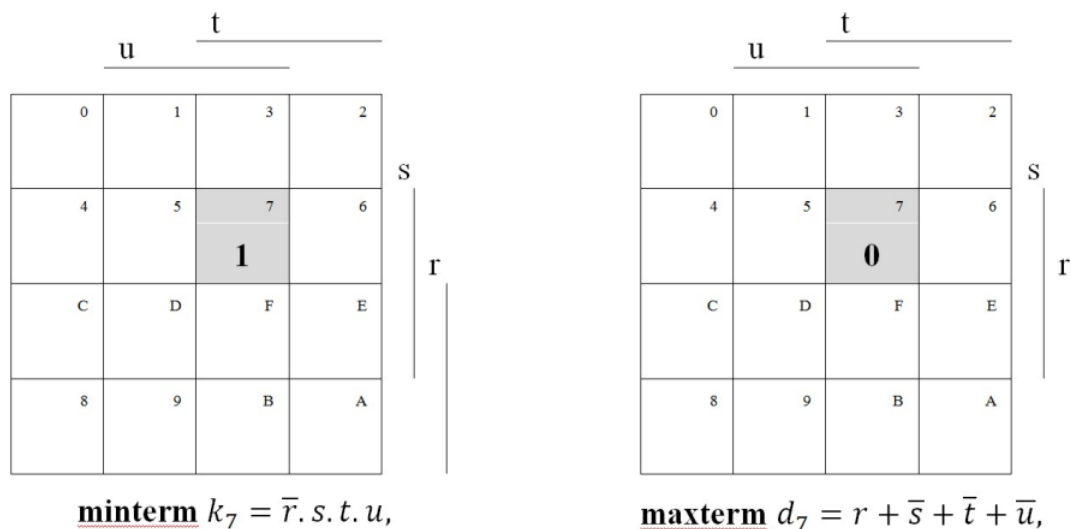
Nazývá se také OAI (OR-AND-INVERTOR)

Pro úplné termy (= maxtermy) - úplný součinnový tvar zápisu

Pro některé neúplné termy - zkrácený (zjednodušený) součinnový tvar zápisu.



Obrázek 3: AOI vs. OAI



Obrázek 4: Minterm a Maxterm

Zápis funkce v úplném součtovém a součinném tvaru je jednoznačný. Minimálních tvarů však může být pro určitou funkci více. Někdy může být potřebné doplnit zkrácený tvar zápisu logické funkce na úplný tvar. Bývá to například při realizaci funkcí pomocí multiplexorů. Úpravu je možno provést tak, že se členy, které neobsahují některé proměnné, doplní činiteli typu $(a + \text{not}(a))$, kde a je proměnná chybějící v členu.

Realizace kombinační logické funkce = sestavení zapojení obvodu, který ze vstupních proměnných vytvoří výstupní proměnné v souhlasu se zadanou logickou funkcí.

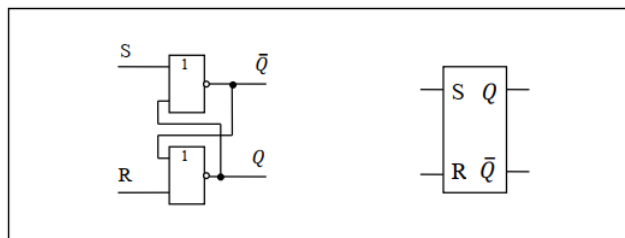
Použití moderních mikroelektronických součástek často stačí jediný IO (katalog nebo PROM nebo PLD)

Základní způsob realizace kombinační logické funkce = pomocí kombinačních logických obvodů představujících realizaci základních logických členů v integrované podobě, kdy se vychází ze zápisu logické funkce v některém z výše uvedených tvarů součtu součinů nebo součinu součtů.

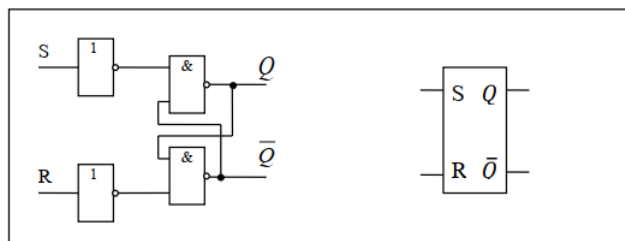
1.4 Sekvenční obvody

1.4.1 Asynhronní

Nejjednodušším klopným obvodem je klopný obvod RS (Reset – nulování, Set - nastavení). Od RS klopného obvodu jsou odvozeny ostatní typy klopných obvodů jako JK, D a T.



Obrázek 5: RS KO realizovaný pomocí NOR hradel

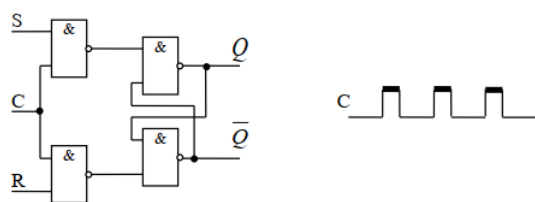


Obrázek 6: RS KO realizovaný pomocí NAND hradel

1.4.2 Synchronní

RS

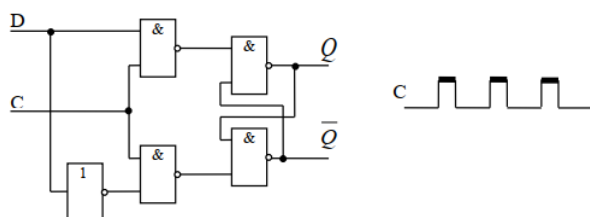
Upravený klopný obvod RS synchronizovaný impulsy na hodinovém vstupu C. Je-li hodinový signál na úrovni logické 0, klopný obvod si pamatuje dříve nastavený stav. Při úrovni logické 1 na hodinovém vstupu se mění stav klopného obvodu (logické úrovně na výstupu Q resp. notQ) dle pravdivostní tabulky klopného obvodu. Hladinové klopné obvody bývají v anglické literatuře označovány jako **latch**.



Obrázek 7: Synchronní RS KO

D

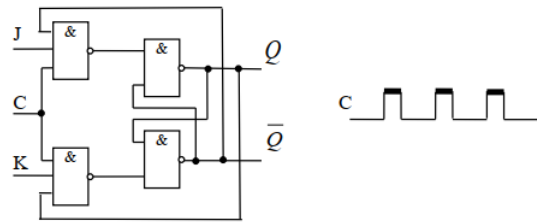
Dalším používaným typem klopných je klopný obvod D (Data). Klopný obvod D kopíruje při příchodu synchronizačního impulsu.



Obrázek 8: D KO

JK

JK klopný obvod odstraňuje problém RS klopného obvodu se zakázanými přechody mezi kombinacemi vstupních signálů.

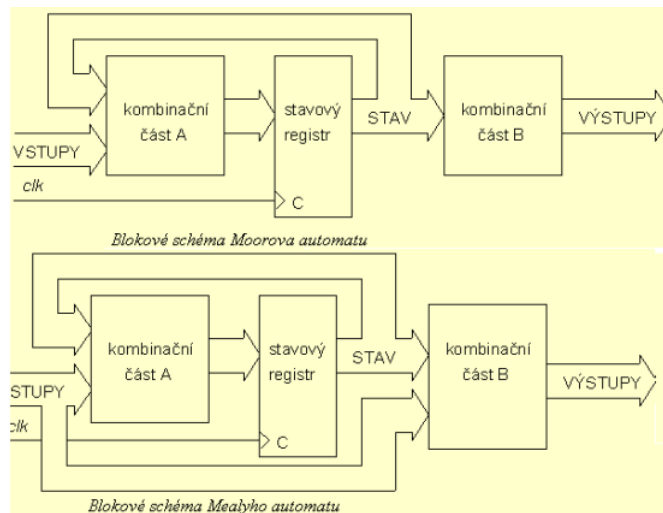


Obrázek 9: JK KO

1.5 Stavové automaty

Rozlišujeme stavové automaty Moorova a Mealyho typu. U stavového automatu **Moorova** typu závisí výstupní signály pouze na stavu automatu.

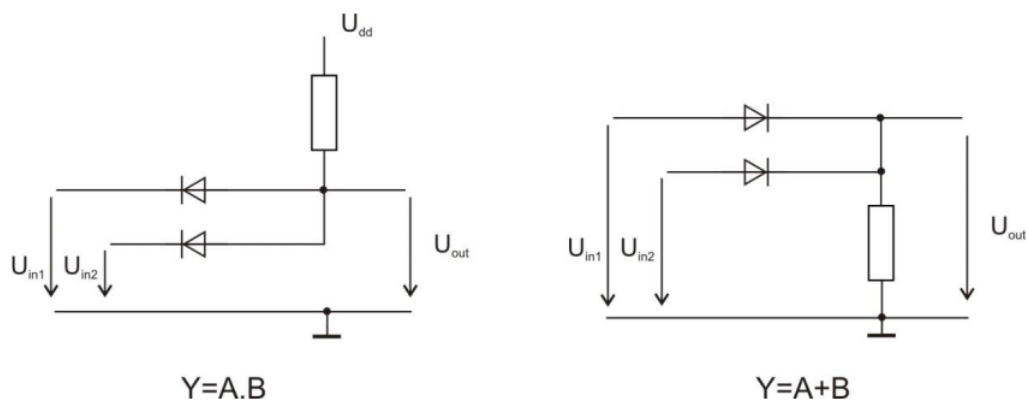
U stavového automatu **Mealyho** typu závisí výstupní signál i na vstupních signálech.



Obrázek 10: Stavové automaty

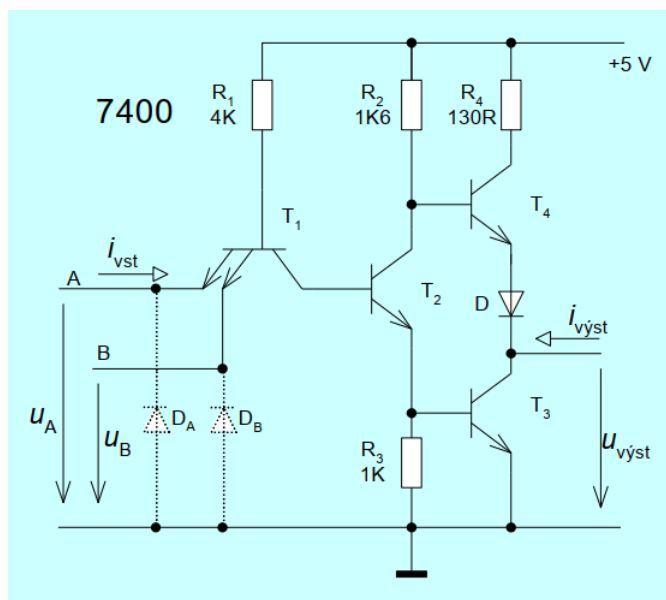
2 Základní struktura na tranzistorové úrovni logických obvodů v bipolárních technologiích

- AND, NAND, NOR, OR



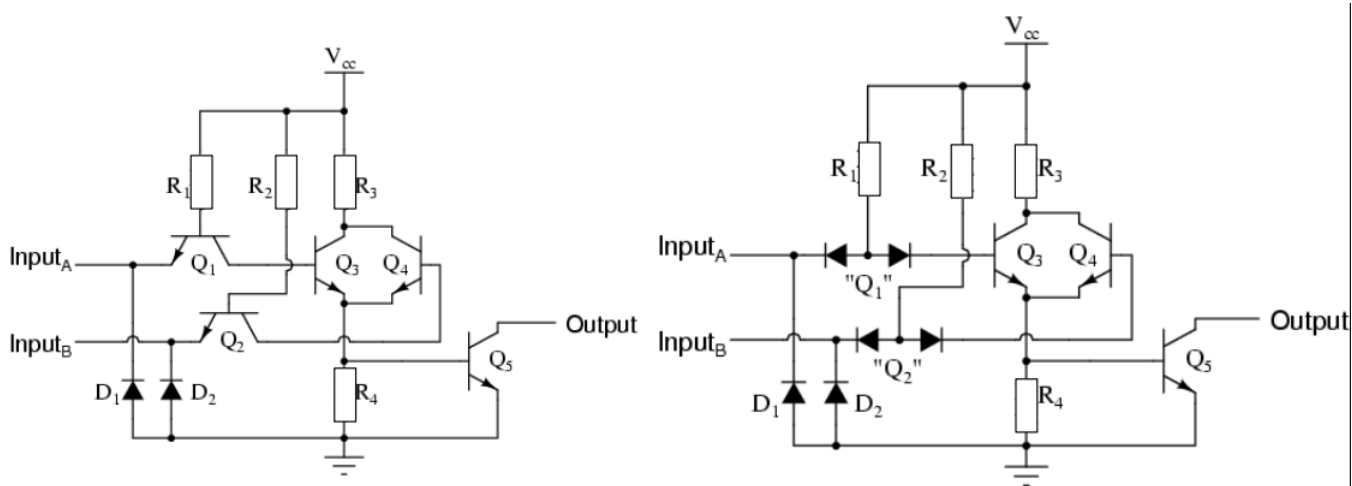
Obrázek 11: Realizace log. fce pomocí diod

2.1 NAND



Obrázek 12: Funkce NAND v BJT technologii

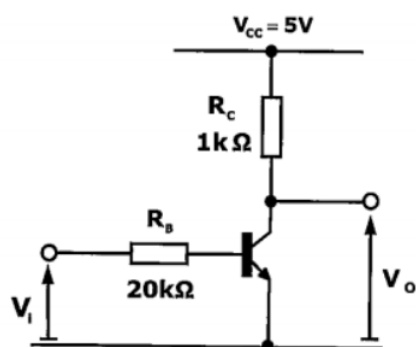
2.2 NOR



Obrázek 13: Funkce NOR v BJT technologii

2.3 OR a AND

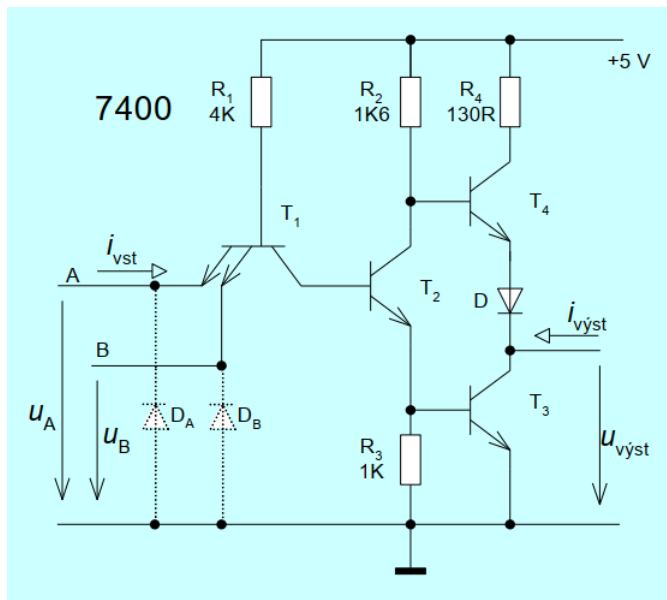
Tyto obvody se skládají z NAND/NOR a poté je na jejich výstup zařazen invertor.



Obrázek 14: Funkce INV v BJT technologii

3 Dynamické parametry obvodů v bipolárních technologiích

- vstupní, výstupní a převodní charakteristiky



Obrázek 15: Funkce NAND v BJT technologii

3.1 Vstupní charakteristika

3.2 Vstupní

Tranzistor T2 uzavřen $i_{c1} = 0$

vstupní proud:

$$i_{vst} = i_{b1} = \frac{U_C - u_{BE1}}{R_1} \quad (1)$$

Zvyšování vstupního napětí

Tranzistor T2 se začíná otvírat, protože do jeho báze začíná vtékat proud při $i_{VST} = 0$ mA veškerý proud rezistorem R1 teče do báze T2.

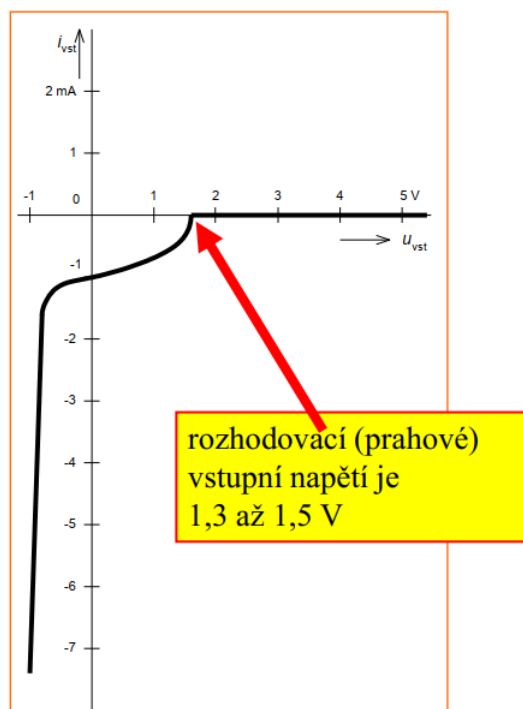
T2 a T3 v saturaci, $u_{B2} = (1,3 \text{ až } 1,5) \text{ V}$

T1 přechází do inverzního režimu, při $i_{VST} = 0$ mA bude mezi C a E minimální napětí, pro $U_T = 25 \text{ mV}$.

Další zvyšování vstupního napětí:

proud T1:

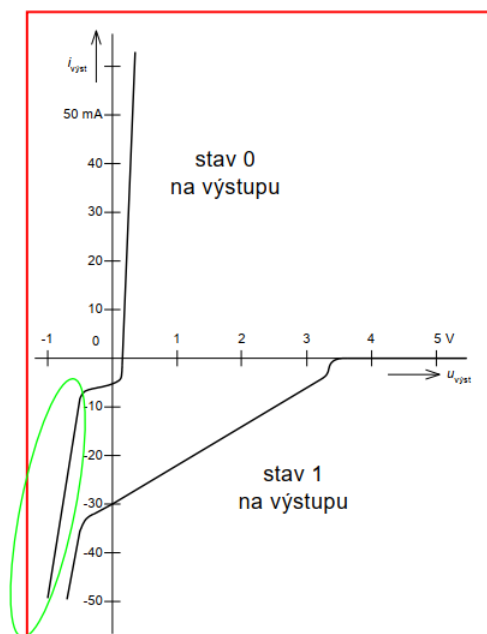
$$i_{vst} = \beta * i_{B1} = \frac{\beta * (U_c - 3 * u_{be})}{R_1} \quad (2)$$



Obrázek 16: Vstupní charakteristika

Při dalším zvyšování vstupního napětí se proud téměř nemění, až při napětí 7 až 8 V dochází k průrazu přechodu emitor-báze T1, při kterém musí být vstupní proud omezen na 1 až 3 mA, proto maximální vstupní napětí udává výrobce 5,5 V.

3.3 Výstupní charakteristika



Obrázek 17: Výstupní charakteristika

3.3.1 $U_{\text{výstupní}} = 0$ V; pro kladná napětí

T3 nasycen, charakteristika $i_{C3}(u_{CE3})$ určuje průběh výstupní charakteristiky logického členu.

Malé výstupní proudy: $u_{VYST} = u_{CES3} = 0,1$ V při zvyšování výstupního proudu roste výstupní napětí

$i_{VYST} = 140$ mA přechází T3 z nasyceného do aktivního režimu \Rightarrow výstupní napětí prudce vzrůstá

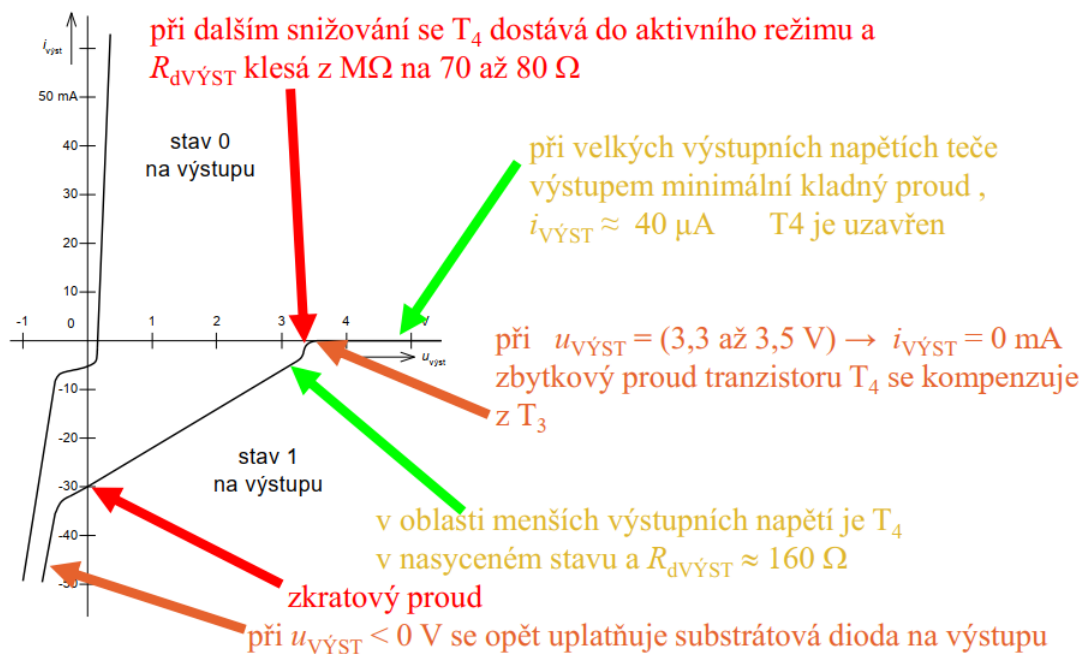
3.3.2 $U_{\text{výstupní}} = 0$ V; pro záporná napětí

v oblasti záporných napětí závisí průběh charakteristiky na vlastnostech substrátové diody mezi kolektorem T3 a společným vodičem.

3.3.3 Stav pro log. 1

stav pro logickou 1 na výstupu

výstupní charakteristika je určena charakteristikou tranzistoru T_4



13

Obrázek 18: Stav pro logickou 1 na výstupu

3.4 Převodní charakteristika

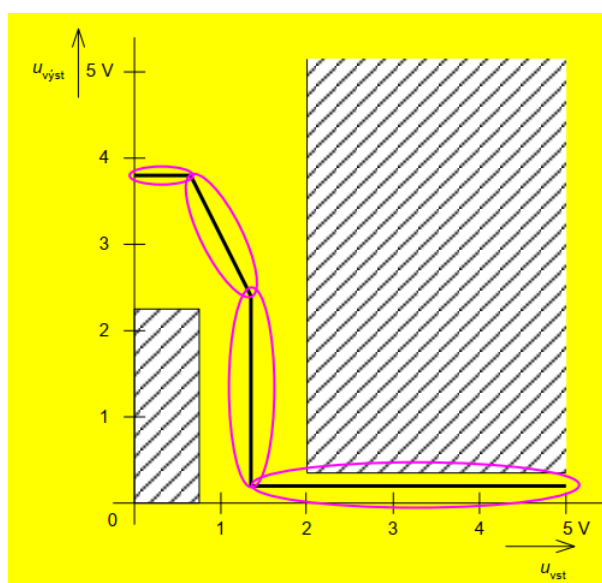
Tvar charakteristiky:

Velikost napájecího napětí

Charakter připojené zátěže

Pracovní teplota obvodu

Šrafování vyznačuje zakázané oblasti, do kterých pro daná vstupní napětí ($u_{VSTL} < 0,8$ V a $u_{VSTH} > 2$ V) nesmí výstupní napětí u_{VYST} zasáhnout



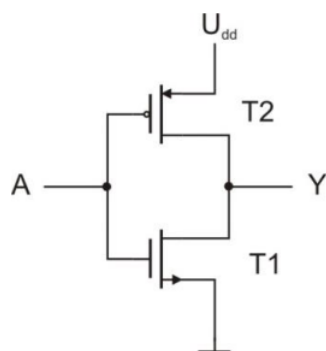
Obrázek 19: Převodní charakteristika TTL

- a) malá vstupní napětí (0,6 až 0,8 V) $\rightarrow u_{VYSTH} = 3,3$ až $3,7$ V
- b) při zvětšování u_{VST} se otvírá T2 a jeho napěťové zesílení $-R_2/R_3 = -1,4$ udává přibližně sklon převodní charakteristiky v oblasti klesajícího u_{VYST}
- c) při $u_{VST} = 1,3$ V se začíná otevírat i výstupní tranzistor T3 a poněvadž je připojen paralelně k rezistoru R3 a jeho vstupní odpor R_{VST} klesá, zvětšuje se zesílení T2 úměrně poměru $-R_2/(R_3 || R_{VST3})$, charakteristika je velmi strmá
- d) další zvětšování u_{VST} způsobí rychlý pokles výstupního napětí na hodnotu saturačního napětí výstupního tranzistoru T3, na výstupu členu je typické napětí $u_{VYSTL} = 0,2$ V

4 Základní struktura na tranzistorové úrovni

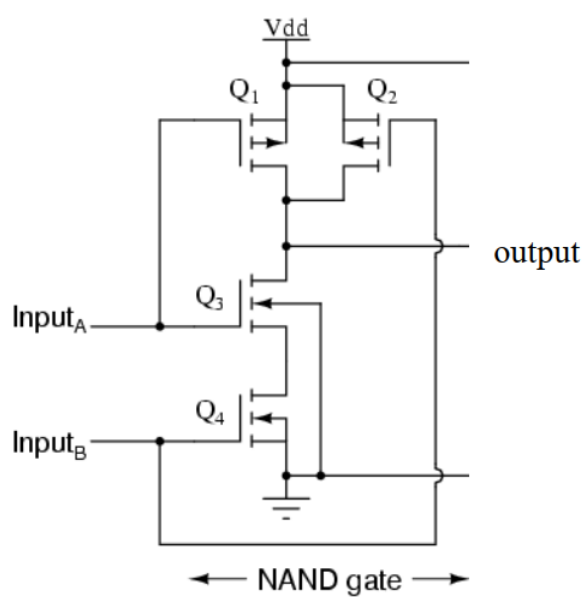
-logické obvody v unipolárních technologiích - invertor, AND, NAND, NOR, OR.

4.1 Invertor



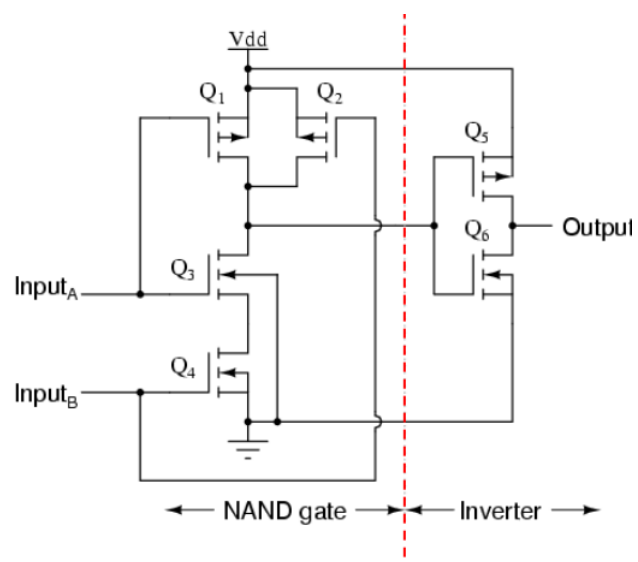
Obrázek 20: Funkce INV v CMOS technologii

4.2 NAND



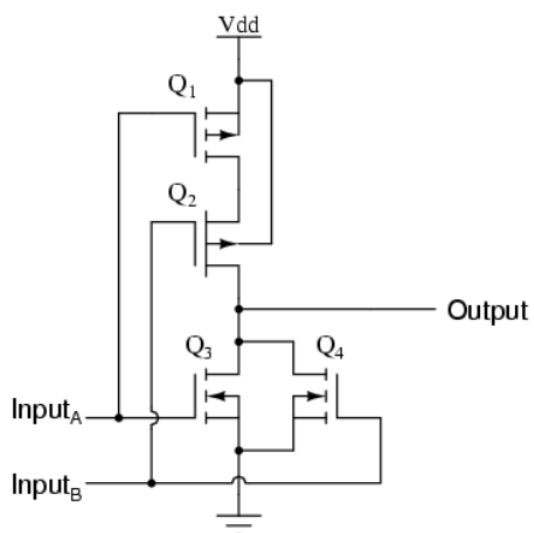
Obrázek 21: Funkce NAND v CMOS technologii

4.3 AND



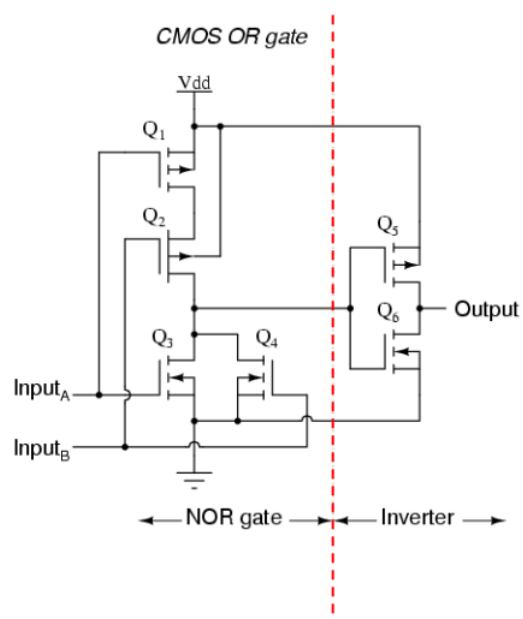
Obrázek 22: Funkce AND v CMOS technologii

4.4 NOR



Obrázek 23: Funkce NOR v CMOS technologii

4.5 OR

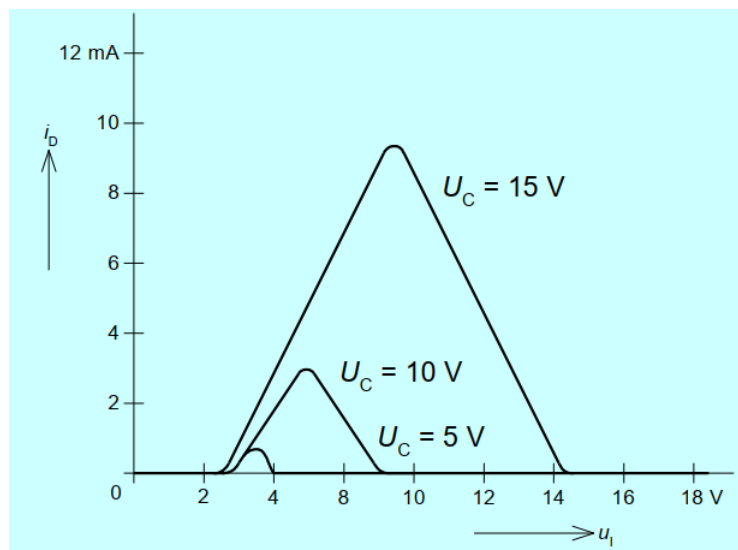


Obrázek 24: Funkce OR v CMOS technologii

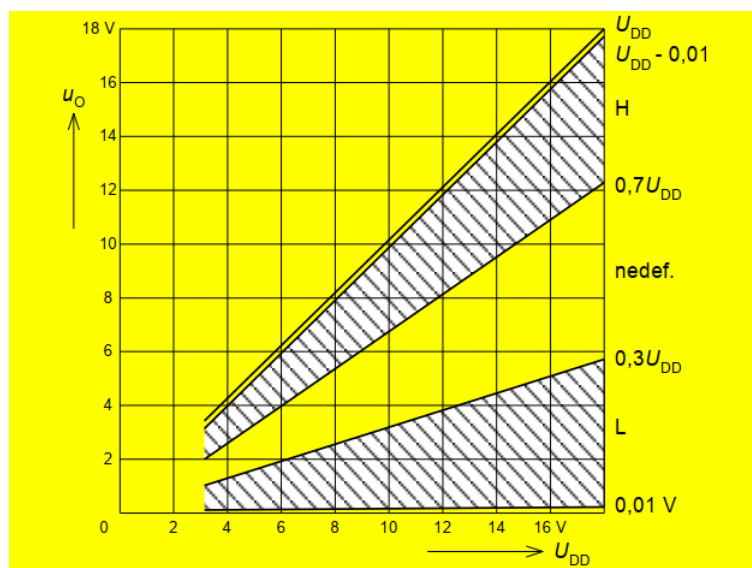
5 Dynamické parametry obvodů v unipolárních technologiích

- vstupní, výstupní a převodní charakteristiky, logické obvody ACT, HC, AHC, ALVC.
Vliv nízkého napájecího napětí na chování digitálních obvodů

5.1 Vstupní, výstupní charakteristika



Obrázek 25: Proudový odběr hradla v závislosti na vstupním napětí

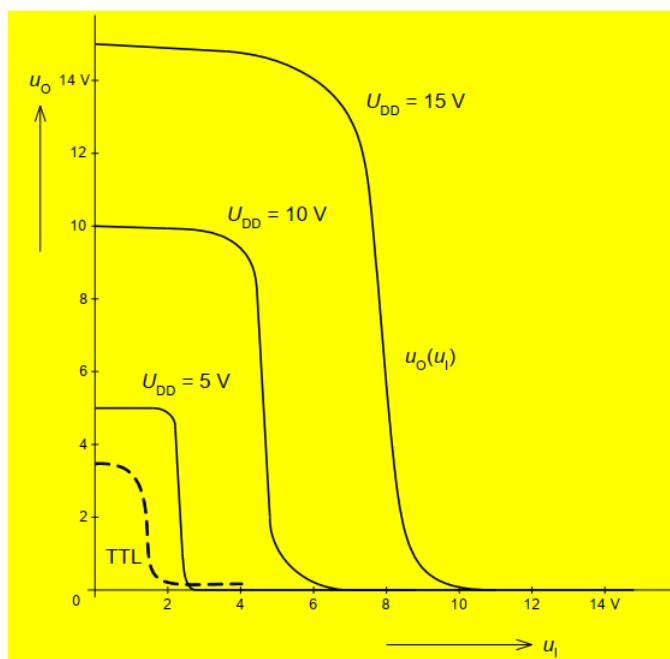


Obrázek 26: Překrytí úrovní vstupních a výstupních napětí pro přípustné hodnoty napájecích napětí

5.2 Převodní charakteristika

Tvar těchto charakteristik je podmíněn postupným přechodem tranzistoru T1 z aktivní oblasti jeho výstupních charakteristik (vějířovitě se rozbíhající soustava charakteristik v okolí počátku souřadnic, vyznačujících se velkou strmostí) přes oblast proudové saturace (téměř přímkové charakteristiky, prakticky rovnoběžné s osou napětí) do stavu zahrazení (charakteristika splývající s osou napětí - tranzistorem teče jen zbytkový proud) a souběžně probíhajícím přechodem tranzistoru T2 ze stavu zahrazení přes oblast saturace do aktivní oblasti. K otevření tranzistoru s kanálem typu N je třeba přivést na jeho hradlo kladné napětí UGSN převyšující jeho prahové napětí UPN.

Tranzistor s kanálem typu P se otevírá záporným napětím hradla vzhledem k jeho emitoru U GSP , toto napětí musí být zápornější, než prahové napětí tranzistoru UPP.



Obrázek 27: Převodní charakteristika pro různá napájecí napětí

5.3 ACT

Logické obvody AC/ACT – Advanced CMOS Logic jsou vyrobeny v technologii CMOS $1\text{ }\mu\text{m}$. Obvody typu ACL vynikají nízkou spotřebou, ale zároveň jsou schopné pracovat s výstupním proudem až 24 mA . Vstupy technologie AC jsou kompatibilní s CMOS logikou a ACT umožňuje navázání obvodů v klasické logice TTL. Řada 74AC představuje skupinu rychlých obvodů CMOS se vstupními úrovněmi CMOS a posílenými výstupy CMOS, které mohou budit zátěž proudy až $\pm 24\text{ mA}$. Doba zpoždění signálu t_p je stejná nebo kratší než u obvodů ALS TTL, avšak mají až trojnásobně vyšší hodinový kmitočet. Tyto obvody se vyznačují velkou odolností vůči parazitní kapacitě zátěže

Typické vlastnosti těchto obvodů jsou:

- velmi nízká spotřeba,
- typické zpoždění 5 ns,
- napájecí napětí 1,5 V až 5,5 V (AC) a 4,5 V až 5,5 V (ACT),
- výstupní proud (max.) 24 mA,
- HC/HCT – High-Speed CMOS Logic.

5.4 HC

Logické obvody HC/HCT Obvody CMOS rychlé řady HC a HCT jsou bezesporu nejrozšířenějšími používanými obvody posledních let. Spojují výhody klasické řady obvodů TTL a CMOS. Vyznačují se vysokou rychlostí (pro většinu běžných aplikací dostačující), nízkým příkonem, vysokou šumovou imunitou a v neposlední řadě také nízkou cenou. Proto jsou velmi hojně využívány jako dokonalejší náhrada obvodů TTL logiky (HCT – vstupy kompatibilní s TTL) a obvodů CMOS (HC – vstupy kompatibilní s logikou CMOS). Příkon obvodů 74HC je významný především v dynamickém provozu. Ve statickém režimu je příkon v průměru 10 μW pro elementární hradlo. Změna teploty má také velký vliv na potřebný příkon obvodu. Například při zvýšení teploty z 25 na 85 °C se napájecí proud při $U_{CC} = 6\text{ V}$ zvětší z 2 μA na 20 μA (příkon se zvětší z 12 μW na 120 μW). Další zvýšení na maximální přípustnou teplotu 125 °C se projeví napájecím proudem 40 μA a odpovídajícím ztrátovým výkonem 240 μW . Obvody řady 74HCT jsou určeny k přímé návaznosti na obvody TTL. Jejich vstupní díl je navržen tak, aby respektovaly vstupní napětí $U_{IL} < 0,8\text{ V}$ a $U_{IH} > 2\text{ V}$ pro obě napěťové vstupní úrovně. V obou případech vstupní proudy nepřesáhnou hodnotu 1 μA . Proto mohou obvody 74HCT snadno nahradit obvody 74LS pouhou záměnou v objímce, přitom se ztrátový výkon redukuje až na pětinu. Je nutno upozornit, že se mění poněkud dynamické parametry a v kritických aplikacích je nutná kontrola.

5.5 AHC

Logické obvody AHC Advanced High-speed CMOS. Nabízí rovněž výbornou šumovou imunitu, ale navíc má pouze poloviční statický příkon oproti obvodům HC. **Typické vlastnosti těchto obvodů jsou:**

- velmi nízká spotřeba,
- typické zpoždění 10 ns,
- vhodná náhrada za LS-TTL s menší spotřebou,

- napájecí napětí 2,0 až 6,0 V.

5.5.1 AHCT

Advanced High-Speed CMOS představují vylepšení obvodů HC a HCT, jejich typické vlastnosti jsou:

- přibližně poloviční spotřeba než u HCMOS, maximální statický proud je asi 40 μA ,
- vyniká nízkým šumem (malými proudovými špičkami) při přepínání,
- zpoždění je asi 5 ns,
- výstupní proud asi 8 mA (pro napájecí napětí 5V),
- může pracovat pro napájecí napětí 3,3 i 5 V,
- při použitém napájecím napětí 3,3 V je vstup díky ochranným diodám odolný vůči napětí přesahující 3,3 V.

5.6 ALVC

Logické obvody řady ALVC – Advanced Low-Voltage CMOS Technology

Logic mohou pracovat při nízkém napájecím napětí, až 3,3 V. Vynikají vysokou rychlostí a nízkou spotřebou. Využívány jsou zejména pro obvody v technice PC a periférií. **Typické vlastnosti technologie ALVC jsou:**

- velmi nízká spotřeba, statický proud v režimu standby je 40 μA ,
- typické zpoždění 2 ns,
- výstupní proud až 24 mA,
- rozsah napájecích napětí 1,2 až 3,6 V,
- vstupy jsou odolné vůči napětí až 5 V.

6 Paměťové obvody

-rozdělení pamětí, vlastnosti, typy, struktura. DRAM(1T), SRAM (6T), EEPROM, FLASH (SLC, MLC, TLC, PLC). Popište základní princip jednotlivých typů pamětí a jejich strukturu na tranzistorové úrovni

6.1 Rozdělení pamětí

Podle možnosti zápisu:

- RWM - Read Write Memory: paměť pro zápis i čtení, po odpojení napájení se obsah ztrácí
- ROM - Read Only Memory: paměť pouze pro čtení, po odpojení napájení se obsah uchovává

Podle přístupu k paměti: -RAM - Random Acces Memory: paměť s libovolným přístupem

- SAM - Serial Acces Memory: paměť se sériovým přístupem
- CAM - Content Acces Memory: paměť s adresovatelným obsahem
- FIFO - First In First Out: paměť typu první dovnitř, první ven
- LIFO - Last In First Out: paměť typu poslední dovnitř, první ven (zásobník)

Podle principu realizace paměťové buňky:

Statické(SRAM): buňka paměti je tvořena bistabilním klopným obvodem

Dynamické(DRAM): vyžadují "refresh"obnovení náboje

Podle způsobu zápisu a mazání:

ROM: programují se ve výrobě IO maskou - unipolární

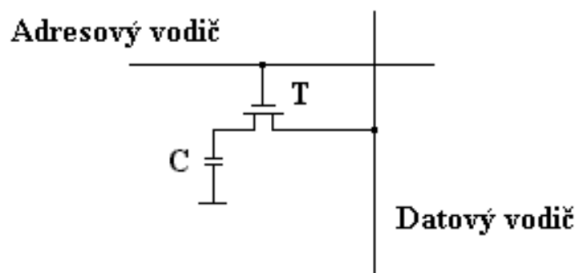
PROM: 1x programovatelné-přetavením tavné pojistky - bipolární

EPROM: elektricky programovatelné - mazatelné UV zářením - unipolární

EEPROM: elektricky programovatelné i mazatelné - unipolární

FlashEPROM: verze EEPROM s velmi krátkou dobou čtení a zápisu

6.2 DRAM(1T)



Obrázek 28: Paměť DRAM

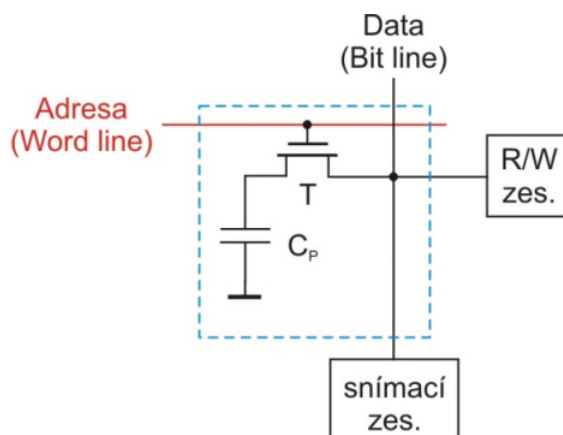
Zápis:

Na adresový vodič se přivede hodnota logická 1. Tím se tranzistor T otevře. Na datovém vodiči je umístěna zapisovaná hodnota (např. 1). Tato hodnota projde přes otevřený tranzistor a nabije kondenzátor.

Čtení:

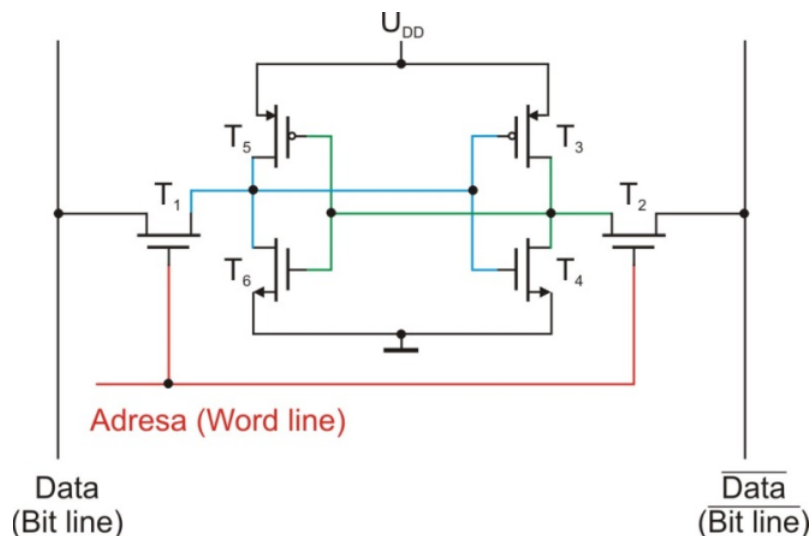
Na adresový vodič je přivedena hodnota logická 1, která způsobí otevření tranzistoru T. Jestliže byl kondenzátor nabitý, zapsaná hodnota přejde na datový vodič. Tímto čtením však dojde k vybití kondenzátoru a zničení uložené informace. Jedná se tedy o buňku, která je **destruktivní při čtení** a přečtenou hodnotu je nutné opět do paměti zapsat.

Buňka paměti DRAM je velmi jednoduchá a dovoluje vysokou integraci, a má nízké výrobní náklady. Díky těmto vlastnostem je používána k výrobě operačních pamětí. Její nevýhodou je však vyšší přístupová doba (60 - 70 ns), způsobená nutností provádět refresh a časem potřebným k nabití a vybití kondenzátoru.



Obrázek 29: Paměť DRAM

6.3 SRAM(6T)



Obrázek 30: Paměť SRAM

Zápis:

Při zápisu se na adresový vodič umístí hodnota H. Tranzistory T1 a T2 se otevřou. Na vodič se přivede zapisovaná hodnota (např. 1). Tranzistor T1 je otevřen, takže jednička na vodiči je přivedena na vstup invertoru tvořeného tranzistorem T4 a T3. Výstup invertoru (T4, T3) tvoří vstup invertoru tvořeného tranzistorem T5 a T6. Tento stav obvodu představuje uložení hodnoty 0 do paměti. Zcela analogicky tato buňka pracuje i při zápisu hodnoty 1. Rozdíl je pouze v tom, že výstup invertoru (T4, T3) je v logické úrovni H.

Čtení:

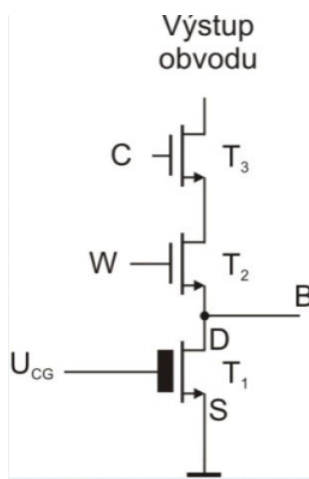
Při čtení je opět na adresový vodič přivedena hodnota logická 1, což opět způsobí otevření tranzistorů T1 a T2. Jestliže byla v paměti zapsána hodnota 1, je na výstupu invertoru (T4, T3) hodnota 0. Tuto hodnotu obdržíme na vodiči. Opět zcela analogicky v případě uložené hodnoty 0, kdy tranzistor T4 je uzavřen (tj. na jeho výstupu je hodnota 1).

6.4 EEPROM

Energeticky nezávislá polovodičová paměť typu ROM s možností zápisu, smazání a přepisování dat.

Další výhodou paměťových buněk EEPROM je nejmenší velikost sektoru, kterou je možné vymazat.

Při zvýšení napětí na řídicí elektrodě CG se elektrony Fowler-Nordheimovým tunelováním přenesou z D na plovoucí hradlo. Není potřeba žádný proud kanálem. Proud tunelování je relativně malý, proto nabíjení plovoucího hradla probíhá pomaleji. Při opačné orientaci elektrického pole dochází tunelováním k odstranění elektronů.



Obrázek 31: Paměť EEPROM

Lze mazat jednotlivé buňky (tunelováním) Počet mazacích cyklů $10^4 - 10^6$. Nevýhodou je větší složitost → větší cena Při zápisu logika zajistí vymazání předchozí informace. Vzhledem k dlouhé době programování je nutná kontrola ukončení programovacího cyklu Pro zrychlení bylo zavedeno programování stránky (page write mode).

6.5 FLASH

Programovat lze jednotlivý byte paměti, ale mazat lze pouze celá paměť (bulk erase), případně její jeden sektor (Sektor Erase FLASH memory) nebo blok.

Jednotranzistorová buňka vychází z pamětí EPROM a využívá se tranzistor s plovoucím hradlem. Mazání je umožněno změnou tvaru elektrody S (Source). Programování probíhá injekcí horkých elektronů z kanálu při přivedeném zvýšeném napětí na řídicím hradle. Elektrické mazání probíhá při uzemněném řídicím hradle a zvýšeném napětí na elektrodě Source, které způsobí tunelování elektronů z paměťového tranzistoru. Tranzistor se tak uvede do původního stavu. Na rozdíl od pamětí EEPROM se u pamětí flash provádí mazání nikoliv po jednotlivých buňkách, ale po celých blocích.

Novější typy obsahují nábojovou pumpu (tzn. nevyžadují zvýšené napětí 12 V). Paměť rozdělena do bloků, může obsahovat „Boot block“.

NOR a NAND flash se liší ve dvou důležitých faktorech:

- Různé propojení paměťových buněk
- Mají odlišné rozhraní pro čtení a zápis dat do paměti
- NOR umožňuje náhodný přístup pro čtení,
- NAND umožňuje pouze přístup ke stránce.

NAND - Byla vyvinuta s cílem snížit plochu čipu, která je potřebná k provedení dané kapacity. Tzn. snížit náklady na kus, zvýšení maximální kapacity čipu tak, aby byla konkurence schopná se záznamovými zařízeními, jako jsou pevné disky

6.5.1 NOR FLASH

NOR Flash, které poskytují rozhraní s vyhrazenými adresovými a datovými vodiči, tzn., že umožňují přímý přístup k dané paměťové buňce.

Chovají se jako paměti, které jsou mapované do určité části adresového prostoru. Díky tomu mají menší hustotu paměťových buněk, jsou pomalejší při zápisu, ale mají vyšší rychlost při čtení než paměti NAND Flash.

Název je odvozen podle uspořádání tranzistorů, které odpovídá struktuře hradla NOR.

6.5.2 NAND FLASH

NAND Flash, využívají jednoduchého připojovacího rozhraní, takže nevyžadují plnou šířku adresové a datové sběrnice. Data jsou multiplexována do osmi vstupních/výstupních linek. Práce s NAND flash pamětí probíhá typicky v následujících krocích:

- zaslání příkazu (např. read nebo write),
- zaslání 4bytové adresy, vyjadřující odkud budou data čtena, resp. kam budou zapisována,
- vyčkání, až flash paměť umístí požadovaná data do výstupního registru nebo zaslání zapisovaných dat, přečtení, resp. zapsání dat

6.6 FLASH SLC, MLC, TLC, PLC

6.6.1 SLC - Single Level Cell

Stav „1“ - buňka se nabije na 20 %

Stav „0“ - buňka se nabije na 80 %

Hodnoty jsou od sebe dostatečně vzdáleny

Životnost 100 000 přepisů

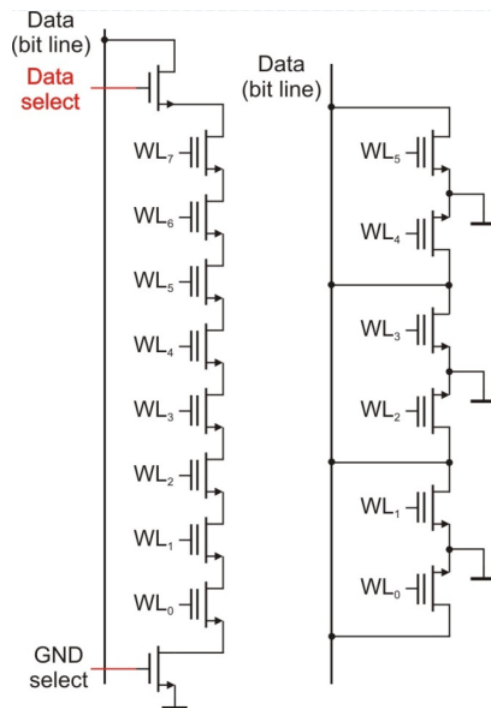
6.6.2 MLC - Multi Level Cell

Stav „11“ – buňka se nabije na 25 %

Stav „10“ – buňka se nabije na 45 %

Stav „01“ – buňka se nabije na 65 %

Stav „00“ – buňka se nabije na 65 %



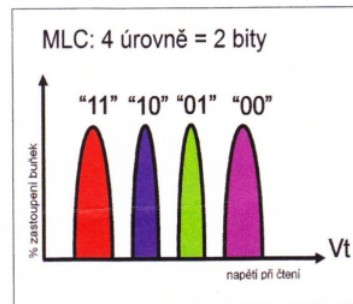
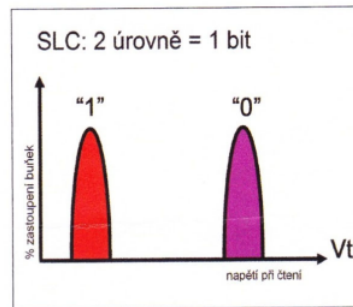
Obrázek 32: Porovnání FLASH NAND (vlevo) a NOR (vpravo)

Větší pravděpodobnost vzniku chyby

Životnost 10 000 přepisů

6.6.3 TLC - Triple Level Cell

Každý ze tří bitů dat v buňce TLC flash je buď naprogramován (0), nebo vymazán (1). Na základě úrovně napětí má paměťová buňka TLC celkem osm možných stavů: 000, 001, 010, 011, 100, 101, 110 nebo 111. Naproti tomu SLC flash má pouze dva stavy (0 nebo 1) a MLC flash má čtyři stavy (00, 01, 10, 11).



Obrázek 33: SLC a MLC FLASH paměť

6.6.4 QLC -Quad-Level Cell

QLC obsahují 4 bity v jedné paměťové buňce. Konečné produkty mají ve srovnání s MLC / TLC následující výhody a nevýhody:

- Nižší cena za gigabajt
- Vyšší náchylnost k opotřebení paměti a teoreticky vyšší pravděpodobnost chyb zápisu dat
- Nižší rychlost zápisu dat

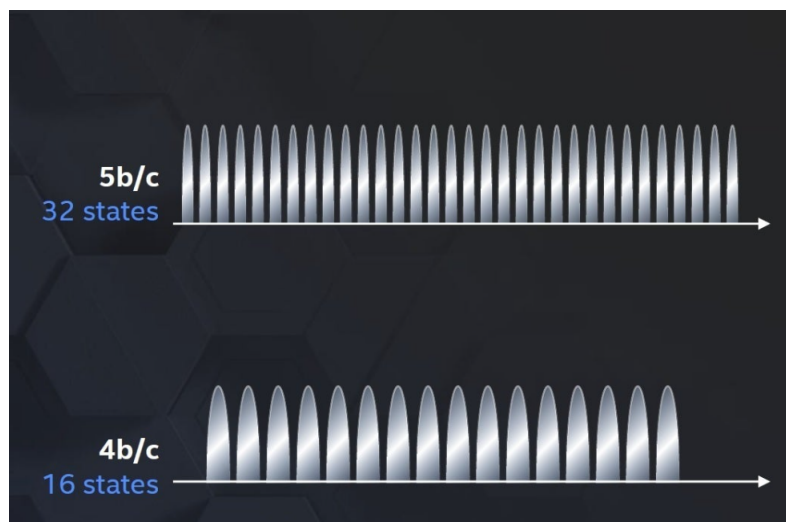
NAND flash memory comparison

TYPE	DESCRIPTION	ENDURANCE (PROGRAM/ERASE CYCLES)	
		PLANAR/2D NAND	3D NAND
Single-level cell (SLC)	Stores one bit per cell and two levels of charge	50,000 to 100,000	Not manufactured
Multi-level cell (MLC)	MLC commonly stores two bits per cell and four levels of charge, although theoretically, MLC can store multiple bits per cell and multiple levels of charge	MLC: 3,000 Enterprise-grade MLC (eMLC): 10,000	30,000 to 35,000
Triple-level cell (TLC)	Stores three bits per cell and eight levels of charge	300 to 1,000	1,500 to 3,000
Quadruple-level cell (QLC)	Stores four bits per cell and 16 levels of charge	Not manufactured	150 to 1,000

Obrázek 34: Porovnání SLC, MLC, TLC a QLC

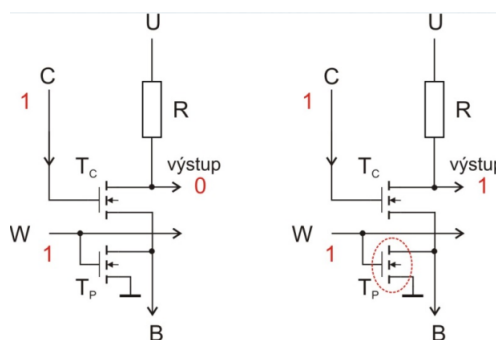
6.6.5 PLC - Penta Level Cell

PLC obsahují 5 bitů v jedné paměťové buňce.



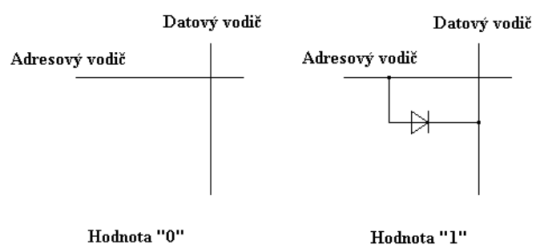
Obrázek 35: Porovnání PLC a QLC

6.7 ROM



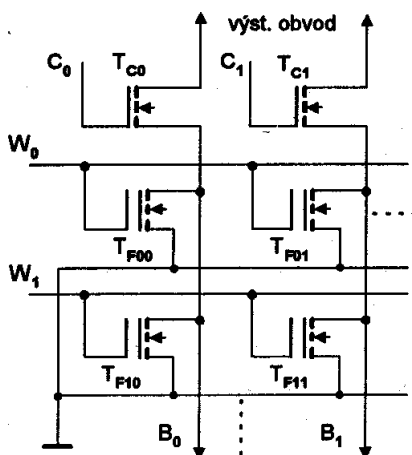
Obrázek 36: Paměť ROM

Výběru sloupce C a řádku W, vybraný MOS paměťový tranzistor TP sepne a na bitovém vodiči B generuje úroveň L. Tato úroveň se přes spínací tranzistor TC přenesse na výstup obvodu. Pokud nelze tranzistor TP sepnout (např. z důvodu větší vrstvy SiO₂), bude na bitovém vodiči B úroveň H.



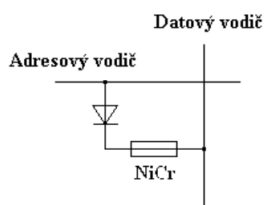
Obrázek 37: Paměť ROM-principiálně

6.8 PROM



Obrázek 38: Paměť PROM

Alternativa k pamětem ROM, PROM nebo také OTP (anglicky One Time Programmable) je elektricky "jednorázově" programovatelná permanentní paměť. představují statické a energeticky nezávislé paměti.



Obrázek 39: Paměť PROM - principiálně

6.8.1 PROM - programování

Řídicí elektroda G (Gate) je připojena na vybraný adresovací slovní vodič W se zvýšeným napětím obvykle okolo 12 V. Pokud je na elektrodě D, která je připojena na vybraný bitový vodič B kladné napětí (řádově okolo 5 až 6 V), protéká indukovaným kanálem typu N od elektrody S k elektrodě D velký proud, elektrony mají velkou energii a působením elektrického pole mezi kanálem a řídicí elektrodou G dojde k přeskočení tzv. horkých elektronů z kanálu přes izolační bariéru na plovoucí hradlo, kde zůstanou. Pokud je na elektrodě D nulové napětí, kanálem neteče proud a nedojde k přeskočení elektronů a naprogramování paměťové buňky.

6.8.2 PROM - čtení

Při normálním režimu čtení paměťové buňky je na elektrodě D napětí řádově 1 V a na elektrodě G ve vybraném řádku 5 V. Přítomnost náboje na plovoucím hradle ovlivňuje indukovaný kanál a je potřeba větší napětí na elektrodě G (mezi 7 – 9 V), aby kanálem protékal proud. Toto napětí způsobí u nenaprogramovaných buněk větší proud. Ten se vyhodnocuje jako uložený stav H, malý proud indikuje uložený stav L.

7 Zobrazovací prvky

-popis technologií LCD, OLED, plazma, elektronický inkoust, QLED. Základní struktury, popis funkce a srovnání výhod a nevýhod jednotlivých technologií.

7.1 LCD

Barevné nebo monochromatické pixely jsou umístěny před zdrojem světla.

Každý pixel je rozdělený do tří subpixelů, a to červeného, zeleného a modrého (tedy RGB). Svítivost každého pixelu je možné kontrolovat nezávisle na ostatních, jejich kombinací lze pak dosáhnout milionů barev.

Každý pixel LCD se skládá z molekul tekutých krystalů uložených mezi dvěma průhlednými elektrodami a mezi dvěma polarizačními filtry, přičemž osy polarizace jsou na sebe kolmé.

Molekuly tekutých krystalů jsou bez vnějšího elektrického pole ovlivněny mikroskopickými drážkami na elektrodách. Drážky na elektrodách jsou vzájemně kolmé, takže molekuly jsou srovnány do spirálové struktury a stáčí polarizaci procházejícího světla o 90 stupňů, což mu umožňuje projít i druhým filtrem.

Polovina světla je absorbována prvním polarizačním filtrem, kromě toho je ale celá sestava průhledná.

Princip: <https://www.youtube.com/watch?v=rR0YbNjDoVU>

7.1.1 LCD rozdělení

Pasivní STN (Supertwist Nematic):

Jednodušší - tvoří ji dva substráty skla, jeden tvoří sloupce a druhý řady. Elektrický náboj přivádíme k určitému bodu v určité řadě a sloupci.

Aktivní TFT (Thin-Film Transistors):

Je tvořena tenkovrstvými tranzistory. Pomocí této metody lze přesně ovládat velikost napětí na krystalech a tím i ovládat jas displeje.

7.2 OLED

OLED (Organic Light Emitting Diodes)

Přímo generují světlo

Účinnost běžně 18-22 lm/W

pro bílé OLED až 50 lm/W)

7.2.1 Základní vlastnosti

Plně barevné displeje s přímou barevnou emisí

Vysoký kontrast

Velmi tenký (cca 1mm) a velmi lehký

Možnost použití flexibilního pružného substrátu => ohebný displej

V celku jednoduchá struktura => nízké výrobní náklady a tedy i cena

Nízká spotřeba ne více než 30-60 mW

7.2.2 Princip

Pracují na principu elektroluminiscence

Klíčový je organický materiál obsahující molekulární strukturu, známou jako luminofor (provádí emisi světla)

Emise světla – rekombinací excitovaných párů elektron – díra, nadbytek energie je vyzářen v podobě fotonu, tj. světelného záblesku

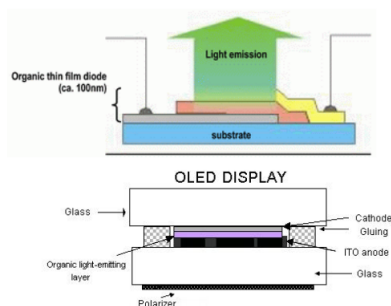
Jako polymerní luminofory se tedy používají různé deriváty materiálu PPV, obvykle poly(p-phenylene vinylene) a poly(flourene)

Anoda (první elektroda):

tvořená z oxidu indium dotovaného oxidem cínu (ITO) (transparentní keramický materiál za normálního stavu vodivý).

Katoda (druhá elektroda):

je obvykle vyrobena z kovu - nejčastěji hliníku.



Obrázek 40: Princip OLED

7.2.3 Výhody

Snadno zhotovitelné - v principu může potřebné prvky vytvořit na folii příslušným způsobem vybavená inkoustová tiskárna

větší úhel pohledu

velmi rychlý reakční čas, menší než $1\ \mu\text{s}$

hodnoty úrovně černé a kontrast jsou minimálně stejně dobré

nepotřebuje nasvícení pozadí - umožňuje výrobu extrémně tenkých displejů

Možnost jednoduchého provedení flexibilních (ohybných) displejů

Displeje s úhlopříčkou nad 40"

7.2.4 PMOLED

PMOLED - pasivní OLED displej

Nejjednodušší varianta

Základ tvoří mřížková matrice vzájemně překřížených vodičů. V místě křížení se vodiče připojeny k elektrodám (katodám, resp. anodám) OLED struktury a vznikají tak jednotlivé pixely.

K emisi světla dojde impulsem na příslušném řádkovém a sloupcovém vodiči

Čím je větší proud impulsu, tím jasněji pixel září

7.2.5 AMOLED

AMOLED (Active-matrix OLED) aktivní struktura OLED displeje

Každý pixel řízen vlastním tranzistorem (přesně řídí proud do struktury OLED) a lze tak regulovat jas

Vyznačují vyšší zobrazovací frekvencí

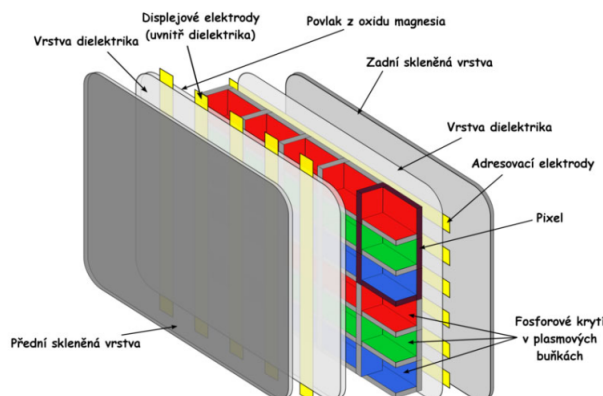
Ostřejším vykreslením obrazu

Nižší spotřebou

Pod každým pixelem je struktura dvou tranzistorů s kondenzátorem, kde jeden tranzistor řídí proud pro nabíjení a vybíjení kondenzátoru, zatímco druhý slouží jako napěťový stabilizátor, pro zajištění konstantní velikosti proudu.

Nevýhody: výrazně složitější struktura displeje a tedy i vyšší cena.

7.3 Plazma



Obrázek 41: Plazmová obrazovka

Střídavé napětí,

napětí je udržováno těsně pod ionizační hladinou,

Neon a Xeon jsou excitovány při návratu do své orbitální hladiny se uvolňuje ultrafialové záření, které způsobí excitaci atomů luminoforu => uvolnění viditelného záření.

Intenzita každého subpixelu je určována počtem a šířkou napěťových pulsů, které dostává buňka během každého snímku. Standardní metoda určuje 256 úrovní nabití pro každý subpixel, protože každý snímek je rozdělen na 8 podsnímků ovládaných 8bitovým slovem. Celá tato technologie se nazývá ADS (Address/Display Separated)

Výhody:

Vynikající kontrastní poměr

Vynikající pozorovací úhly kolem 160–170°

Jas až 1000 lx

Nevýhody:

V tmavých scénách se barvy blízké černé slévají v jednu a přechody nejsou zdaleka plynulé
rozteč bodů okolo 0,3 mm

vyšší spotřeba

tloušťka 6 cm

7.4 E-ink

Rozlišení jen 167 ppi (600x800)

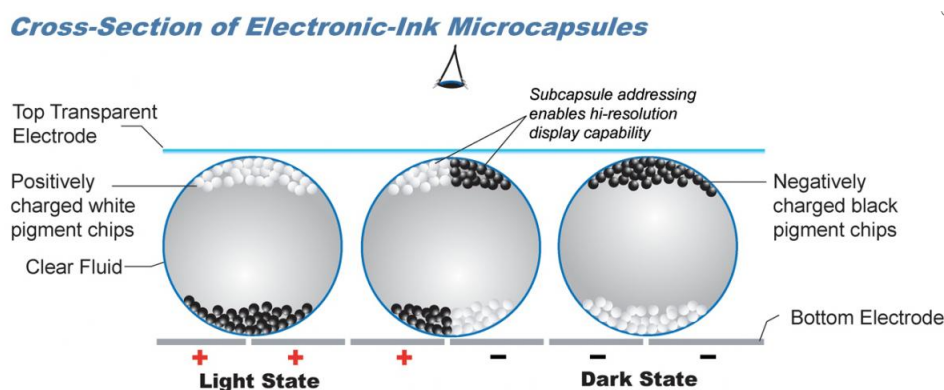
16 stupňů šedé

Rychlost 0,5 s

Pro udržení obrazu není potřeba energie

7.4.1 Princip

E-INK je složen z miliónů miniaturních mikrokapslí (Microcapsules) o průměru cca lidského vlasu. Každá obsahuje pozitivně nabité bílé částice a negativně nabité částice černé, které "plavou" v opticky průhledné tekutině (Clear fluid). Ty právě tvoří černou nebo bílou plochu určující barvu daného pixelu. Ta se ovládá pomocí elektrického pole mezi elektrodami (transparent electrodes), podobně jako klasické LCD. Dá se tedy k řízení využít TFT spínací matice, kde každý pixel je ovládán separátním tranzistorem.



Obrázek 42: Princip E-ink

Výhody:

Fantastická čitelnost displeje při zobrazení textu

Nízká spotřeba (energie se z článku odebírá pouze při překreslování, ve statickém režimu je spotřeba nulová)

Nevýhody:

Velká citlivost na ohyb

Malé rozlišení

Nutné okolní osvětlení

7.5 QLED

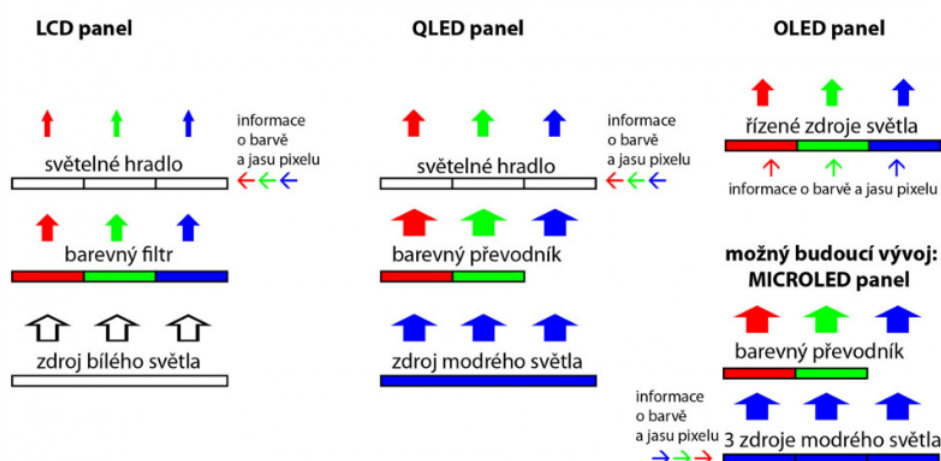
Displej s kvantovými tečkami je zobrazovací zařízení využívající kvantové tečky (QD), polovodičové nanokrystaly, které mohou produkovat čisté monochromatické červené, zelené a modré světlo.

Fotoemisní částice kvantových teček se používají v podsvícení LCD a/nebo v barevných filtrech displeje. Kvantové tečky jsou excitovány modrým světlem ze zobrazovacího panelu a vyzařují čisté základní barvy, což snižuje světelné ztráty a barevné přeslechy v barevných filtrech, zlepšuje jas displeje a barevný gamut (Gamut, resp. barevný gamut, je dosažitelná oblast barev v určitém barevném prostoru).

Světlo prochází vrstvou QD filmu a tradičními RGB filtry vyrobenými z barevných pigmentů nebo QD filtry s převodníky červené/zelené barvy QD a modrým průchodem. Ačkoli se technologie barevných filtrů QD používá především v LCD displejích s podsvícením LED, je použitelná i v jiných zobrazovacích technologiích, které používají barevné filtry, jako jsou modré/UV AMOLED/QNED/MicroLED zobrazovací panely

7.5.1 Princip

Kvantové tečky jsou buď fotoemisivní (fotoluminiscenční), nebo elektroemisivní (elektroluminiscenční), což umožňuje jejich snadné začlenění do nových architektur emisních displejů. Kvantové tečky přirozeně produkují monochromatické světlo, takže při barevné filtraci jsou účinnější než zdroje bílého světla a umožňují sytější barvy, které dosahují téměř 100 % barevného gamutu



Obrázek 43: Porovnání LCD, QLED a OLED

8 Programovatelné logické obvody

-CPLD, FPGA, struktury, rozdíly, použití, výhody, nevýhody

8.1 CPLD - Complex Programmable Logic Devices

CPLD se skládá ze sady programovatelných funkčních bloků. V každém bloku jsou makrobuňky. Makrobuňky jsou hlavními stavebními prvky CPLD. Vstupy a výstupy funkčních bloků jsou propojeny prostřednictvím globální propojovací matice (GIM). Tato propojovací matice je rekonfigurovatelná, takže není možné měnit kontakty mezi funkčními bloky. Tyto funkční bloky jsou podobné poli logických hradel.

Při návrhu CPLD je důležité věnovat pozornost technologii programování a funkčním blokům. Celkově jsou CPLD nevolatilní a snadno použitelné. Navíc jsou cenově výhodné.

PLD-programmable logic device. Obvody PLD realizují kombinaci logických funkcí pomocí struktur SOP-sum of products čili součet součinů, resp. POS-product of sums čili součin součtů. PLD obvody můžeme rozdělit do 3 skupin.

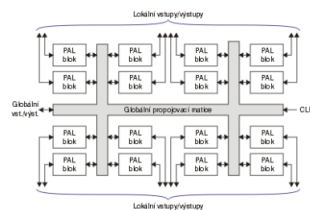
Klasické PLD obvody; každá vodorovná čára představuje součinnové hradlo. Dělí se na PROM, PLA a PAL obvody.

Komplexní PLD, CPLD; na rozdíl od klasických PLD obvodů umožňují realizovat i složitější funkce. Jedná se vlastně o více PLD obvodů spojených dohromady.

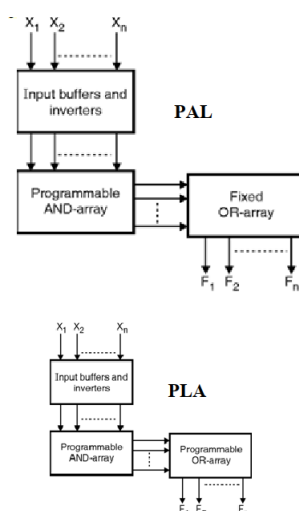
V závislosti na tom, který prvek(který typ hradla) je programovatelný dělíme obvody PLD do 3 struktur. **Struktura PROM;** stupeň AND má zapojen napevno, stupeň OR je programovatelný.

Struktura PAL; stupeň AND je programovatelný, stupeň OR je zapojen napevno. Struktura PAL je úspornější než PROM, protože v první části obvodu se vytvoří pouze ty kombinace, které jsou skutečně potřebné pro realizaci funkce. Obvody PAL jsou užívány častěji než PROM.

Struktura PLA; oba stupně AND a OR jsou programovatelné. Ze všech 3 metod je nejúspornější. Kvůli velkému počtu programovatelných propojení nebyli tyto obvody v době vývoje PLD obvodů úspěšné. Dnes se díky pokročilým technologiím začínají opět objevovat.



Obrázek 44: CPLD



Obrázek 45: PAL a PLA

8.2 FPGA

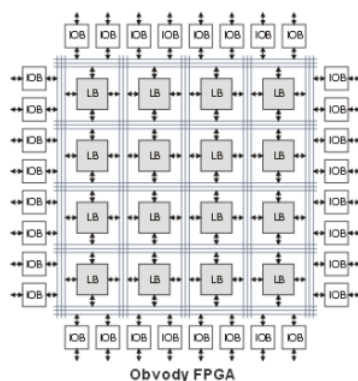
FPGA-field programmable gate array; z programovatelných obvodů mají nejvíce logických hradel v jednom obvodu až 6 milionů hradel typově jako dvouvstupový NAND. IOB input/output block představují vstupně výstupní obvody. LB jsou programovatelné logické bloky

Uživatelé mohou navrhnout obvod pomocí jazyka pro popis hardwaru a nakonfigurovat jej tak, aby prováděl jednoduché hradlo, jako je hradlo AND, nebo složitý systém, jako je vícejádrový procesor. Všechny konfigurace ukládá do paměti RAM. Proto může výpadek napájení tyto konfigurace vymazat.

je pravděpodobné, že se budou stále více používat v chytrých telefonech a počítačích pro aplikace umělé inteligence a strojového učení. Rekonfigurovatelná povaha těchto čipů poskytuje vyhrazené zpracování pro složité algoritmy, aniž by spotřebovávala výpočetní zdroje, které jsou v těchto zařízeních vyhrazeny pro základní funkce.

Dokud nebudou FPGA optimalizovány pro masovou výrobu, zůstanou pravděpodobně ve většině zařízení vzácností. Pokud hledáte vysokou rychlost, nižší cenu a nižší spotřebu energie, může být lepší volbou aplikačně specifický integrovaný obvod (ASIC). Obětujete sice přizpůsobivost, ale vyhrajete díky nižším nákladům na velkosériové provozování zařízení.

Nevýhodou použití ASIC je nutná počáteční investice. Protože hardware není rekonfigurovatelný, budete se muset spojit se slévárnou, která váš ASIC vyrobí a zabalí. Po počátečních nákladech však mají ASIC nižší náklady na výrobu jedné jednotky, což z nich činí lepší volbu pro velkosériovou výrobu.



Obrázek 46: FPGA

8.3 Rozdíly

Logické zdroje jsou také hlavním rozdílem mezi CPLD a FPGA. CPLD poskytuje minimum logických prostředků, zatímco FPGA poskytuje obrovské množství logických prostředků a paměťových prvků pro vytváření složitých systémů.

CPLD jsou cenově výhodné, ale FPGA jsou dražší než CPLD.

CPLD se skládají z větších bloků, zatímco FPGA se skládají z malých logických bloků.

Dalším rozdílem mezi CPLD a FPGA je jejich paměť. CPLD používá EEPROM (nevolatilní), zatímco FPGA používá RAM (volatilní).

Kromě toho je snazší předvídat zpoždění v CPLD než v FPGA.

CPLD spotřebovává málo energie, zatímco FPGA spotřebovává více energie.

CPLD je bezpečnější než FPGA, protože má zabudovanou nestálou paměť.

CPLD je vhodný pro malé až středně velké aplikace, zatímco FPGA je vhodný pro složité aplikace.

9 Digitální signálové procesy

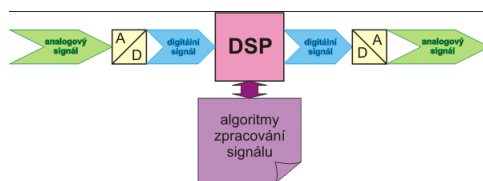
-Digitální signálové procesy, základní architektury, systém zpracování instrukcí (CISC, RISK, VLIW, CLIW), nástroje k dosažení vysokého výkonu DSP procesorů. ARM architektura, charakteristika a základní vlastnosti.

9.1 DSP

Digitální signálový procesor nebo také digitální signální procesor (zkratka DSP) je mikroprocesor, jehož návrh je optimalizován pro algoritmy používané při zpracování digitálně reprezentovaných signálů. Hlavním nárokem na systém bývá průběžné zpracování velkého množství dat „protékajících“ procesorem.

Jedním ze základních důvodů k vytvoření DSP byl fakt, že klasické analogové obvody sloužící pro zpracování signálu bývají náročné z hlediska návrhu, nastavení, provedení a reprodukovatelnosti, přičemž jakmile jsou vyrobeny, nelze jejich funkci téměř modifikovat. Ve srovnání s tím cena „digitálního“ křemíku stále klesá a výkon roste.

Analogový signál je nejprve převeden A/D převodníkem na digitální a v této podobě je průběžně zpracováván digitálním signálovým procesorem. Zpracovaný digitální signál je D/A převodníkem zpět převeden na analogový. V mnoha zařízeních prochází signál tímto řetězcem v reálném čase, ale na některých signálech je potřeba provést tak složité a výpočetně náročné algoritmy, že to ani velmi rychlý DSP procesor v reálném čase nestihne a digitalizovaná data musí být nejprve zaznamenána do paměti a odtamtud teprve postupně zpracovávána.



Obrázek 47: Digitální signálový procesor

Typický digitální signálový procesor je vystavěn na harvardské architektuře. Tato architektura má oproti von Neumannovu modelu počítače oddělenou paměť pro program od paměti pro data. V praxi to znamená, že data a kód programu využívají vlastní sběrnice, což zvyšuje propustnost systému.

Základním dělením digitálních signálových procesorů je dělení podle použité aritmetiky. Existují DSP pracující:
v celočíselné aritmetice

v aritmetice s pevnou řádovou čárkou

v aritmetice s plovoucí řádovou čárkou

Procesory s celočíselnou aritmetikou jsou sice levné, ale algoritmy výpočtů stále narážejí na nutnost převádět reálná čísla na celá a mezivýsledky výpočtů se musí neustále upravovat tzv. normalizacemi. Proto je vývoj algoritmů v těchto typech procesorů výrazně náročnější. Hodí se proto zejména pro masovou produkci výrobků, kde nevadí poněkud vyšší cena vývoje, ale důležitá je zejména cena samotné součástky.

Procesory s plovoucí řádovou čárkou jsou sice složitější a dražší, ale vývoj softwaru je pro ně výrazně jednodušší. Nevýhodou zde může být rovněž vyšší spotřeba energie.

Procesory s pevnou řádovou čárkou mohou sice být určitým kompromisem, ale prakticky je nelze jasně odlišit od procesorů pracujících v celočíselné aritmetice.

Dalším kritériem pro dělení digitálních signálových procesorů je šířka jejich datové sběrnice. Ta bývá od 16 bitů výše. Další dělení může být na jednojádrové nebo vícejádrové DSP.

9.2 Nástroje k dosažení vysokého výkonu DSP procesorů

Zrychlení výpočtů se dosahuje pomocí specializovaných výpočetních jednotek procesoru, které dokážou pracovat paralelně. Typický DSP má kromě aritmeticko-logické jednotky (ALU) navíc rychlou násobičku, která dokáže operaci násobení s přičítáním $A \leftarrow A + B$. Tato operace je základní operací většiny algoritmů digitálního zpracování signálu. DSP zpravidla obsahuje dvě nebo více nezávislých adresních jednotek, tzv. DAG (Data Address Generator), adresujících data v lineárních nebo kruhových bufferech. Typický DSP tak umožňuje během jednoho taktu provést jeden krok skalárního násobení dvou vektorů (vynásobení hodnot ze dvou bufferů, přičtení do akumulátoru, posun na další index v bufferech). Procesor s klasickou architekturou by na stejnou operaci potřeboval několik taktů (např. 1. načtení hodnoty z prvního bufferu, 2. vynásobení hodnotou z druhého bufferu, 3. přičtení výsledku do akumulátoru, 4. posun adresy prvního bufferu, 5. posun adresy druhého bufferu).

Oproti univerzálním procesorům mohou (ale nemusí) být v DSP zjednodušeny některé funkce, například nemusí být možné adresovat paměť po bajtech. Taková zjednodušení mohou vést k problémům s přenositelností kódu psaného ve vyšších programovacích jazycích, nebo k větší spotřebě paměti a strojového času při jiných úlohách, než je zpracování signálu.

9.3 Základní architektury

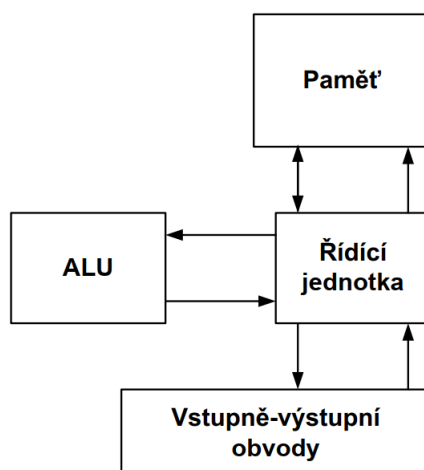
9.3.1 Von Neumannova architektura

Číslicový počítač (ČP) se skládá z následujících funkčních jednotek:

- paměť (vnitřní, operační paměť), řadič,
- aritmetická a logická jednotka (ALJ),
- vstupní a výstupní jednotky.

2) Struktura číslicového počítače není závislá na typu řešené úlohy, je univerzální, číslicový počítač se programuje obsahem operační paměti.

3) Instrukce programu i operandy, s nimiž program pracuje, jsou uloženy v téže paměti (operační paměti), jde-li o instrukci či o operand rozpoznává počítač „z kontextu“.



Obrázek 48: Von Neumannova architektura

9.3.2 Harvardská architektura

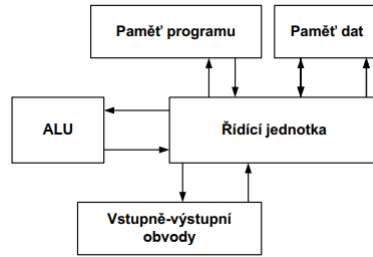
Chronologicky navazuje na architekturu von Neumannovu a odstraňuje některé její nedostatky

Zásadní rozdíl je v oddělení paměti dat a programu

Program nemůže přepsat sám sebe

Využití pamětí realizovaných jinými technologiemi (EEPROM, Flash, FRAM, DRAM)

Dvě sběrnice (adresová a datová) umožňuje současný přístup k instrukcím i datům Sekvenční vykonávání instrukcí je zachována



Obrázek 49: Harvardská architektura

9.4 CISC

Slovo CISC je zkráceno jako "Complex Instruction Set Computer". Jedná se o takovou konstrukci procesoru, která vykonává úlohu pouze pomocí jediného příkazu. Příkaz obsahuje vícekrokové operace, které chce program provést. Kromě toho mají stroje CISC relativně menší programy.

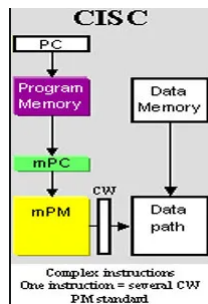
Zatímco počet složených instrukcí má obrovskou velikost. Proto vyžaduje spoustu času při provádění. V tomto typu architektury je každá sada instrukcí velmi dobře chráněna v různých krocích. To znamená, že s každou sadou instrukcí souvisí navíc tři sta instrukcí. Z tohoto důvodu trvá provádění instrukcí dlouho. Jejich doba se může pohybovat od dvou do deseti strojových cyklů v závislosti na velikosti instrukční sady. Architektura CISC navíc běžně neimplementuje pipelining, protože je to obtížné.

Charakteristika CISC:

- Instrukční sada je složitá. Proto je její dekodování.
- Instrukce jsou vzhledem ke své složitosti obvykle velké. Instrukce jsou obvykle větší než velikost jednoho slova.
- Složené instrukce obvykle zaberou při svém provádění více času než jeden takt.
- Počet registrů pro všeobecné účely je menší. Z tohoto důvodu provádí většinu operací v samotné paměti.
- Režimy adresování jsou obvykle složité.
- Datových typů je mnoho.

9.5 RISC

Slovo RISC znamená "počítač s redukovanou instrukční sadou". Jedná se o takovou konstrukci procesoru, která se řídí jednoduchými instrukcemi a je opravdu rychlá. V podstatě se jedná o podmnožinu řady instrukcí. Zjednodušeně řečeno, každý příkaz vykonává opravdu jednoduché a malé úlohy. V takovém počítači je sada instrukcí jednoduchá

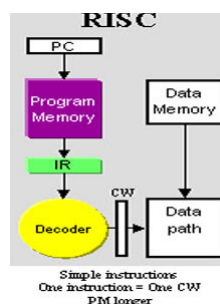


Obrázek 50: CISC

a snadno implementovatelná. Proto se snadno implementují takové příkazy, které jsou opravdu složité a obtížně proveditelné jako jednotlivé instrukce. Každá instrukce má téměř stejnou délku.

Stručně řečeno, rozděluje složité instrukce na jednoduché instrukce pomocí Pipeliningu. Pipelining je vícestupňový proces provádění instrukcí. Obvykle dokáže provést jednu instrukci v jednom strojovém cyklu. **Charakteristika RISC:**

- Jednoduchá sada instrukcí, které se snadno dekodují a implementují.
- Velikost jedné instrukce se vejde do velikosti jednoho slova.
- K provedení jedné instrukce je zapotřebí pouze jeden takt, takže se jedná o rychlý proces.
- Množství registrů pro všeobecné účely je větší.
- Režimy adresování jsou poměrně jednoduché.
- Proměnných datových typů je velmi málo.
- Jeho hlavní myšlenkou je dosažení pipeliningu.



Obrázek 51: RISC

9.6 RISC vs CISC

Široká instrukční sada procesorů CISC usnadňuje jejich programování, protože není některé operace nutné rozepisovat (například násobení)

Ve strojovém kódu (nebo v jazyce symbolických adres) se dnes programuje jen minimálně. Složitost CISC procesorů vede k problémům při výrobě (velká spotřeba materiálu, větší pravděpodobnost vady, komplikovaný návrh, problémy s vysokými frekvencemi, pipelining, cache atd).

Typickými zástupci koncepce CISC jsou procesory rodiny Motorola 68000 a procesory postavené na architektuře Intel x86.

9.7 VLIW

VLIW (Very Long Instruction Word)

Efektivnější vykonávání programu

Podporováno hardwarové paralelní zpracování instrukcí, je realizováno větším počtem funkčních jednotek

Podstata paralelního zpracování:

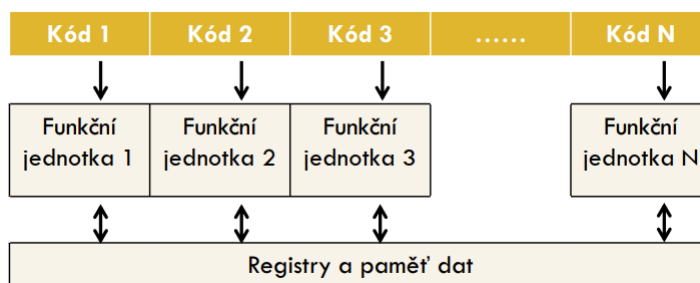
Během násobení dvou čísel je možné operandy sčítat a z paměti načíst další hodnoty

Instrukce zpracovávají po jedné (Von Neumannově), ale:

Programová instrukce označena jako instrukční paket a rozdělena do skupiny polí (dílčích instrukcí) a zde samostatně zpracována

Současně jsou řízeny přenosové cesty (datové i adresové)

Výhody: Vysoký výpočetní výkon s jednoduchou архитектурou



Obrázek 52: VLIW

9.8 CLIW

9.9 ARM

ARM (Advanced RISC Machine) je architektura procesorů vyvinutá v Británii firmou ARM Limited

Nízká spotřeba energie při vysokém výpočetním výkonu

Schopnost práce v náročných tepelných podmínkách (nízkopříkonové procesory nepotřebují složité a relativně nespolehlivé chlazení).

Dnes tvoří rodina procesorů ARM 75 % všech 32bitových RISC procesorů ve vestavěných zařízeních, což z ní dělá nejpoužívanější architekturu na světě.

9.9.1 Charakteristika:

- 32bitová vnitřní architektura
- 32bitová datová sběrnice s propustností 32 MB/s
- 26bitová adresová sběrnice (dostupný lineární adresní prostor 64 MiB)
- 25 vnitřních 32bitových registrů
- přístup do paměti pouze instrukcemi Load/Store
- částečné překrývání vnitřních registrů
- nejdelší doba reakce na přerušení 3 milisekundy
- možnost podmíněného vykonání instrukcí
- možnost připojení standardních pamětí DRAM
- jednoduchý a výkonný instrukční soubor, jednoduše využitelné kompilátory vyšších programovacích jazyků
- Dva typy přerušení FIQ (Fast Interrupt Request)/ IRQ(Interrupt Request)

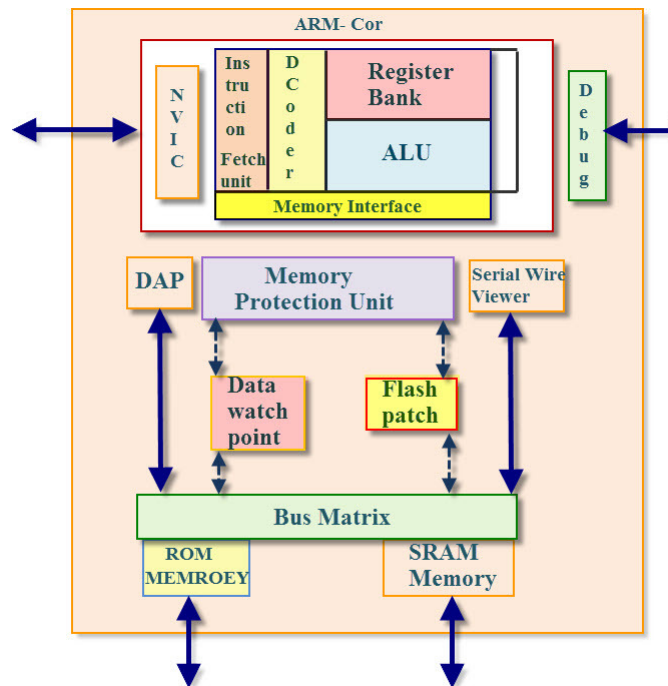
Procesor ARM obsahuje 44 základních instrukcí s jednotnou šířkou 32 bitů.

V jednom taktu se vykonávají pouze instrukce pracující s aritmeticko-logickou jednotkou (ALU), s registry nebo s přímými operandy.

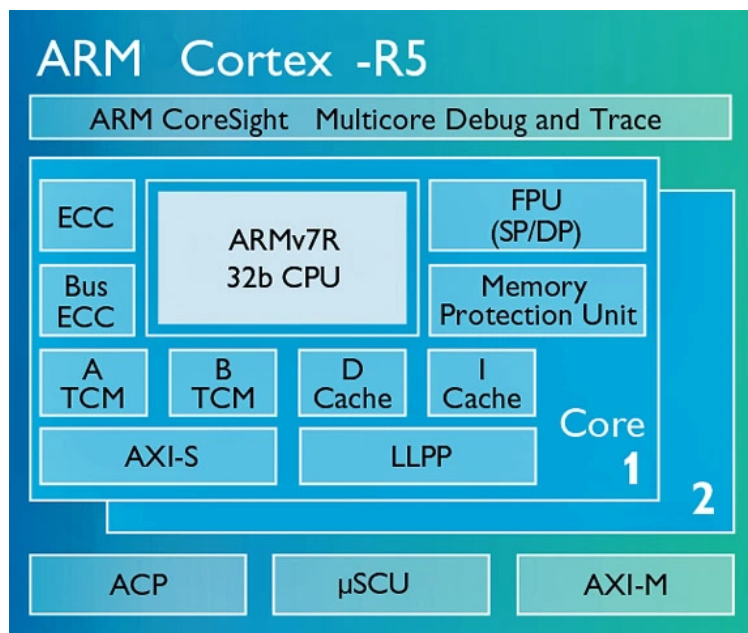
Procesor pracuje ve čtyřech základních režimech:

- uživatelský režim USR
- privilegovaný režim supervizora SUP
- privilegovaný režim přerušení IRQ
- privilegovaný režim rychlého přerušení FIQ

V procesoru je obsaženo 25 částečně se překrývajících 32bitových registrů (15 registrů je univerzálních a zbývajících 10 má speciální funkce), z toho 16 registrů je v každém režimu činnosti programově přístupných.



Obrázek 53: ARM



TCM, Tightly-Coupled Memory is one (or multiple) small, dedicated memory region that as the name implies is very close to the CPU. The main benefit of it is, that the CPU can access the TCM every cycle. Contrary to the ordinary memory there is no cache involved which makes all memory accesses predictable.

LLPP Low-latency peripheral port

The FPU (Floating Point Unit) fully supports single-precision add, subtract, multiply, divide, multiply and accumulate, and square root operations. It also provides conversions between fixed-point and floating-point data formats, and floating-point constant instructions

The ACP(Accelerator Coherency Port) slave interface allows an external master to access memory through the main memory interface of the DSU. Only access to cacheable memory is permitted.

This section describes the AXIM interface. The AXIM interface is a single 64-bit wide interface that connects to an external memory system.