

# Diseño de la capa de transacción PCIe

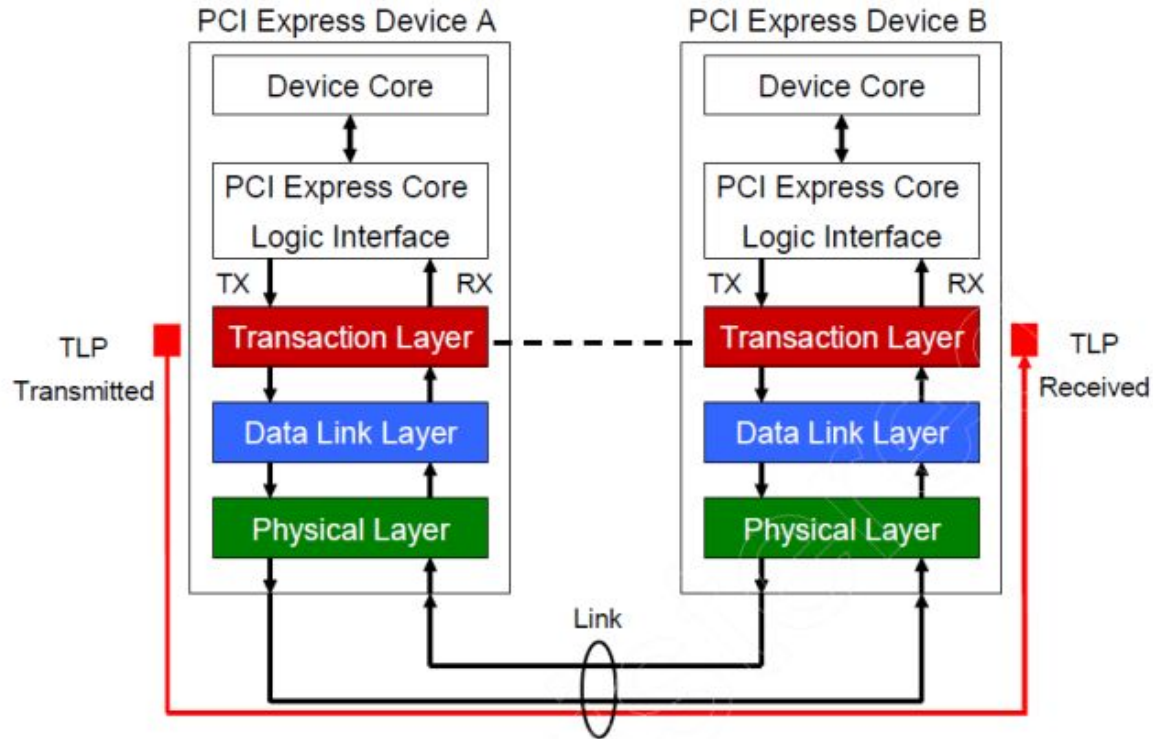
---

Alberto Martínez Ríos

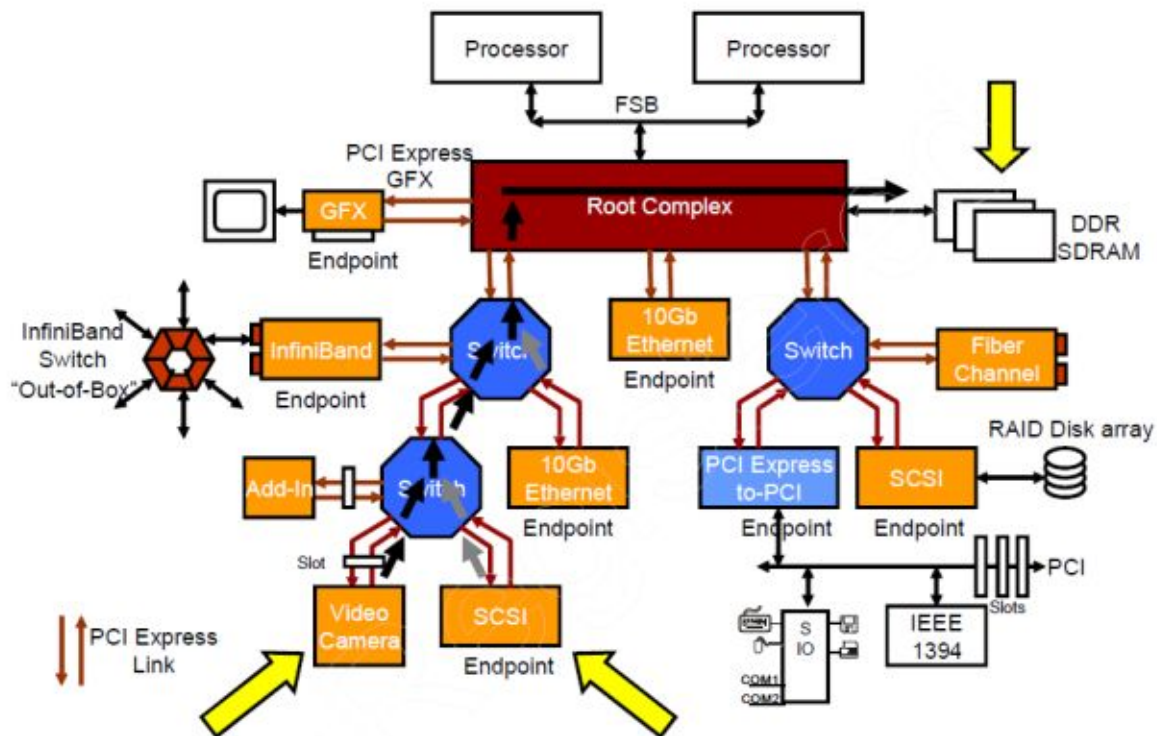
César Valverde Zuñiga

Douglas González Parra

# Capa de transacción PCIE



# Objetivo

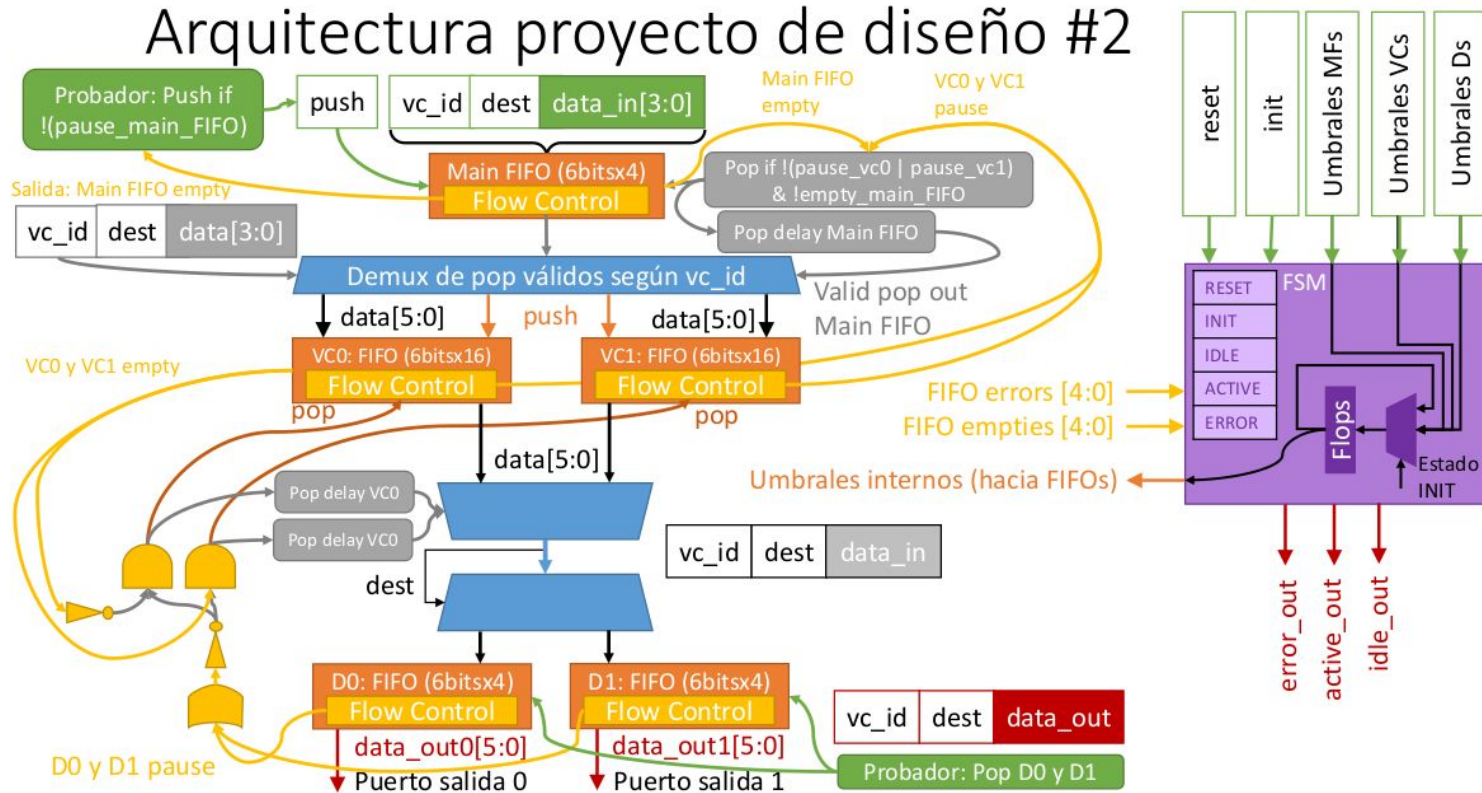


# Alcances y limitaciones

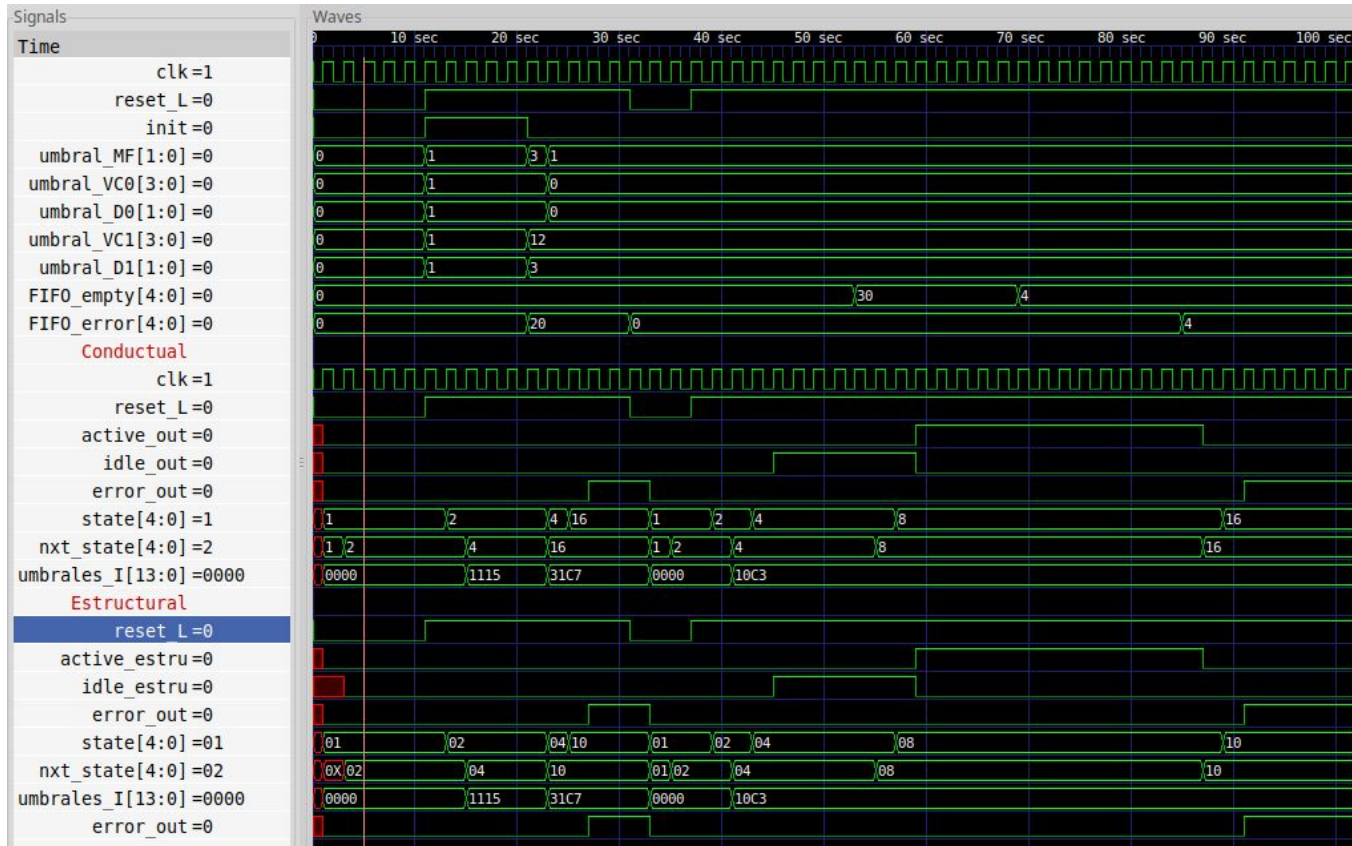
- Este proyecto está enfocado únicamente en la capa de transacción.
- El flujo de datos que se mostrará es únicamente de transmisión debido a que la calidad de servicio (QoS) se presenta en esta etapa.
- La entrada y salida en las memorias se hará bajo lógica FIFO.
- Entre dos canales de datos virtuales (VC0 y VC1) se aplicará una lógica de pesos, representando la prioridad que tienen cierto tipo de datos sobre otros.

# Resultados: Comportamiento esperado de la capa

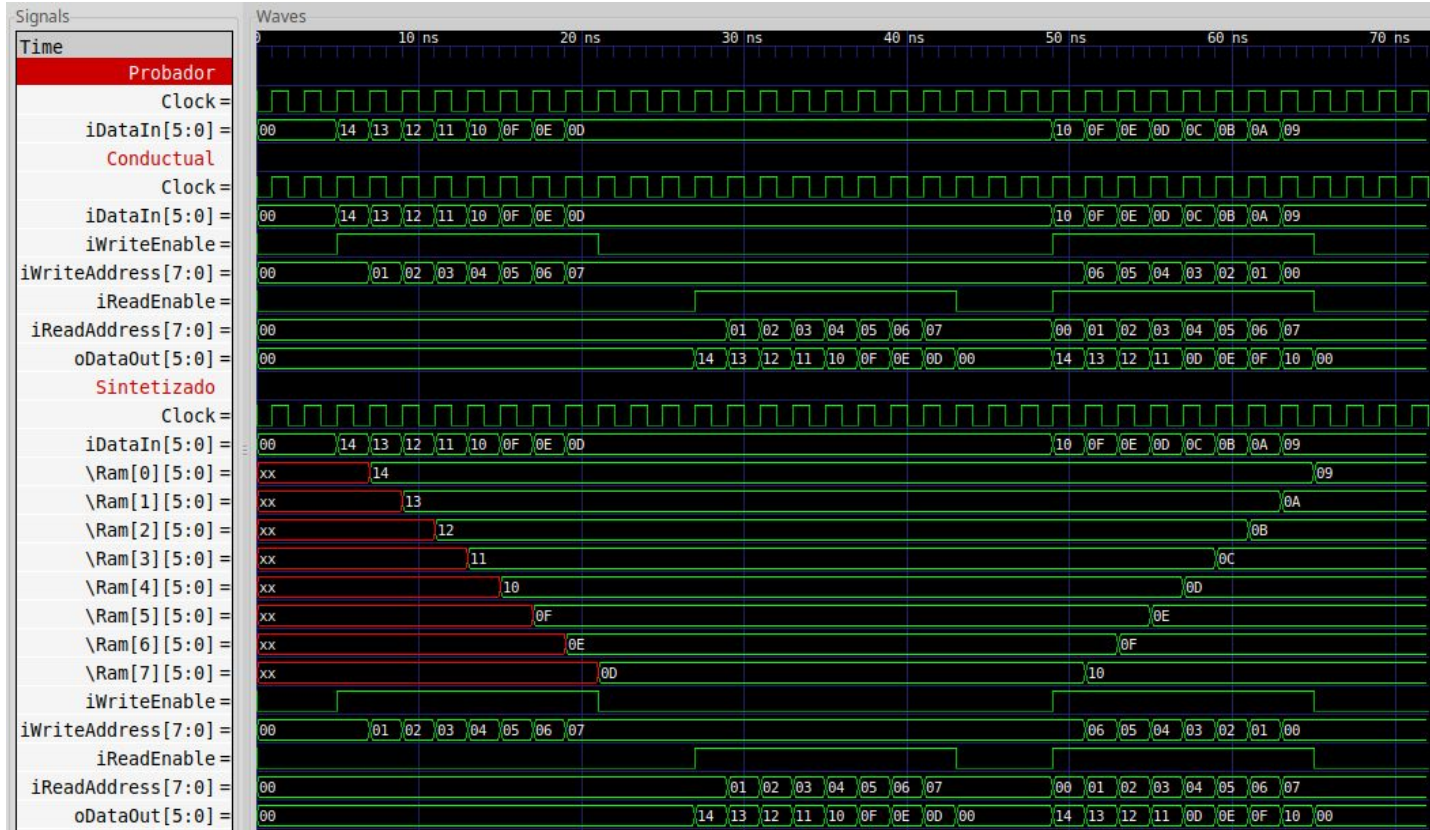
## Arquitectura proyecto de diseño #2



# Resultados: Máquina de estados

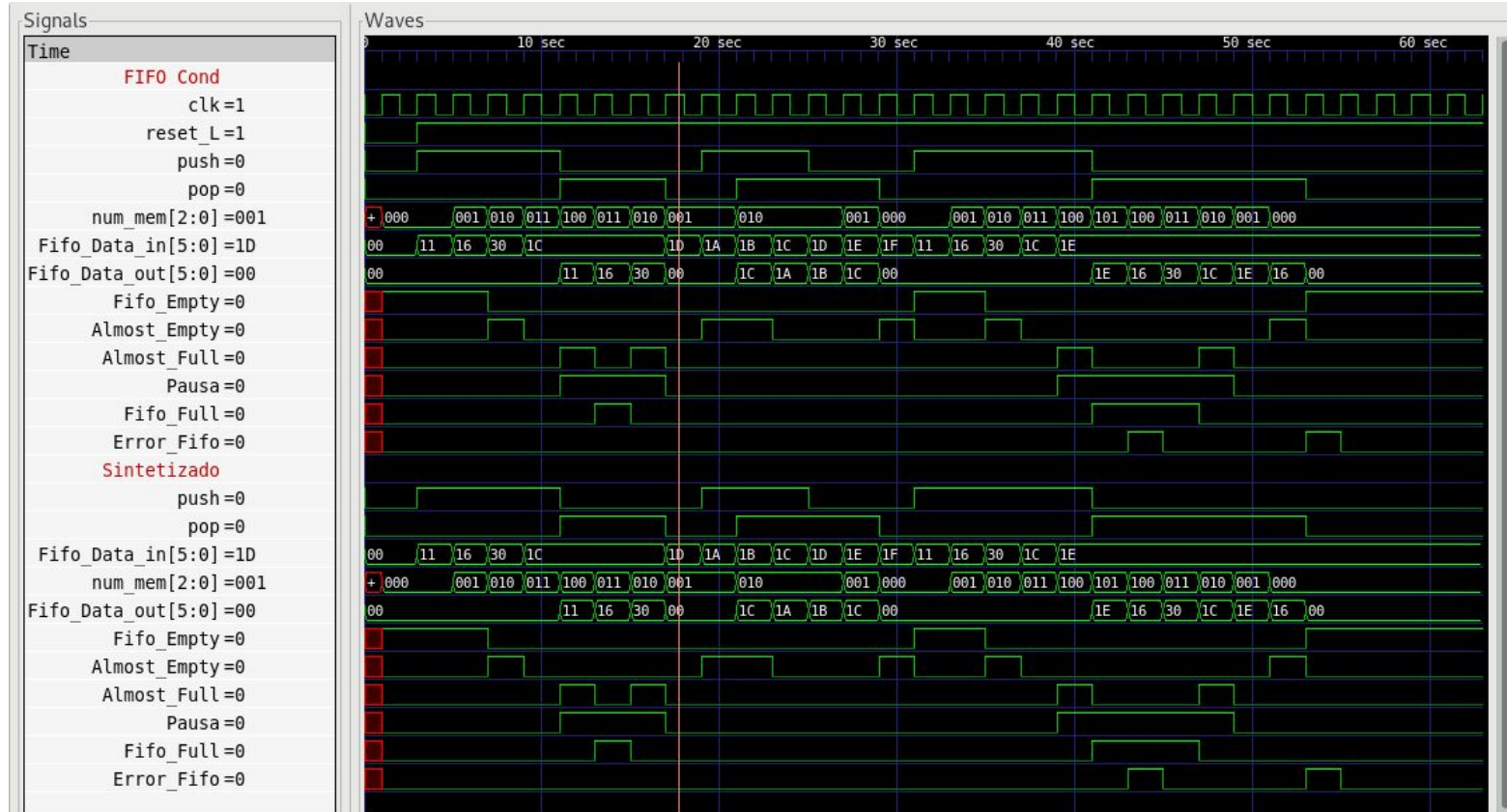


# Resultados: Memoria





# Resultados: FIFO's





# Resultados: Capa de transacción PCIe completa

