Diplomarbeit 2001

Zusammenfassung

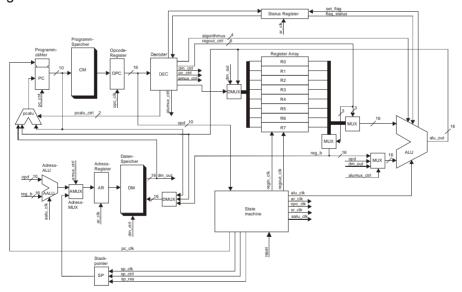
Diplomand: Manuel Imhof

Fachbereich: Elektro-Ingenieurwesen

Signalverarbeitung spielt im heutigen Kommunikationszeitalter eine sehr wichtige Rolle, sei dies im Natel, im DVD-Spieler oder im Automobil. Für Signalverarbeitungsalgorithmen stehen spezielle digitale Signalprozessoren (DSPs) zur Verfügung. In neuen Entwürfen von Signalverarbeitungssystemen werden vermehrt auch RISC-Prozessoren eingesetzt.

Die vorliegende Diplomarbeit beschäftigt sich mit dem Design eines solchen RISC-Prozessors und seiner Implementierung auf einem Field Programmable Gate Array (FPGA). Das Ziel der Arbeit bestand nicht nur darin, eine RISC-Core zu entwickeln, sondern auch die Möglichkeiten dieser zukunftsweisenden Technologie zu zeigen. Aus diesem Grund wurden in dieser Arbeit auch Erweiterungen für die RISC-Prozessorcore und Ideen für die Systemumgebung diskutiert.

Ausgehend von den Grundprinzipien eines Prozessors wurde eine 16-Bit Harvard-Register-Architektur mit einem 4 Phasen-Zyklus entworfen. Das für RISC-Prozessoren typische Phasenpipelining wurde vom Modell bis hin zur konzeptionellen Ebene analysiert. Als spezielle Einheit für die Signalverarbeitung wurde der RISC-Core ein Parallel-Multiplizierer beigefügt.



16-Bit Harvard-Register-Architektur

Abschliessend wurde ein Assembler und ein Loader entwickelt, welche die Systemumgebung vervollständigen. Der Assembler kennt die grundlegenden Direktiven und übersetzt die Assembler-Befehle in den Maschinencode.

Damit ist es möglich eine Quellcodedatei zu assemblieren und die erzeugte Codedatei mit dem Loader über den PCI-Bus der FPGA-Karte in den Programmspeicher der RISC-Core zu laden.