



UNIVERSIDAD NACIONAL
AUTÓNOMA DE MÉXICO



FACULTAD DE INGENIERÍA

LABORATORIO DE DISEÑO DIGITAL M.

Reporte de práctica 11

Contadores utilizando Flip-Flop

Alumno(s):

Francisco Pablo RODRIGO

Profesor:

M.I. Guevara Rodríguez MA. DEL
SOCORRO

Grupo: 6

Calificación total _____

Previo _____

Desarrollo _____

Conclusiones _____

13 de mayo de 2019

1. Objetivos

1.1. General

El alumno diseñará circuitos secuenciales.

1.2. Particular

Analizar, diseñar, simular e implementar contadores utilizando flip-flop.

2. Introducción

Un contador es un circuito digital capaz de contar sucesos electrónicos, tales como impulsos, avanzando a través de una secuencia de estados binarios.

Las características del flip-flop J-K son las siguientes

1. Cuando $J=1$ y $K=1$, al ir la entrada de la terminal de reloj C (clock) de 1 a 0 nada ocurre y el flip-flop J-K retiene el estado que poseía anteriormente.
2. Cuando $J=1$ y $K=0$, al ir la entrada C de 1 a 0 el flip-flop J-K tomará el estado $Q=1$ independientemente del estado en el que se encontraba anteriormente.
3. Cuando $J=0$ y $K=1$, al ir la entrada C de 1 a 0 el flip-flop J-K tomará el estado $Q=0$ independientemente del estado en el que se encontraba anteriormente.
4. Cuando $J=0$ y $K=0$, al ir la entrada C de 1 a 0 el flip-flop J-K tomará un estado opuesto a aquél en el cual se encontraba anteriormente. Esto quiere decir que si antes de la transición en la terminal C de 1 a 0 el flip-flop J-K se encontraba en el estado $Q=1$, entonces tomará el estado $Q=0$ después de la transición. Asimismo, si se encontraba en el estado $Q=0$ antes de la transición, entonces tomará el estado $Q=1$ después de la transición.

Como todo el reloj es común, no importa si es flanco de subida o bajada en los Flip-Flops, pero todos los Flip-Flops deben ser iguales. Entonces se debe conectar la señal de reloj a todos los Flip-Flops. Las entradas J y K del Flip-Flop cuya salida es Q_0 , es decir, J_0 y K_0 deben ir conectados a V_{cc} , esto va a permitir que esta salida siempre bascula. Luego se conecta Q_0 a las entradas J_1 y K_1 . La siguiente figura muestra la implementación del contador y los oscilogramas que dan como resultado de su funcionamiento.

Para obtener un contador síncrono de 4 bits, se debe usar 4 Flip-Flops J-K. La implementación es igual que la anterior, es decir que el Flip-Flop cuya salida es Q_2 tiene en sus entradas J_2 y K_2 una AND entre Q_0 y Q_1 . La siguiente figura muestra la implementación del contador y los oscilogramas que dan como resultado de su funcionamiento.

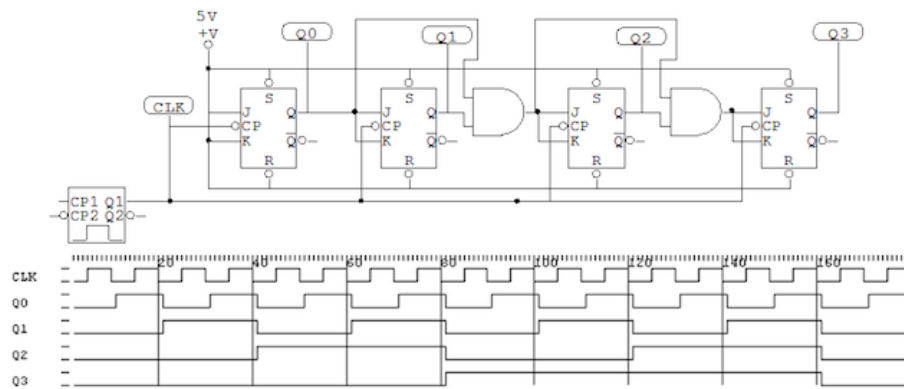


Figura 1: implementación usando Flip-Flops

En los oscilogramas, se puede apreciar mismo comportamiento que el contador síncrono de 4 bits, sin embargo, esta implementación tiene una mejora radical. Todos los Flip-Flops actúan en el mismo instante de tiempo, esto indica que el retardo de propagación de un estado a otro siempre es el mismo sin importar el estado en que se encuentre.

3. Previo

4. Desarrollo

Para esta práctica utilizamos un 2 flip flop JK y 2 flip flop tipo D por lo cual tuvimos que implementar cada uno de ellos en VHDL.

4.1. Implementación de FF D

```

1
2
3 --- Company:
4 --- Engineer:
5
6 --- Create Date:      15:46:59 05/06/2019
7 --- Design Name:
8 --- Module Name:      d_ff - Behavioral
9 --- Project Name:
10 --- Target Devices:
11 --- Tool versions:
12 --- Description:
13
14 --- Dependencies:
15
16 --- Revision:
17 --- Revision 0.01 - File Created
18 --- Additional Comments:
19
20
21 library IEEE;
22 use IEEE.STD_LOGIC_1164.ALL;
23 use IEEE.STD_LOGIC_ARITH.ALL;
24 use IEEE.STD_LOGIC_UNSIGNED.ALL;
25
26 --- Uncomment the following library declaration if instantiating
27 --- any Xilinx primitives in this code.
28 ---library UNISIM;
29 ---use UNISIM.VComponents.all;
30
31 entity d_ff is
32     Port ( D : in  STD_LOGIC;
33           CLOCK : in  STD_LOGIC;
34           Q : out  STD_LOGIC;
35           QB: out  STD_LOGIC);
36 end d_ff;
37
38 architecture Behavioral of d_ff is
39
40 begin
41

```

```

42 process (CLOCK)
43 begin
44     if (CLOCK='1' and CLOCK'EVENT) then
45         Q <= D;
46         QB <= NOT D;
47     end if;
48 end process;
49
50 end Behavioral;

```

4.2. Implementación de FF JK

```

1
2
3 --- Company:
4 --- Engineer:
5
6 --- Create Date:      15:49:02 05/06/2019
7 --- Design Name:
8 --- Module Name:      JK_FF - Behavioral
9 --- Project Name:
10 --- Target Devices:
11 --- Tool versions:
12 --- Description:
13
14 --- Dependencies:
15
16 --- Revision:
17 --- Revision 0.01 - File Created
18 --- Additional Comments:
19
20
21 library IEEE;
22 use IEEE.STD_LOGIC_1164.ALL;
23 use IEEE.STD_LOGIC_ARITH.ALL;
24 use IEEE.STD_LOGIC_UNSIGNED.ALL;
25
26 --- Uncomment the following library declaration if instantiating
27 --- any Xilinx primitives in this code.
28 ---library UNISIM;
29 ---use UNISIM.VComponents.all;
30
31 entity JK_FF is
32     Port ( J : in  STD_LOGIC;
33           K : in  STD_LOGIC;
34           CLOCK : in  STD_LOGIC;
35           Q : out  STD_LOGIC;
36           QB : out  STD_LOGIC);

```

```

37 end JK_FF;
38
39 architecture Behavioral of JK_FF is
40
41 begin
42
43 PROCESS(CLOCK)
44   variable TMP: std_logic;
45   begin
46     if (CLOCK='1' and CLOCK'EVENT) then
47       if (J='0' and K='0') then
48         TMP:=TMP;
49       elsif (J='1' and K='1') then
50         TMP:= not TMP;
51       elsif (J='0' and K='1') then
52         TMP:='0';
53       else
54         TMP:='1';
55       end if;
56     end if;
57     Q<=TMP;
58     QB <=not TMP;
59
60 end PROCESS;
61
62 end Behavioral;

```

4.3. Contador de 4 bits

Al tener las implementación en VHDL de ambos flip flops procedimos a pasarlos al modo esquemático, lo que nos permitió usar estos diseños como componentes.

A partir de la tabla de excitación del análisis del contador realizados en el previo pudimos crear el siguiente diagrama lógico.

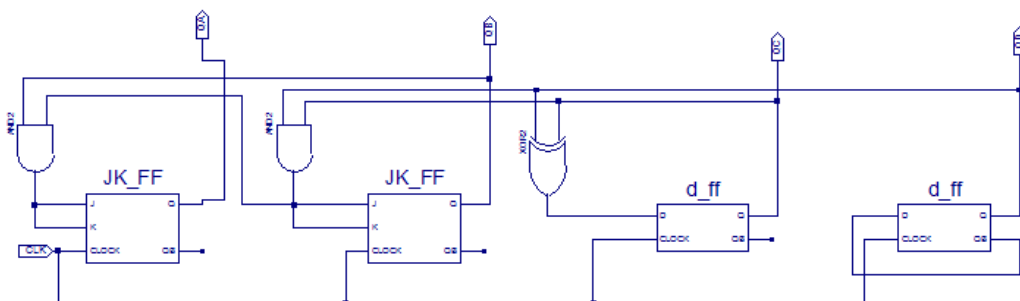


Figura 2: Contador de 4 bits

5. Conclusiones

Los elementos de memoria que se utilizan en los circuito secuenciales de reloj se llama Flip Flop estos circuitos son celdas binarias capaces de almacenar un bit de información, un Flip Flop tiene dos salidas, una para valor normal y otra para valores complementario del bit almacenando en él , los Flip Flop poseen dos valores estables , uno nivel alto 1logico y el otro a nivel bajo cero lógico. Flip flop son muy importantes debido a que estos componentes electrónico ayudan en la industrias , como divisores de frecuencia , como circuito de enclave como contadores (son muy poco usados) como memoria temporal y sobre todo acopladores o acondicionadores de señal entre tarjetas y máquinas.

No pudimos realizar la simulación de la nuestro circuito porque no entendimos bien como configurar XILINX, hay que recordar que en el caso de los contadores se va a requerir trabaar con un reloj y esto le agrega un poco de complejidad a cómo operar XILINX. Sin embargo, considero que la implementación del contador esta bien diseñado.